



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

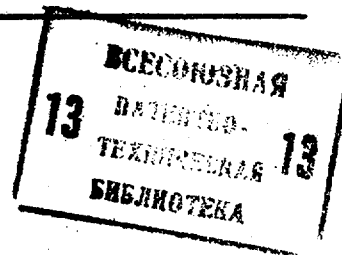
(19) SU (11) 1198513 A

(51) 4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3610932/24-24
- (22) 27.06.83
- (46) 15.12.85. Бюл. № 46
- (71) Минский радиотехнический институт
- (72) Л.А. Глухова и А.Т. Пешков
- (53) 681.325(088.8)
- (56) Патент США № 3890496, кл. G 06 F 7/52, 1975.

Авторское свидетельство СССР № 1073771, кл. G 06 F 7/52, 1982.

(54)(57) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ ДВОИЧНО-ДЕСЯТИЧНЫХ ЦИФР, содержащее матрицу элементов И, блок анализа, блок сумматоров и кодопреобразователь, причем блок анализа содержит четыре элемента ИЛИ, блок сумматоров содержит одноразрядные сумматоры, полусумматоры и элемент ИЛИ, кодопреобразователь содержит три трехразрядных двоичных сумматора, восемь элементов И и четыре элемента ИЛИ, причем первые входы элементов И  $i$ -й строки матрицы ( $i = 1, \dots, 4$ ) соединены с входом  $i$ -го разряда первого операнда устройства, вторые входы элементов И  $j$ -го столбца матрицы ( $j = 1, \dots, 4$ ) соединены с входом  $j$ -го разряда второго операнда устройства, первый и второй входы первого элемента ИЛИ блока анализа соединены с выходами первого элемента И второй строки матрицы и второго элемента И первой строки матрицы соответственно, первый и второй входы второго элемента ИЛИ блока анализа соединены с выходами второго элемента И второй строки матрицы и третьего элемента И первой строки

матрицы соответственно, первый и второй входы третьего элемента ИЛИ блока анализа соединены с выходами первого элемента И четвертой строки матрицы и второго элемента И третьей строки матрицы соответственно, первый и второй входы четвертого элемента ИЛИ блока анализа соединены с выходами третьего элемента И второй строки матрицы и четвертого элемента И первой строки матрицы соответственно, выход четвертого элемента И четвертой строки матрицы подключен к первому входу первого полусумматора блока сумматоров, выход третьего элемента И четвертой строки матрицы подключен к первому разрядному входу первого одноразрядного сумматора блока сумматоров, выход переноса первого одноразрядного сумматора блока сумматоров подключен к входу переноса второго одноразрядного сумматора блока сумматоров, первый разрядный вход второго одноразрядного сумматора блока сумматоров подключен к выходу суммы третьего одноразрядного сумматора блока сумматоров, первый разрядный вход третьего одноразрядного сумматора блока сумматоров подключен к выходу второго элемента И четвертой строки матрицы, первый разрядный вход и вход переноса четвертого одноразрядного сумматора блока сумматоров соединены соответственно с выходами переноса третьего и второго одноразрядных сумматоров блока сумматоров, выход переноса пятого одноразрядного сумматора блока сумматоров соединен с

(19) SU (11) 1198513 A

первым разрядным входом шестого одноразрядного сумматора блока сумматоров, второй разрядный вход шестого одноразрядного сумматора блока сумматоров соединен с выходом первого элемента ИЛИ блока анализа, входы элемента ИЛИ блока сумматоров соединены с выходом переноса шестого одноразрядного сумматора блока сумматоров и выходом первого элемента И первой строки матрицы, второй вход первого полусумматора блока сумматоров подключен к входу четвертого разряда третьего операнда устройства, первый разрядный вход пятого одноразрядного сумматора блока сумматоров подключен к выходу второго элемента ИЛИ блока анализа, выходы элемента ИЛИ и шестого одноразрядного сумматора блока сумматоров соединены с входами первого и второго разрядов первого трехразрядного двоичного сумматора кодопреобразователя, выходы первого и второго элементов И кодопреобразователя соединены соответственно с первым и вторым входами первого элемента ИЛИ кодопреобразователя, выходы третьего и четвертого элементов И кодопреобразователя подключены соответственно к первому и второму входам второго элемента ИЛИ кодопреобразователя, выход первого элемента ИЛИ кодопреобразователя соединен с третьим входом второго элемента ИЛИ кодопреобразователя, выход второго элемента ИЛИ кодопреобразователя подключен к входу третьего разряда второго трехразрядного двоичного сумматора кодопреобразователя, выходы разрядов второго трехразрядного двоичного сумматора кодопреобразователя подключены к входам соответствующих разрядов третьего трехразрядного двоичного сумматора кодопреобразователя, выходы разрядов третьего трехразрядного двоичного сумматора кодопреобразователя подключены соответственно к выходам разрядов с пятого по седьмой результата устройства, выход суммы первого полусумматора блока сумматоров соединен с выходом восьмого разряда результата устройства, выход первого разряда второго трехразрядного двоичного сумматора кодопреобразователя подключен к первым входам пятого и шестого элементов И кодопреобразователя, выходы второго и третьего разрядов второго трехразрядного

го двоичного сумматора кодопреобразователя соединен с вторыми входами соответственно пятого и шестого элементов И кодопреобразователя, выходы пятого и шестого элементов И кодопреобразователя соединены соответственно с первым и вторым входами третьего элемента ИЛИ кодопреобразователя, отличающееся тем, что, с целью повышения быстродействия, в блок анализа введены элементы И, НЕ и четыре элемента ИЛИ, в кодопреобразователь введены три элемента НЕ, девятый элемент И и пятый элемент ИЛИ, причем выход первого элемента И первой строки матрицы соединен с третьим входом первого и первым входом пятого элементов ИЛИ блока анализа, выход первого элемента И второй строки матрицы соединен с первыми входами первого и второго элементов И и входом первого элемента НЕ блока анализа, выход второго элемента И первой строки матрицы соединен с третьим входом третьего и первым входом шестого элементов ИЛИ блока анализа, выход первого элемента И третьей строки матрицы соединен с вторым входом первого и первым входом третьего элементов И и входом второго элемента НЕ блока анализа, выход четвертого элемента И третьей строки матрицы подключен к первому входу седьмого элемента ИЛИ блока анализа, выход третьего элемента И первой строки матрицы подключен к вторым входам пятого и седьмого элементов ИЛИ блока анализа, третьи входы второго и четвертого элементов ИЛИ блока анализа соединены с выходом первого элемента И блока анализа, выход второго элемента И второй строки матрицы соединен с первым входом восьмого элемента ИЛИ блока анализа, вторые входы шестого и восьмого элементов ИЛИ блока анализа соединены с выходом третьего элемента И блока анализа, выход третьего элемента И третьей строки матрицы соединен с третьим входом шестого элемента ИЛИ блока анализа, четвертые входы четвертого и шестого элементов ИЛИ блока анализа соединены с выходом второго элемента И блока анализа, выходы первого и второго элементов НЕ блока анализа соединены с вторыми входами соответственно третьего и второго элементов И блока анализа,

выход четвертого элемента И второй строки матрицы соединен с третьим входом пятого элемента ИЛИ блока анализа, в блоке сумматоров выход переноса первого полусумматора соединен с входом переноса седьмого одноразрядного сумматора, выход переноса которого соединен с входом переноса восьмого одноразрядного сумматора, выход переноса которого соединен с входом переноса девятого одноразрядного сумматора, выход переноса которого соединен с входом переноса десятого одноразрядного сумматора, выход переноса которого соединен с входом переноса шестого одноразрядного сумматора, вход переноса пятого одноразрядного сумматора соединен с выходом переноса второго полусумматора, первый разрядный вход десятого одноразрядного сумматора соединен с выходом суммы пятого одноразрядного сумматора, второй разрядный вход десятого одноразрядного сумматора соединен с выходом переноса четвертого одноразрядного сумматора, выход суммы которого соединен с первым разрядным входом девятого одноразрядного сумматора, выходы суммы первого и второго одноразрядных сумматоров соединены с первыми разрядными входами соответственно седьмого и восьмого одноразрядных сумматоров, выход первого элемента И третьей строки матрицы соединен с вторым разрядным входом пятого одноразрядного сумматора блока сумматоров, выходы третьего и четвертого элементов ИЛИ блока анализа подключены соответственно к входам второго полусумматора блока сумматоров, выход суммы которого соединен с вторым разрядным входом четвертого одноразрядного сумматора блока сумматоров, выход второго элемента И второй строки матрицы соединен с вторым разрядным входом третьего одноразрядного сумматора блока сумматоров, выходы шестого и седьмого элементов ИЛИ блока анализа соединены с вторыми разрядными входами соответственно второго и первого одноразрядных сумматоров блока сумматоров, вторые разрядные входы девятого, восьмого и седьмого одноразрядных сумматоров блока сумматоров подключены к входам соответственно первого, второго и третьего разрядов третьего операнда устройства, выходы пятого и восьмого

элементов ИЛИ блока анализа соединены с входами переноса соответственно третьего и первого одноразрядных сумматоров блока сумматоров, в кодопреобразователе выход седьмого элемента И соединен с третьим входом первого элемента ИЛИ, выход которого соединен с первым входом четвертого элемента ИЛИ и входом первого элемента НЕ, выход которого подключен к первым входам третьего и четвертого элементов И, выходы которых соединены соответственно с входом второго разряда второго трехразрядного двоичного сумматора и входом второго элемента НЕ, выход которого подключен к первому входу восьмого элемента И, второй вход которого соединен с входом переноса первого трехразрядного двоичного сумматора и выходом третьего элемента ИЛИ, третий вход которого подключен к выходу переноса второго трехразрядного двоичного сумматора, выход пятого элемента ИЛИ подключен к вторым входам третьего и четвертого элементов И, третьи входы которых соединены соответственно с выходом и входом третьего элемента НЕ, выход девятого элемента И подключен к входу третьего элемента НЕ, второй вход четвертого элемента ИЛИ подключен к выходу четвертого элемента И, а выход — к входу третьего разряда первого трехразрядного двоичного сумматора, выход переноса второго полусумматора блока сумматоров соединен с первыми входами первого и второго элементов И и пятого элемента ИЛИ кодопреобразователя, выход переноса четвертого одноразрядного сумматора блока сумматоров соединен с вторым входом первого элемента И, первым входом седьмого элемента И и вторым входом пятого элемента ИЛИ кодопреобразователя, выход переноса девятого одноразрядного сумматора блока сумматоров соединен с вторыми входами второго и седьмого элементов И и третьим входом пятого элемента ИЛИ кодопреобразователя, выход суммы десятого одноразрядного сумматора блока сумматоров соединен с входом третьего разряда первого трехразрядного двоичного сумматора кодопреобразователя, выходы суммы девятого, восьмого и седьмого одноразрядных сумматоров блока сумматоров соединены соответственно с входами

первого, второго и третьего разрядов второго трехразрядного двоичного сумматора и входами девятого элемента И кодопреобразователя, выход восьмого элемента И кодопреобразователя соединен с входами второго и третьего разрядов третьего трехраз-

рядного двоичного сумматора кодопреобразователя, выход переноса и выходы разрядов первого трехразрядного двоичного сумматора соединены с выходами разрядов с первого по четвертый результата устройства.

Изобретение относится к вычислительной технике, предназначено для умножения двоично-десятичных цифр, представленных кодом 8-4-2-1, и прибавления десятичного переноса, и может применяться в быстродействующих вычислителях.

Цель изобретения — повышение быстродействия.

На фиг. 1 представлена структурная схема устройства; на фиг. 2 — функциональная схема матрицы элементов И; на фиг. 3 — функциональная схема блока анализа; на фиг. 4 — функциональная схема блока сумматоров; на фиг. 5 — функциональная схема кодопреобразователя.

Устройство (фиг. 1) содержит матрицу 1 элементов И, блок 2 анализа, блок 3 сумматоров, кодопреобразователь 4, входы 5 первого операнда, входы 6 второго операнда, входы 7 третьего операнда и выходы 8 результата.

Матрица 1 (фиг. 2) содержит элементы И 9-24, входы которых подключены к входам 25-28 разрядов первого операнда, входам 29-32 разрядов второго операнда, а выходы соединены с выходами 33-48 матрицы 1.

Блок 2 (фиг. 3) содержит элементы ИЛИ 49-56, И 57-59, НЕ 60 и 61, выходы которых соединены с выходами 62-69 блока 2.

Блок 3 (фиг. 4) содержит полусумматоры 70 и 71, одноразрядные сумматоры 72-81, элемент ИЛИ 82, входы которых соединены с выходами матрицы 1, блока 2 и входами 83-86 разрядов третьего операнда, а выходы соединены с выходами 87-96 блока 3.

Кодопреобразователь 4 (фиг. 5) содержит элементы И 97-105, ИЛИ 106-110, НЕ 111-113, трехразрядные дво-

ичные сумматоры 114, 115 и 116. Сумматор 114 содержит полусумматоры 117 и 118 и одноразрядный сумматор 119. Сумматор 115 содержит полусумматор 120, одноразрядный сумматор 121 и полусумматор 122. Сумматор 116 содержит полусумматор 123, одноразрядный сумматор 124 и полусумматор 125.

Выходы сумматоров 114 и 116 и полусумматора 70 соединены с выходами 126-133 разрядов результата.

Устройство работает следующим образом.

На входы 5, 6 и 7 подаются значения трех операндов (цифра множимого  $a_8 a_4 a_2 a_1$ , цифра множителя  $b_8 b_4 b_2 b_1$  и цифра входного переноса  $P_8 P_4 P_2 P_1$ ) заданных в двоично-десятичном коде 8-4-2-1. При этом срабатывают соответствующие элементы И 9-24 матрицы 1 и формируют соответствующие значения  $C_{k\ell}$  ( $k = 1, 2, 4, 8$  — значения весов разрядов входов 5;  $\ell = 1, 2, 4, 8$  — значения весов разрядов входов 6).

Перед сложением полученных в матрице 1 значений двоичных произведений в блоке 2 осуществляется формирование кодов неполной коррекции кратных множимого. Формирование кодов коррекции выполняется частично исходя из возможности их учета на сумматорах блока 3, осуществляющих сложение двоичных частичных произведений. Окончательная коррекция кратных и результата осуществляется в кодопреобразователе 4.

Для определения кодов коррекции с весом "2" необходимо получить коды  $C_{21} \vee K_{82}$  и  $K_{44} \vee K_{(42)8}$ , где  $K_{(42)8} = \bar{a}_4 a_2 b_8 = C_{48} C_{28}$ ,  $K_{82} = C_{82}$ ,  $K_{44} = C_{44}$ . Значение  $K_{44} \vee K_{(42)8}$  формируется элементами НЕ 60, И 59, ИЛИ 56 и поступает на выход 68 блока 2.

Значение  $C_{21} \vee K_{82}$  получается на выходе элемента ИЛИ 55 и поступает на выход 69 блока 2.

Для определения кодов коррекции с весом "4" необходимо получить коды  $C_{41} \vee K_{82} \vee K_{88}$ ,  $C_{22} \vee K_{84} \vee K_{(42)8} \vee K_{(42)8}$ , где  $K_{(42)8} = a_4 a_2 b_8 = C_{48} C_{28}$ ,  $K_{82} = C_{82}$ ,  $K_{88} = C_{88}$ ,  $K_{84} = C_{84}$ . Значение  $K_{(42)8}$  формируется элементами НЕ 61 и И 58, значение  $K_{(42)8}$  — элементами НЕ 60 и И 59, а логическая сумма  $C_{22} \vee K_{84} \vee K_{(42)8} \vee K_{(42)8}$  образуется на выходе элемента ИЛИ 53 и поступает на выход 66 блока 2. Логическая сумма  $C_{41} \vee K_{82} \vee C_{88}$  образуется элементом ИЛИ 54 и поступает на выход 67 блока 2. В качестве кода  $K_{44}$  используется значение  $C_{44}$ .

Для определения кодов коррекции с весом "8" необходимо сформировать  $C_{81} \vee C_{42} \vee K_{(42)8} \vee K_{(42)8}$ ,  $C_{24} \vee C_{18} \vee K_{84}$  (где  $K_{(42)8} = a_4 a_2 b_8 = C_{48} C_{28}$ ,  $K_{84} = C_{84}$ ).

Логическая сумма  $C_{24} \vee C_{18} \vee K_{84}$  образуется элементом ИЛИ 52 и поступает на выход 64 блока 2.  $K_{(42)8}$  образуется элементом И 57. Логическая сумма  $C_{81} \vee C_{42} \vee K_{(42)8} \vee K_{(42)8}$  формируется элементом ИЛИ 51 и поступает на выход 65 блока 2.

Для определения кода коррекции с весом "16" необходимо сформировать  $C_{82} \vee C_{44} \vee K_{(42)8}$ , что и осуществляется с помощью элементов И 57 и ИЛИ 50 и подается на выход 63 блока 2.

Логическая сумма  $C_{84} \vee C_{48} \vee K_{88}$ , необходимая для определения кода коррекции с весом "32", формируется элементом ИЛИ 49 и поступает на выход 62 блока 2.

На входы блока 3 поступают взятые с соответствующими весами коды  $C_{12}$ ,  $C_{14}$ ,  $C_{28}$ ,  $C_{88}$  с выходов матрицы 1 и соответствующие по весу коды коррекции, выработанные блоком 2. С входов 83-86 поступают значения разрядов третьего операнда (цифры входного переноса). В результате суммирования на выходах 87-89, 93-96 блока 3 формируются двоичные разряды с весами "64", "32", "16", "8", "4", "2", "1" частично скорректированного произведения  $D = (d_{64} d_{32} d_{16} d_8 d_4 d_2 d_1)$  десятичных цифр множимого и множителя с учетом входного переноса

$$\begin{aligned} d_1 &= (C_{11} + P_1) \bmod 2 = A_1 \bmod 2; \\ d_2 &= ((C_{21} \vee K_{82}) + C_{12} + (K_{44} \vee K_{(42)8} + P_2 + \Pi_2) \bmod 2 = A_2 \bmod 2; \end{aligned}$$

$$d_4 = ((C_{14} + (C_{41} \vee K_{82} \vee K_{88}) + K_{44} + (C_{22} \vee K_{84} \vee K_{(42)8} \vee K_{(42)8} + P_4 + \Pi_4) \bmod 2 = A_4 \bmod 2;$$

$$d_8 = (((C_{81} \vee C_{42} \vee K_{(42)8} \vee K_{(42)8}) + (C_{24} \vee C_{18} \vee K_{84}) + P_8 + \Pi_8) \bmod 2 = A_8 \bmod 2;$$

$$d_{16} = (C_{28} + (C_{82} \vee C_{44} \vee K_{(42)8} + \Pi_{16}) \bmod 2 = A_{16} \bmod 2;$$

$$d_{32} = ((C_{84} \vee C_{48} \vee K_{88}) + \Pi_{32}) \bmod 2 = A_{32} \bmod 2;$$

$$d_{64} = C_{88} \vee \Pi_{64};$$

где  $P_e$  — значение двоичного разряда с весом 1 двоично-десятичной цифры входного переноса  $P$ ;

$\Pi_r$  — количество двоичных переносов с весом  $r$ , возникающих при двоичном суммировании разрядов с весом  $r/2$  кратных множимых ( $r = 2^0, 2^1, \dots, 2^6$ ),  $\Pi_r = \lfloor \frac{A_r}{2} \rfloor$ ;

$A_r$  — подмодульное соотношение, определяющее значение  $d_r$

$A_r \bmod 2$  — остаток от деления числа  $A_r$  на два;

$\lfloor \frac{A_r}{2} \rfloor$  — целая часть от деления числа  $A_r$  на два.

На выходы 90-92 поступают межтетрадные переносы, сформированные в блоке 3. Значения данных переносов необходимы для коррекции полученного на выходе блока 3 произведения  $D$ .

Правило коррекции результата  $D$  двоичного суммирования кратных можно представить в виде:

$$D = \begin{cases} D, & \text{если } \Pi_{16} = 0; \\ D+6, & \text{если } \Pi_{16} = 1; \\ D+12, & \text{если } \Pi_{16} = 2. \end{cases}$$

Кодопреобразователь 4 работает в соответствии с этим выражением.

Три старших разряда младшей тетрады  $D$  поступают на входы сумматора 115, три старших разряда — на входы сумматора 114.

Если  $\Pi_{16} = 0$ , то на выходах элементов 97-101, 106-109 присутствуют сигналы "0". Поэтому в сумматоре 115 младшая тетрада  $D'$  произведения  $D$  не изменяется. С помощью

элементов И 103 и 104 и ИЛИ 110 анализируется, не является ли комбинация на выходах сумматора 115 запрещенной для кода 8-4-2-1. Если запрещенная комбинация имеет место,

то на выходах элемента И 103 или элемента И 104 и соответственно на выходах элементов ИЛИ 110 и И 105 появляется "1".

С выхода элемента ИЛИ 110 "1" поступает на вход переноса сумматора 114, значение в котором, а значит значение старшей тетрады произведения  $D$  увеличивается на единицу.

С выхода элемента И 105 "1" поступает на входы сумматора 116, значение которого, а следовательно, младшая тетрада  $D$ , увеличивается на шесть.

Если  $P_{16} = 1$  (единица на одном из выходов 90-92 блока 3), то на выходах элементов И 97-99, ИЛИ 107 присутствуют сигналы "0", на выходах элементов ИЛИ 106 и НЕ 111 - "1".

С помощью элемента И 102 анализируется значение младшей тетрады  $D$  на код 1110 ("14") или 1111 ("15"). Если младшая тетрада  $D$  отлична от данного значения, то на выходе элемента И 102 присутствует "0", на выходе НЕ 112 - "1". Поэтому срабатывают элементы И 100, ИЛИ 108 и в сумматоре 115 к младшей тетраде  $D$  прибавляется код "6" (0110). С помощью элементов И 103, 104, ИЛИ 110 полученная сумма анализируется на запрещенную для кода 8-4-2-1 комбинацию. При ее наличии или при появлении на выходе сумматора 115 единичного значения  $P$  "1" появляется на выходах элементов ИЛИ 110, И 105, которая поступает на вход переноса сумматора 114, а младшая тетрада произведения, сформированная на выходах сумматора 115, в сумматоре 116 увеличивается на "6".

Если значение младшей тетрады  $D$  равно 1110 ("14") или 1111 ("15"), то на выходе элемента И 102 появляется "1", на выходе НЕ 112 - "0". Поэтому срабатывают элементы И 101, ИЛИ 108 и 109. На выходе элемента НЕ 113 появляется "0". Это вызывает прибавление к произведению  $D$ , сформированному на выходах 87-89,

93-96 блока 3, кода 0001 0010. Данное прибавление осуществляется в сумматорах 114 и 115. Перенос  $P$ , возникающий на выходе переноса сумматора 115 и 120, проходит на выход элемента ИЛИ 110, а отсюда на вход переноса сумматора 114. Поэтому старшая тетрада результата увеличивается на "1".

С выхода элемента НЕ 113 "0" поступает на вход элемента И 105, блокируя его работу. Поэтому в сумматоре 116 младшая тетрада  $D$ , сформированная на выходах сумматора 115, не изменяется.

Если  $P_{16} = 2$  (единицы на двух выходах из выходов 90-92 блока 3), то на выходах элементов ИЛИ 106 и 107 появляются сигналы "1", на выходе элемента НЕ 111 - "0", который блокирует работу элементов И 100 и 101. С выхода элемента ИЛИ 107 "1" проходит через элементы ИЛИ 108 и 109. Поэтому в сумматорах 114 и 115 к произведению  $D$  прибавляется код коррекции "12" (0001 0010). Если при сложении в младшей тетраде результата появилась запрещенная комбинация или  $P$  на выходе переноса сумматора 115 равен "1", то "1" появляется на выходе элементов ИЛИ 110, И 105. Поэтому на вход переноса сумматора 114 поступает "1", а к младшей тетраде результата в сумматоре 116 прибавляется "6".

В результате указанных выше действий на выходах 126-133 формируется произведение цифр множимого и множителя (с учетом входного переноса) в коде 8-4-2-1. Произведение представляет собой две двоично-десятичные цифры. Разряды с весами "8", "4", "2" и "1" младшей цифры появляются на выходах 130-133 соответственно, разряды с весами "8", "4", "2" и "1" старшей цифры - соответственно на выходах 126-129.

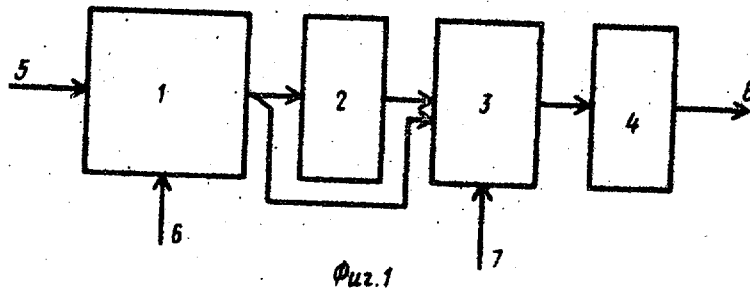
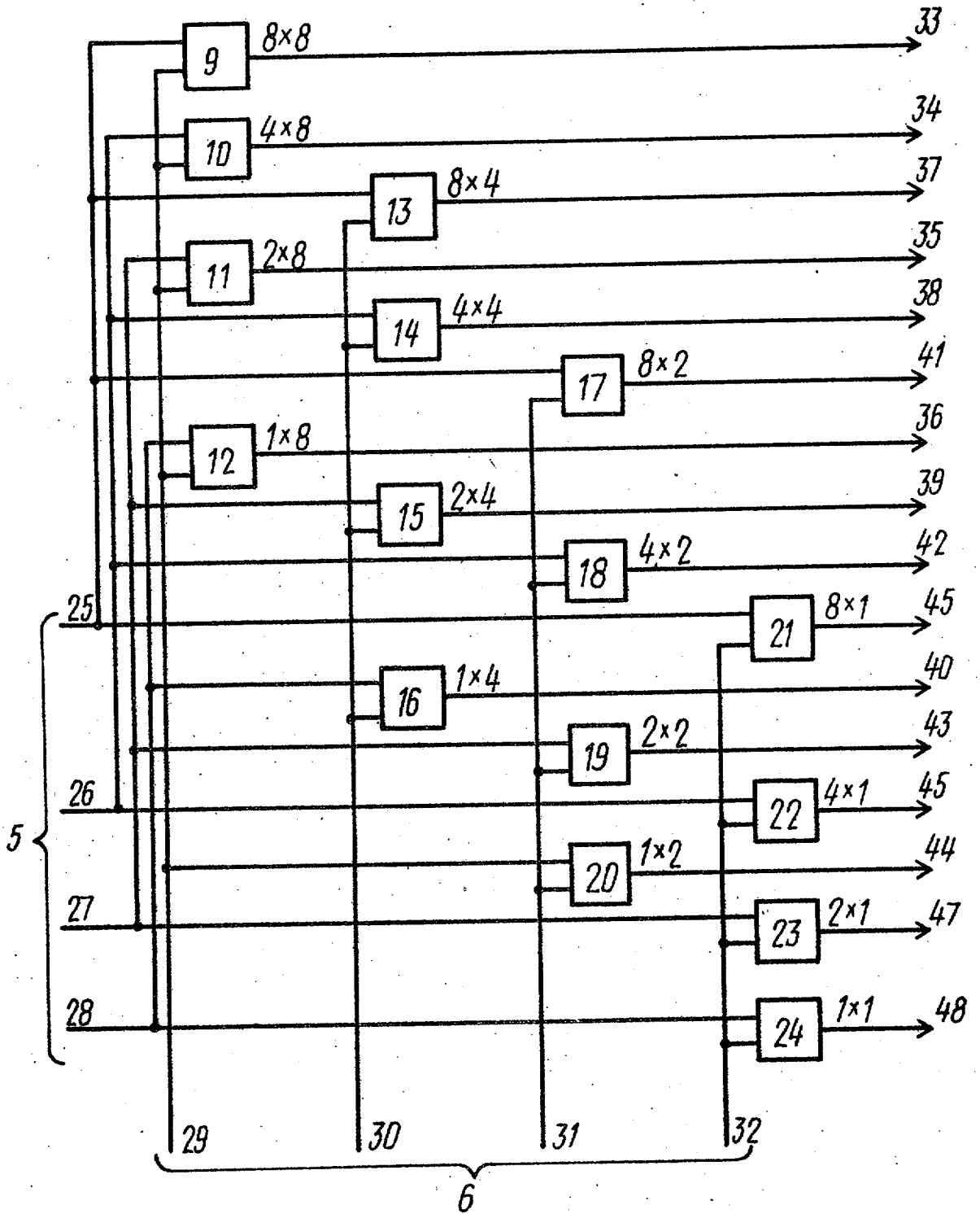
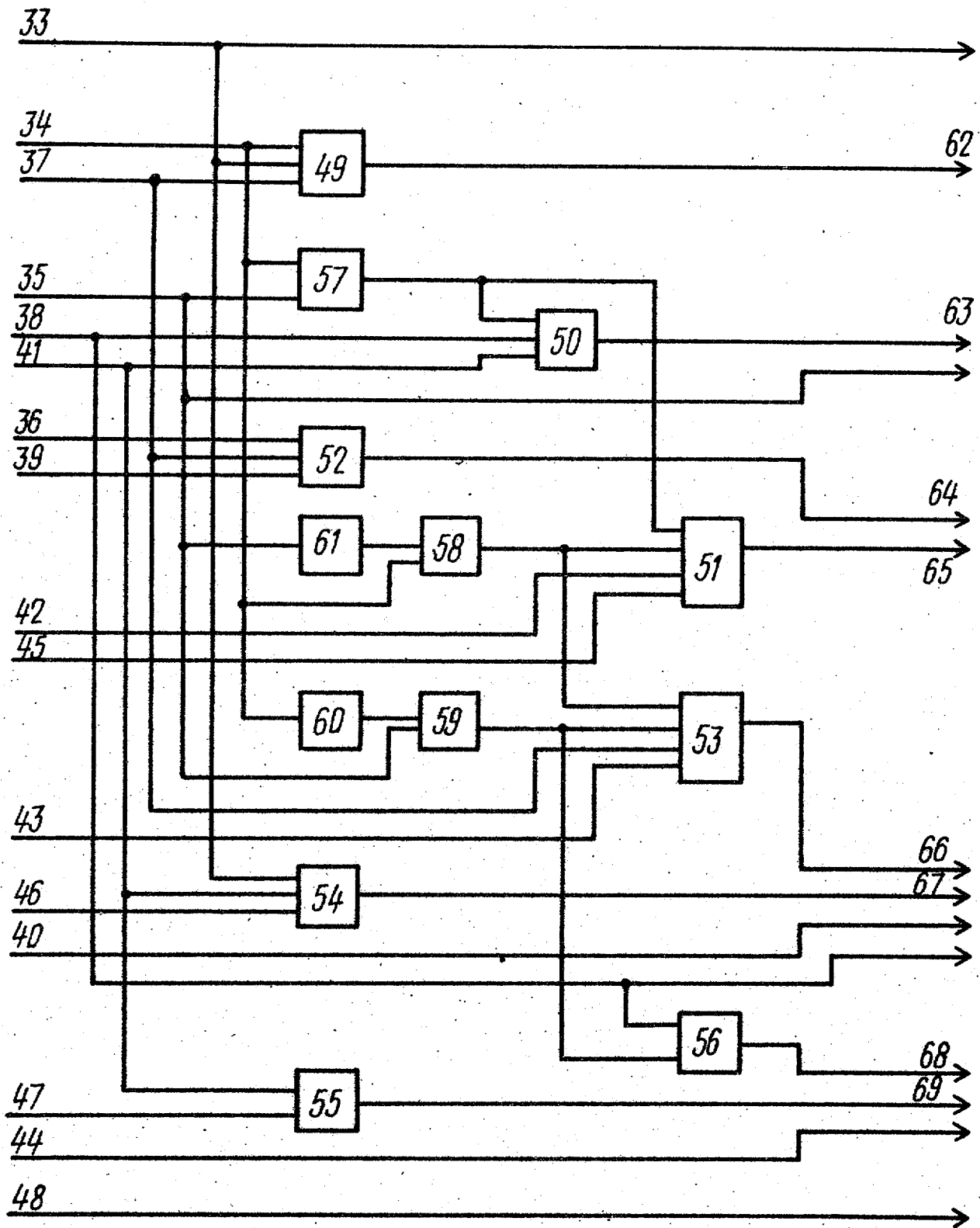


Рис. 1

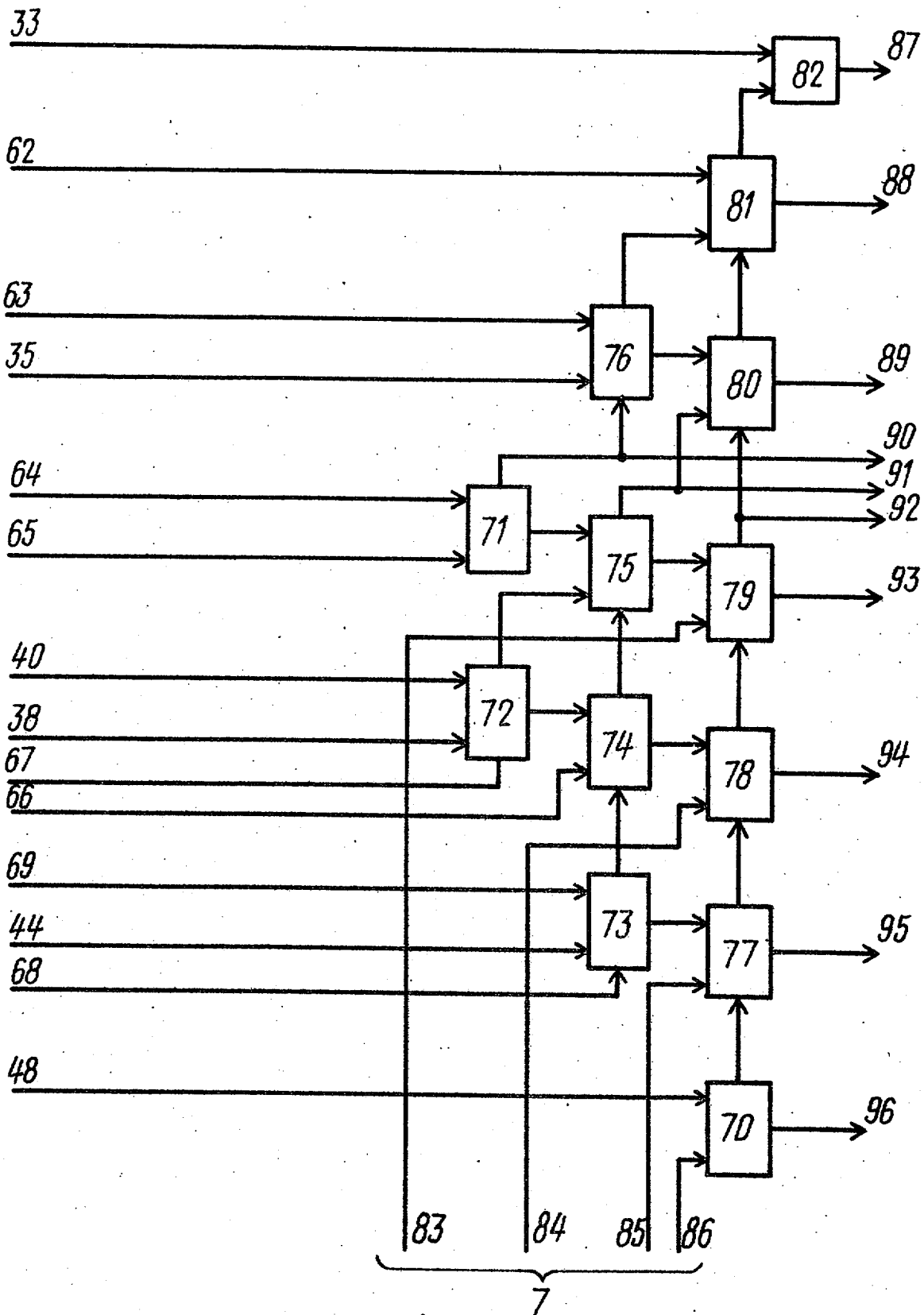


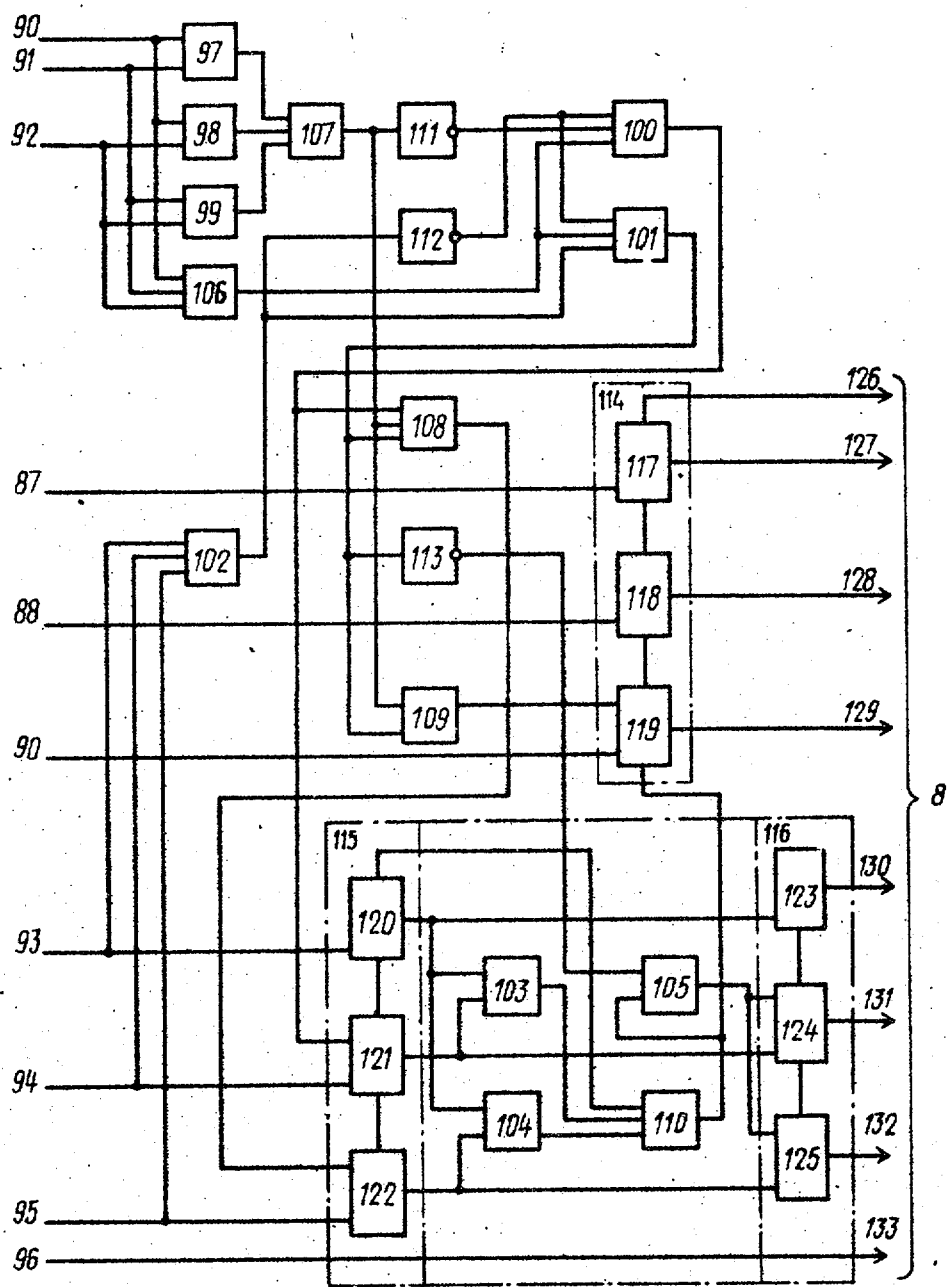
Фиг. 2



Фиг. 3







Фиг. 5

ВНИИПИ Заказ 7722/48 Тираж 709 Подписное

Филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4