



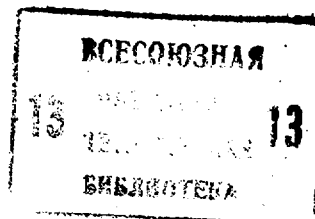
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1201855 A

(5D) 4 G 06 P 7/02

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3776951/24-24  
(22) 25.07.84  
(46) 30.12.85. Бюл. № 48  
(71) Минский радиотехнический институт  
(72) А.Н.Морозевич и А.А.Бутов  
(53) 681.332.65(088.8)  
(56) Авторское свидетельство СССР № 531150, кл. G 06 F 7/02, 1976.  
Авторское свидетельство СССР № 478303, кл. G 06 F 7/04, 1975.  
(54)(57) УСТРОЙСТВО ДЛЯ СРАВНЕНИЯ ДВОИЧНЫХ ЧИСЕЛ, содержащее первый и второй многоходовые элементы ИЛИ,  $n$  элементов равнозначности,  $n$  регистров сдвига, информационные входы которых являются входами сравниваемых чисел устройства, а входы сдвига объединены и подключены к входу сдвига устройства, прямой выход старшего разряда каждого регистра сдвига соединен с соответствующим входом первого многоходового элемента ИЛИ и первым входом соответствующего элемента равнозначности, вторые входы всех элементов равнозначности подключе-

ны к входу задания режима устройства, выходы многоходовых элементов ИЛИ соединены с входами элемента И, выход которого подключен к управляющим входам всех элементов равнозначности, отличающемся тем, что, с целью расширения области применения за счет возможности выявления минимального числа при произвольном распределении нулей и единиц в двойной записи сравниваемых чисел, в него введены группа элементов И и управляющий регистр, установочный вход которого соединен с входом начальной установки устройства, выходы поразрядно соединены с первыми входами соответствующих элементов И группы, а входы поразрядно соединены с выходами соответствующих элементов равнозначности, второй вход каждого элемента И группы соединен с инверсным выходом старшего разряда соответствующего регистра сдвига, а выход соединен с соответствующим входом второго многоходового элемента ИЛИ.

(19) SU (11) 1201855 A

Изобретение относится к автоматике и вычислительной технике и может быть использовано при реализации технических средств ЭВМ и создании устройств статистической информации.

Цель изобретения - расширение области применения за счет возможности выявления минимального числа при произвольном распределении нулей и единиц в двоичной записи сравниваемых чисел.

На фиг. 1 изображена схема устройства для сравнения двоичных чисел; на фиг. 2 - реализация элемента равнозначности.

Устройство содержит регистры 1 сдвига, вход 2 сдвига, многоходовые элементы ИЛИ 3 и 4, элемент И 5,  $n$  элементов 6 равнозначности, вход 7 задания режима, входы 8 сравниваемых чисел, группу элементов И 9, управляющий регистр 10, вход 11 начальной установки.

Элемент равнозначности содержит элементы НЕ 12, И-НЕ 13 и 14.

Устройство функционирует следующим образом.

Перед началом работы в регистры 1 с входов 8 заносятся исходные числа, подлежащие сравнению, а в регистр 10 - код  $11...1$  (во все разряды - единица). При поиске максимального числа на вход 7 задания режима устройства подается уровень логического нуля, а при поиске минимального числа - уровень логической единицы.

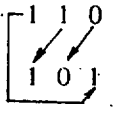
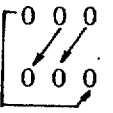

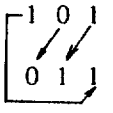
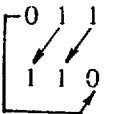
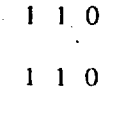
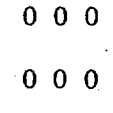
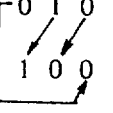
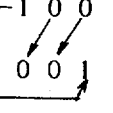
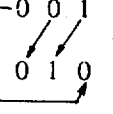
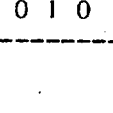


Устройство находит экстремальное (максимальное или минимальное) число за  $m$  тактов, где  $m$  - число разрядов каждого из регистров 1. В течение очередного  $\ell$ -го такта, где  $\ell \in \{1, 2, \dots, m\}$ , анализируется наличие хотя бы одной единицы в одноименных  $(m-l+1)$ -х разрядах сравниваемых чисел, и, если в этих разрядах содержится хотя бы одна единица, то на выходе первого элемента ИЛИ 3 появляется уровень логической единицы (в  $\ell$ -м такте работы в старших  $m$ -х разрядах регистров 1 циклического сдвига содержатся двоичные цифры, которые в исходном состоянии записаны в соответствующих  $(m-l+1)$ -х разрядах). Одновременно анализируется наличие хотя бы одного нуля в одноименных  $(m-l+1)$ -х разрядах тех же сравниваемых чисел,

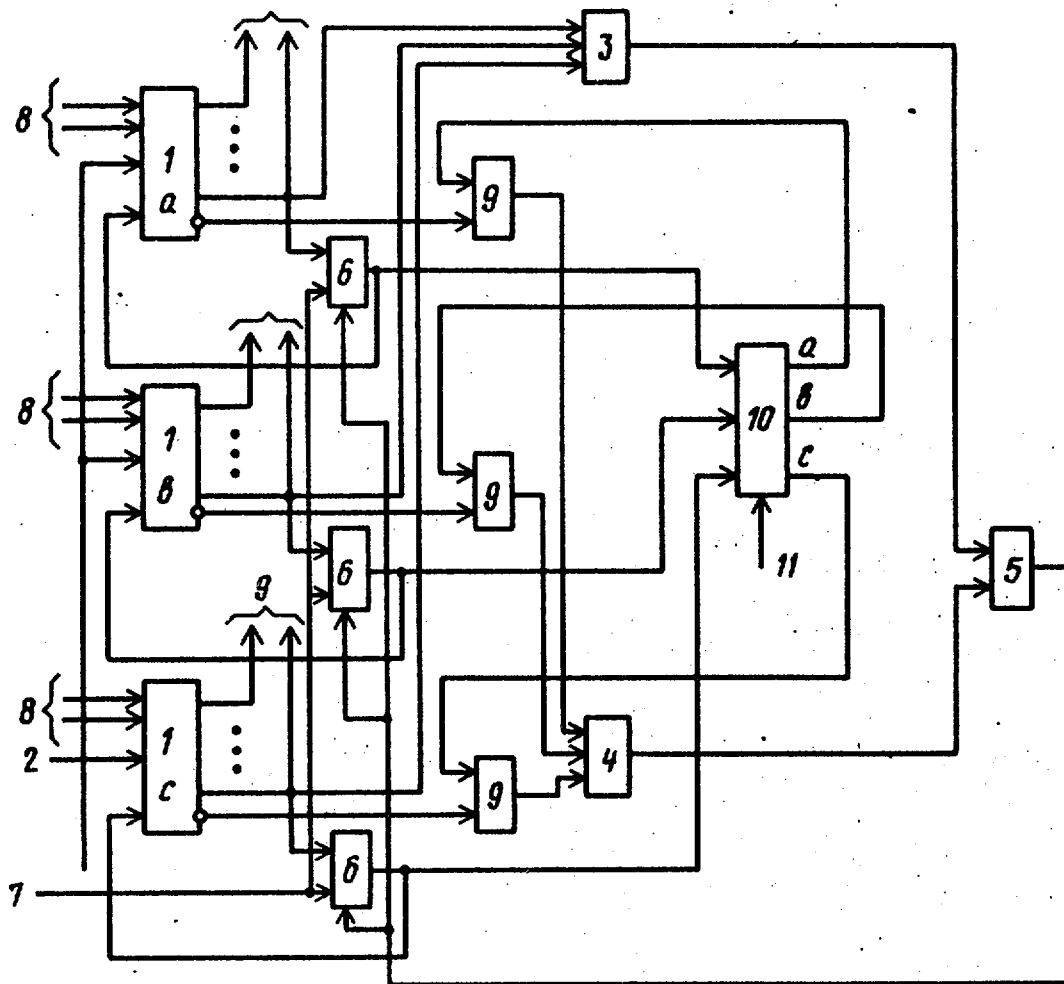
которым в текущем  $\ell$ -м такте соответствуют уровни логической единицы на соответствующих выходах регистра 10. Разрядность регистра 10 равна числу сравниваемых чисел (числу регистров 1), причем в исходном положении каждому из сравниваемых чисел соответствует уровень логической единицы на соответствующем выходе регистра 10. Если в этих разрядах содержится хотя бы один ноль, то на выходе второго элемента ИЛИ 4 появляется уровень логической единицы. Этот сигнал формируется теми элементами И 9, каждый из которых вторым входом подключен к регистру 1, содержащему в текущий момент времени в  $m$ -м разряде ноль, а первым входом - к формирующему уровень логической единицы выходу регистра 10. Если в каком-либо разряде регистра 10 оказывается ноль, то на первом входе соответствующего элемента И 9 появляется сигнал логического нуля, "выключая" тем самым соответствующий регистр 1 из работы.

Таким образом, если в указанных разрядах регистров 1 содержится хотя бы одна единица и хотя бы один ноль, то на выходе элемента И 5 появляется уровень логической единицы, который подается на управляющие входы элементов 6 равнозначности. При этом те элементы равнозначности, для которых значения сигналов на их входах совпадают, вырабатывают сигналы, устанавливающие соответствующие им регистры 1 и разряды регистра 10 в нулевое состояние. Очередной  $\ell$ -й такт заканчивается подачей тактового импульса на входную шину 2, что приводит к циклическому сдвигу на один разряд содержимого каждого из регистров 1 в сторону старших разрядов.

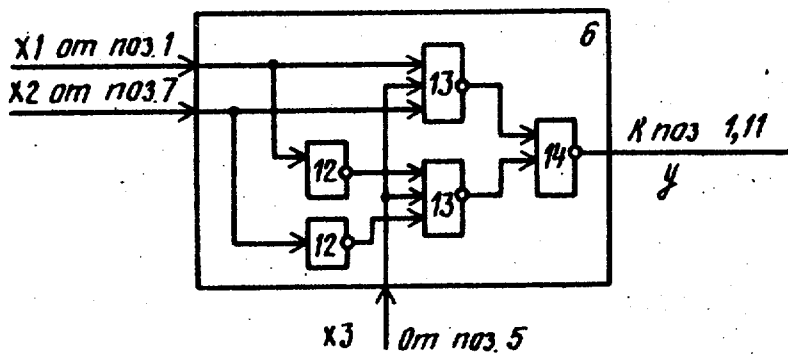
Устройство заканчивает свою работу после подачи  $m$ -го импульса на входную шину 2. При этом один из регистров 1 содержит экстремальное число, а остальные регистры обнулены.

В таблице показаны состояния элементов памяти устройства при поиске экстремального (максимального, а затем минимального) числа из трех трехразрядных чисел 110, 010, 101 (старшие разряды справа).

Экстремум	№ такта		Содержимое					
	Сигнал	После окончания переходных процессов	Регистр 1а	Регистр 1б	Регистр 1с	Выходы регистра 11		
						а	б	с
	Исходное состояние	Исходное состояние	1 1 0	0 1 0	1 0 1	1	1	1
max	1	1				1	00	1
				0 0 0	0 0 0	1	0	0
				0 0 0	0 0 0	1	0	0
max	3	3		0 0 0	0 0 0	1	0	0
				0 0 0	0 0 0	1	0	0
			Исходное состояние	Исходное состояние	1 1 0	0 1 0	1 0 1	1
min	1	1	0 0 0		0 0 0	0	1	0
			0 0 0		0 0 0	0	1	0
			0 0 0		0 0 0	0	1	0
			0 0 0		0 0 0	0	1	0
			0 0 0		0 0 0	0	1	0
			0 0 0		0 0 0	0	1	0
			0 0 0	0 1 0	0 0 0	0	1	0



Фиг.1



Фиг.2

Составитель В.Смирнов  
 Редактор Е.Копча      Техред О.Вашилина      Корректор А.Обручар

Заказ 8092/50      Тираж 709      Подписное  
 ВНИИП Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

филиал ИПИ "Патент", г. Ужгород, ул. Проектная, 4