



СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1228111 A1

(5D) 4 G 06 F 15/20

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3693708/24-24
(22) 13.01.84
(46) 30.04.86. Бюл. № 16
(71) Минский радиотехнический институт
(72) В.И. Новиков, Г.М. Жуховицкий, В.К. Мельников, Е.В. Супрун и П.Ю. Бранцевич
(53) 681.325.5(088.8)
(56) Авторское свидетельство СССР № 832558, кл. G 06 F 15/20, 1979.
Авторское свидетельство СССР № 1034048, кл. G 06 F 7/122, 1982.
(54) УСТРОЙСТВО ДЛЯ МОДЕЛИРОВАНИЯ ГРАФОВ
(57) Изобретение относится к области вычислительной техники и может быть использовано при стохастическом моделировании сложных систем, представляемых вероятностными графами. Цель изобретения состоит в расширении функциональных возможностей за счет моделирования орграфов с функциональ-

но взвешенными вершинами. Устройство содержит блок моделей вершин, узел формирования топологии, счетчик, являющийся таймером, генератор импульсов, первый блок памяти, датчик случайных чисел, второй блок памяти, регистр, блок формирования дуги, коммутатор. Блок моделей вершин содержит n моделей вершин (n - число вершин графа). Блок формирования топологии содержит первый и второй блоки памяти, коммутатор, датчик случайных событий, генератор импульсов, счетчик. Блок формирования дуги содержит первый блок памяти, первый, второй и третий регистры, второй блок памяти, первый и второй коммутаторы, сумматор по модулю два, дешифратор. Расширение функциональных возможностей достигается за счет обеспечения автоматического управления параметрами моделируемого графа или цифровой схемы. 8 ил., 2 табл.

(19) SU (11) 1228111 A1

Изобретение относится к вычислительной технике и может быть использовано при стохастическом моделировании сложных систем, представляемых вероятностными графами.

Цель изобретения - расширение функциональных возможностей за счет моделирования орграфов с функционально взвешенными вершинами.

На фиг. 1 приведена структурная схема предлагаемого устройства; на фиг. 2 - структурная схема узла формирования топологии; на фиг. 3 - структурная схема узла формирования исходящих дуги; на фиг. 4 - функциональные обозначения некоторых цифровых одновыходных элементов; на фиг. 5 - графы микропрограмм; на фиг. 6 - структура слова состояния элемента; на фиг. 7 и 8 - фрагменты графа и цифровой схемы, на примере моделирования которых рассматривается функционирование устройства.

Устройство содержит блок 1 моделей вершин, узел 2 формирования топологии, счетчик 3, являющийся таймером, генератор 4 импульсов, первый блок 5 памяти, датчик 6 случайных чисел, второй блок 7 памяти, регистр 8, узел 9 формирования дуги, коммутатор 10.

Блок 1 содержит n моделей 11. Узел 2 содержит первый блок 12 памяти, второй блок 13 памяти, коммутатор 14, датчик 15 случайных событий, генератор 16 импульсов, счетчик 17. Узел 9 содержит первый блок 18 памяти, первый 19, второй 20 и третий 21 регистры, второй блок 22 памяти, первый коммутатор 23, второй коммутатор 24, сумматор 25 по модулю два, дешифратор 26.

Блок 1 предназначен для имитации процессов выполнения вершин графа либо задержек срабатывания элементов цифровых устройств. В процессе моделирования каждой активной, выполняемой в данный момент вершине графа либо элементу цифрового узла, в котором в данный момент распространяется сигнал, назначается определенная модель 11. Каждая из моделей 11 может находиться в одном из трех состояний: свободна, занята моделированием, заблокирована (процесс имитации в модели закончен, но информация об этом еще не выдана на выход). Назначение некоторой модели 11 оп-

ределенной вершине графа или элементу цифровой схемы производится в момент модельного времени, когда должны быть начаты или выполнены

5 моделирования данной вершины, или имитация задержки распространения сигнала в элементе. При этом среди всех свободных моделей 11 выбирается модель с наибольшим номером, тогда
10 на соответствующем информационном входе блока 1 появляется единичный сигнал, а в модель 11 записывается поступающее значение \hat{t} случайного временного интервала либо выполнения
15 вершины графа, либо задержки срабатывания цифрового элемента, модель 11 переходит в состояние "Занято".

Собственно моделирование выполнения вершин графа или имитация задержек цифровых элементов состоит
20 в уменьшении на единицу по каждому импульсу генератора 4 значений случайных временных интервалов во всех находящихся в данный момент в состоянии "Занято" моделях 11.
25

Модель 11 переходит в состояние "Заблокирована" в момент, когда по
30 очередному импульсу генератора 4 значение временного интервала \hat{t} становится равным нулю. Это означает, что закончено воспроизведение временного интервала вершины графа или цифрового
35 элемента, назначенных данной модели 11. Одновременно с переходом модели 11 в состояние "Заблокирована" вырабатываются сигналы на выходах блока 1.

В состоянии "Свободно" модель 11
40 переходит по сигналу на третьем управляющем входе блока 1 и ей может быть назначена новая активная вершина графа или цифровой элемент. Устройство и работа каждой из моделей 11
45 блока 1 и всего блока не отличаются от описанных в прототипе.

Узел 2 предназначен для моделирования топологии графа либо связей
50 цифровой схемы. Для этого в блоке 13 каждой вершине (либо элементу) отведена определенная область ячеек, расположенных последовательно в порядке возрастания адресов. Число ячеек в области соответствует числу
55 дуг, выходящих из вершины, либо числу входов элементов, связанных с выходными элементами схемы.

Если устройство моделирует выполнение вершин графа, то информация, характеризующая каждую дугу, выходящую из вершины графа, и записываемая в одну ячейку области блока 13, содержит номер вершины, в которую входит данная дуга, вероятность P_{ij} появления дуги от i -й к j -й вершине графа и признак, значение которого равно единице для последней ячейки каждой области и нулю — для всех остальных ячеек области. Если устройство моделирует работу цифрового узла, то в каждую ячейку области блока 13 записывается информация, характеризующая одну из связей элемента схемы узла и содержащая номер элемента, номер входа элемента, с которым соединен выход элемента, а также признак, значение которого равно единице только для последней ячейки области. Начальный адрес области блока 13 записан в ячейке с адресом блока 12.

Узел 2 работает при наличии единичного сигнала на входе генератора 16 и входе считывания блока 12. При поступлении на адресный вход блока 12 номер некоторой вершины графа или элемента схемы он последовательно выдает или номера вершин, в которые входят дуги, выходящие из вершины графа, или номера элементов, с которыми связан выход элемента схемы. Кроме того, в режиме моделирования цифровых объектов узел 2 одновременно с выдачей номера элемента выдает номер входа этого элемента, непосредственно связанного с выходом элемента цифрового узла. В момент выдачи номера последней дуги, выходящей из вершины или элемента, узел 2 вырабатывает единичный сигнал, свидетельствующий о том, что отработана последняя дуга из вершины.

Датчик 15 вырабатывает выходной сигнал с вероятностью, значение которой поступает на его вход. Генератор 16 вырабатывает импульсы с фиксированной частотой при единичном сигнале на входе. Счетчик 3, имеющий счетный вход, является таймером модели и хранит текущее значение модельного времени. Генератор 4 вырабатывает импульсы с фиксированным периодом следования только при нулевом сигнале на входе. Датчик 6

формирует случайные времена выполнения вершин графа или случайные времена задержек срабатывания элементов схемы. Значение вероятностей $\{F_i(t)\}$, настраивающие датчик 6 на формирование случайного времени t_i , подчиняющегося функции распределения $F_i(t)$ выполнения вершины графа с номером i либо задержки срабатывания элемента с номером i , записываются в i -ю страницу блока 5. В блоке 7 каждой модели 11 соответствует определенная ячейка, в которую в процессе моделирования записываются номера вершин или элементов, которым назначается данная модель 11. Блок 7 работает в режиме записи информации, поступающей на его информационный вход, если на его вход записи поступает единичный сигнал. Если же сигнал нулевой, то блок 7 работает в режиме считывания информации.

Регистр 8 хранит и передает в узел 2 номер вершины, выполнение которой закончено в блоке 1, или номер логического элемента, задержка распространения сигнала в котором завершена.

Узел 9 предназначен для вычисления значения логической функции элемента схемы с учетом изменения сигналов на его входах в текущий момент модельного времени. Для этого в блоке 18 каждому элементу схемы отводится ячейка, где хранится текущее слово состояния этого элемента. Структура слова состояния элемента (ССЭ) приведена на фиг. 6.

В поле "Код" записан адрес входа в микропрограмму логической функции данного элемента. Каждому входу логического элемента соответствует свой бит в поле "Входы" ССЭ. В поле "Выход" хранится текущее двоичное значение выходного сигнала элемента.

Блок 18 работает в режиме записи информации в поле "Входы" и "Выход" с его информационного входа, если на входе записи нулевой сигнал. Если сигнал равен единице, то блок 18 работает в режиме считывания информации.

Регистр 21 хранит ССЭ и выполняет операции модификации отдельных разрядов ССЭ. Информационный вход регистра 21 служит для записи старого ССЭ из блока 18. Инвертирование значения одного из разрядов поля "Входы" в регистре 21 производится по сигна-

лам на его адресном входе. При наличии нулевого сигнала на входе записи регистра 21 с его входа состояния дуги в поле "Выход" записывается новое, вычисленное значение выходного сигнала элемента.

Для вычисления логических функций элементов их представляют программируемыми моделями. Каждая функция задается своей микропрограммой, загружаемой в определенную область памяти, что дает возможность легко менять состав элементов в моделируемых схемах, перегрузив память микропрограмм.

Микропрограмму функции элемента можно представить в виде ориентированного графа, в котором из каждой вершины выходят две дуги. Вершины графа взвешены булевыми переменными (с инверсией или без нее), соответствующими входам и выходу элемента. Значение весовой переменной Z при заданной вершине графа однозначно определяет направление выхода из этой вершины, примем условно направо при $Z = 1$ и вниз $Z = 0$. Тогда каждому набору значений весовых переменных Z_i всегда соответствует в графе один и только один путь, выходящий из графа направо или вниз. Обозначив выход графа направо значением 1, а выход вниз - значением 0, можно любому графу сопоставить некоторую булеву функцию так, чтобы вершины графа были взвешены аргументами функции, а значение функции при заданных аргументах определялось движением по графу из начальной вершины к тому или иному выходу графа.

Примеры графов микропрограмм для некоторых логических функций, изображенных на фиг. 4, представлены на фиг. 5. Весовыми переменными вершин графа могут быть не только входы моделируемого графом элемента, но и его выход (фиг. 4 е, фиг. 5 г).

При моделировании элементов памяти ориентированными графами необходимо отметить факт задержки сигнала на один такт. Будем далее вершины с задержкой обозначать не кружками, а квадратами (фиг. 5 г).

На фиг. 4-6 приведен случай, когда все элементы моделируемой схемы имеют не более 15 входов (номера входных переменных от 0 до Е в шестнадцатиричной системе счисления) и

один выход (номер выходной переменной F). Одним графом можно представить несколько булевых функций, используя различные точки входа в граф (фиг. 4 а, б и в, ж, фиг. 5 а).

Для хранения микропрограмм в блоке 22 каждой вершине графа микропрограммы отводится отдельная ячейка, которая содержит следующие поля: Z - код весовой переменной; B - признак инверсии весовой переменной; R , D - адреса перехода соответственно вправо и вниз.

При $B = 1$ переменная Z инвертируется. Если значение Z_i с учетом значения B равно 1, то выбирается адрес R и по нему производится обращение к следующей микрокоманде, или в графической форме - переход направо к следующей вершине графа элемента.

Если Z_i с учетом B равно 0, то выбирается адрес D и по нему выполняется переход, что в графической форме означает переход вниз к очередной вершине. Если значение R или D равно нулю, то это означает окончание микропрограммы элемента (выход из графа), а булевой функции и, соответственно, сигналу на выходе логического элемента присваивается значение весовой переменной Z_i с учетом B .

Структура загрузки блока 22 для элементов, изображенных на фиг. 4, приведена в табл. 1. Структура загрузки блока 18 для фрагмента схемы на фиг. 8 приведена в табл. 2, при этом предполагается, что в данный момент состояние входов элементов схемы 3 - 0; 8 - 1; 8 - 0; 5 - 1; 4 - 1; 9 - 1 - логический нуль, а входов 3 - 1; 7 - 0; 7 - 2; 7 - 3; 5 - 0; 4 - 0; 9 - 0 - логическая единица.

Коммутатор 23 служит для выделения одного из разрядов полей "Входы" и "Выход" ССЭ, поступающих на его информационный вход, в соответствии с номером весовой переменной Z , поступающим на его второй управляющий вход. В зависимости от значения поля B на его втором управляющем входе он передает на выход значение выделенного разряда либо в прямом коде ($B = 0$), либо с инверсией ($B = 1$).

Коммутатор 24 при единичном сигнале на управляющем входе передает на выход значение поля R со своего

первого информационного входа, при нулевом сигнале - значение поля D со своего второго информационного входа.

Сумматор 25 выполняет операцию сложения по модулю 2 "старого" значения логической функции, поступающего на второй информационный вход сумматора, и нового значения функции, поступающего на первый информационный вход при поступлении нулевого кода на вход синхронизации.

Коммутатор 10 при моделировании графа передает поступающие из узла 2 на его первый и второй информационные входы номер вершины и управляющий сигнал соответственно на первый и второй выходы. В режиме моделирования цифровых узлов на первый и второй выходы коммутатора 10 передаются поступающие из узла 9 на его третий и четвертый информационные входы соответственно номер элемента и управляющий сигнал.

В качестве всех узлов предлагаемого устройства могут быть использованы типовые элементы вычислительной техники соответствующего назначения.

Рассмотрим функционирование устройства в режиме моделирования графа.

Перед началом работы блок 13 загружается информацией о связях вершин графа. В блоке 12 для каждой вершины отводится ячейка, куда помещается адрес начальной ячейки области в блоке 13, содержащей информацию о связях вершины. Коммутатор 10 и узел 9 настраиваются на режим моделирования графа. В блок 5 заносятся значения вероятностей $\{F_i(t)\}$ для всех вершин графа. Обнуляется счетчик 3. В n -ю ячейку блока 7 записывается 1, а в остальные ячейки - 0, n -я модель блока 1 устанавливается в состояние "Заблокирована", остальные модели - в состояние "Свободна".

На n -м информационном выходе блока 1 вырабатывается сигнал, поступающий на адресные входы блока 7. Поскольку в блоке 1 имеется n -я модель, готовая к освобождению, то на выходе выполнения вершины блока 1 также присутствует единичный сигнал, по которому запрещается работа генератора 4 и начинается работа узла 2. Одновременно из n -й ячейки блока 7 считывается в регистр 8 номер начальной вершины графа. Пусть номер на-

чальной вершины графа - 1, она связана дугами с вершинами 3, 7 и 8 (фиг. 7), а информация о связях, содержащая номера вершин 3, 7 и 8, вероятности P_{13} , P_{17} , P_{18} , признаки r , помещена в блоке 13, начиная с адреса 19. Тогда номер вершины 1 из регистра 8 поступает на адресный вход блока 12, из первой ячейки которого считывается в счетчик 17 адрес регистра 19, по которому из блока 13 считываются на выходы признак $r_{13} = 0$, номер вершины 3, вероятность P_{13} .

Датчик 15 с вероятностью P_{13} разыгрывает случайное событие существования дуги (1 и 3). Пусть в нашем случае дуга существует, и датчик 15 вырабатывает сигнал, по которому коммутатор 14 передает на выход узла 2 номер вершины 3. Коммутатор 10 передает номер вершины 3 на входы блоков 5 и 7, а также управляющий сигнал с выхода датчика 15. Блок 7 переключается в режим записи.

В блоке 1 выбирается $(n-1)$ -я свободная модель, на $(n-1)$ -м информационном выходе блока 1 вырабатывается сигнал, по которому в $(n-1)$ -ю ячейку блока 7 запишется номер вершины 3. Тем самым 3-й вершине графа подключается $(n-1)$ -я модель 11.

Одновременно с 3-й страницы блока 5 в датчик 6 считываются значения вероятностей $\{F_i(t)\}$, по которым датчик 6 формирует случайное время выполнения 3-й вершины графа t_3 . Значение t_3 по присутствующему в настоящий момент сигналу на входе выполнения вершины блока 1 записывается в $(n-1)$ -ю модель 11.

Тем самым заканчивается отработка дуги (1 и 3).

Генератор 16 вырабатывает импульс, по которому содержимое счетчика 17 увеличивается на 1 и становится равным 20. Из 20-й ячейки блока 13 считывается номер вершины 7, вероятность P_{17} и признак $r_{17} = 0$. Датчик 15 с вероятностью P_{17} разыгрывает случайное событие существования дуги (1 и 7). Пусть в нашем случае датчик 15 вырабатывает нулевой сигнал, что означает разрыв дуги (1 и 7). Тем самым на выход узла 2 никаких управляющих сигналов не выдается, номер вершины 7 через коммутатор 14 на выход также не поступает. На этом отработка дуги (1 и 7) заканчивается.

Генератор 16 вырабатывает очередной импульс, по которому содержимое счетчика 17 становится равным 21. Из 21-й ячейки блока 13 считывается номер вершины 8, вероятность P_{18} и признак $r_{18} = 1$, который означает, что дуга (1 и 8) - последняя дуга, исходящая из вершины 1.

Датчик 15 с вероятностью P_{18} разыгрывает случайное событие существования дуги (1 и 8). Пусть датчик 15 вырабатывает единичный сигнал, что означает существование дуги (1 и 8). Коммутатор 14 передает на выход номер вершины 8. Коммутатор 10 передает номер вершины 8 на входы блоков 5 и 7, а также управляющий сигнал с выхода датчика 15. Блок 7 переключается в режим записи.

В блоке 1 выбирается $(n-2)$ -я свободная модель, на $(n-2)$ -м информационном выходе блока 1 вырабатывается сигнал, по которому в $(n-2)$ -ю ячейку блока 7 запишется номер вершины 8. Тем самым 8-й вершине графа назначается $(n-2)$ -я модель 11. Из 8-й страницы блока 1 в датчик 5 считываются значения вероятностей $\{F_i(t)\}$, по которым он формирует случайное время t_8 . Значение t_8 записывается в $(n-2)$ -ю модель 11. Тем самым заканчивается обработка дуги (1 и 8).

Так как считанное значение признака $r = 1$, то на выходе последней дуги узла 2 возникает сигнал, поступающий в блок 1 по которому n -я модель из состояния "Заблокирована" переходит в состояние "Свободна". Так как в блоке 1 нет больше ни одной модели в состоянии "Заблокирована", то на его выходе выполнения вершины сбрасывается единичный сигнал, по которому в узле 2 запрещается работа генератора 16, разрешается работа основного генератора 4, импульсы которого начинают поступать на входы моделей 11 блока 1.

Так как в блоке 1 только $(n-1)$ -я и $(n-2)$ -я модели находятся в состоянии "Занято", то только они воспринимают импульсы генератора 4, по каждому из которых записанные в моделях временные интервалы t_7 и t_8 уменьшаются на единицу.

В конечном итоге либо $(n-1)$ -я, либо $(n-2)$ -я модель 11 переходит в состояние "Заблокирована". Пусть эта модель $(n-2)$ -я, которая назначена

8-й вершине графа (фиг. 7). Тогда на $(n-2)$ -м информационном выходе блока 1 вырабатывается сигнал, по которому из $(n-2)$ -й ячейки блока 7 считывается в регистр 8 номер вершины 8, поступающий в узел 2. Аналогично предыдущему датчик 15 моделирует существование дуг 8-5; 8-4; 8-9. Если все дуги существуют, то узел 2 последовательно вырабатывает номера вершин 5, 4 и 9 для каждой из которых блок 1 выделяет свободную модель 11 соответственно n -ю, $(n-3)$ -ю, $(n-4)$ -ю, а датчик 6 формирует случайные временные интервалы t_5 , t_4 и t_9 .

Дальнейшая работа устройства в этом режиме происходит аналогично.

Рассмотрим работу устройства при моделировании цифровых узлов на примере фрагмента схемы, приведенного на фиг. 8.

Аналогично предыдущему перед началом работы блоки 13 и 12 загружаются информацией о связях элементов схемы. Коммутатор 10 и узел 9 настраиваются на режим моделирования логики. В блок 5 заносятся значения вероятностей $\{F_i(t)\}$ для всех элементов схемы. Обнуляется счетчик 3. В n -ю ячейку блока 7 записывается 1, а в остальные ячейки - 0. n -я модель блока 1 устанавливается в состояние "Заблокирована", остальные модели в состояние "Свободна".

В узел 9 загружаются блоки 18 и 22. Для схемы, приведенной на фиг. 8, загрузка блока 22 выполняется согласно данным табл. 1, загрузка блока 18 - согласно табл. 2. В блоке 13 информация о связях элемента, содержащая номера элементов и входов 3 - 0; 7 - 1; 8 - 0; вероятности P_{13} ; P_{17} и P_{18} , признаки r_{13} , r_{17} , r_{18} , помещена с адреса регистра 19, аналогичная информация о связях элемента 8 помещена с адреса блока 22 и т.д.

Узел 1 вырабатывает сигналы, по которым аналогично предыдущему режиму, запрещается работа генератора 4, из n -й ячейки блока 7 считывается в регистр 8 номер 1 начального (входного) элемента схемы (фиг. 8). Это означает, что выход 1-го элемента схемы изменил состояние. В рассматриваемом случае выход 1-го элемента принял единичное значение.

Из регистра 8 номер 1 поступает на адресный вход блока 12, из первой

ячейки которого в счетчик 17 считывается адрес регистра 19. Из 19-й ячейки блока 13 на выходы узла 2 считываются соответственно признак $r_{13} = 0$, номер элемента 3 и номер входа 0.

Вероятность P_{13} поступает в датчик 15, который разыгрывает случайное событие существования связи (1 и 3). Пусть в нашем случае связь существует и датчик 15 вырабатывает сигнал, по которому коммутатор 14 передает на выход номер элемента 3. Номер элемента 3, управляющий сигнал и номер входа 0 поступают на входы узла 9. Номер элемента 3 записывается в регистр 19, номер входа - в регистр 20. Начинается работа узла 9.

Из третьей ячейки блока 18 считывается в регистр 21 слово состояния третьего элемента, равное $3_{16}; 1_{16}; 0002_{16}$, где 3 - значение поля "Код"; 1 - значение поля "Выход"; 0002 - значение поля "Входы" в шестнадцатичной системе счисления. Регистр 20 преобразует код номера входа 0 в унитарный код, содержащий 1 только в нулевом разряде, соответствующем нулевому входу третьего элемента. Регистр 21 инвертирует состояние нулевого разряда поля "Входы" ССЭ, которое принимает значение $0003_{16} = 0000000000000011_2$. Код логической функции счетчика 3 поступает с выхода регистра 21 на вход начального адреса блока 22, из которого считывается первая команда микропрограммы логической функции F_1 , соответствующей 3-му элементу схемы и содержащая значение поля $Z = 1, R = 0, D = 4, B = 1$.

Так как $Z = 1$, то коммутатор 23 выделяет из поступающих на его первый вход значений полей "Выход" и "Входы" ССЭ, равных 1, 0003 значение первого разряда, равное 1, а так как $B = 1$, то на выход коммутатора 23 значение первого разряда будет передано с инверсией.

Так как на управляющий вход коммутатора 24 поступает нулевой сигнал, то на выход коммутатора поступает информация с его второго информационного входа, т.е. значение поля $D = 4$ ССЭ. Так как на третьем входе синхронизации сумматора 25 присутствует код, отличный от нуля, то сложение не выполняется. Значение $D = 4$ поступает на адресный вход блока 22,

из которого считывается очередная команда микропрограммы логической функции F_1 , содержащая значения $Z = 0, R = 0, D = 0, B = 1$. В графической форме на фиг. 5 а это означает переход по графу микропрограммы из вершины 3 в вершину 4.

Так как $Z = 0$, то коммутатор 23 выделяет в полях "Выход" и "Входы" ССЭ, равных 1, 0003 значение нулевого разряда, равное 1, и так как $B = 1$, то на выход коммутатора 23 значение нулевого разряда будет передано с инверсией. Тем самым на управляющий вход коммутатора 24 подается нулевой сигнал, и на его выход поступает информация со второго информационного входа, т.е. значение поля $D = 0$ ССЭ. В графической форме это означает выход из вершины 4 графа микропрограммы вниз с присвоением логической функции значения 0.

Так как на вход синхронизации сумматора 25 поступает нулевой код $D = 0$, то сумматор 25 выполняет операцию сложения по модулю 2, поступающего на регистр 21 старого состояния поля "Выход" ССЭ элемента 3, равного 1, и поступающего через коммутатор 23 нового состояния выхода элемента, равного 0. На выходе сумматора 25 вырабатывается единичный сигнал, означающий, что выход 3-го элемента изменил состояние (в данном случае перешел в нулевое состояние).

Одновременно код $D = 0$ с выхода коммутатора 24 поступает на вход записи регистра 21, в результате чего в поле "Выход" ССЭ третьего элемента запишется новое значение, равное 0, которое поступает с выхода коммутатора 23. После этого ССЭ 3-го элемента с модифицированными полями "Входы" и "Выход" записывается в 3-ю ячейку блока 18.

Тем самым заканчивается моделирование логической функции элемента 3. На выходы узла 9 поступают номер элемента 3 и единичный управляющий сигнал с выхода сумматора 25.

Коммутатор 10 передает информацию с выходов узла 9 на входы блоков 5 и 7 и блока 1. Блок 7 переключается в режим записи. В блоке 1 отыскивается свободная $(n-1)$ -я модель, и на $(n-1)$ -м выходе блока 1 вырабатывается сигнал, по которому в $(n-1)$ -ю ячейку блока 7 запишется номер эле-

мента 3, которому назначается $(n-1)$ -я модель. Из 3-й страницы блока 5 датчик 6 считывается значения вероятностей $\{F_3(t)\}$, по которым датчик 6 формирует случайную временную задержку элемента t_3 . Значение t_3 записывается в $(n-1)$ -ю модель 11.

В это время работа генератора 16 разрешена, по его очередному импульсу содержимое счетчика 17 становится равным 20, и из 20-й ячейки блока 13 считывается признак r_{17} , номер элемента 7, вероятность связи P_{17} и номер входа 1. Датчик 15 с вероятностью P_{17} разыгрывает существование связи (1 и 7). Пусть в нашем случае связь существует. Тогда датчик 15 вырабатывает сигнал, по которому номер элемента 7 через коммутатор 14 поступает на выход блока 2. Начинается работа узла 9.

Из 7-й ячейки блока 18 в регистр 21 считывается ССЭ 7-го элемента, равное $5_{16}, 0_{16}$ и 000_{16} . Дешифратор 20 преобразует код номера входа в унитарный код, содержащий единицу только в первом разряде, соответствующем первому входу элемента. Регистр 21 инвертирует содержимое первого разряда поля "Входы" ССЭ, которое принимает значение $000_{16} = 0000000000001111_2$. Код логической функции 5 поступает с выхода регистра 21 на вход начального адреса блока 22, из которого считывается первая команда микропрограммы логической функции F_4 , соответствующей 7-му элементу схемы. Команда содержит $Z = 0, R = 6, D = 7, B = 0$. Так как $Z = 0$, то коммутатор 23 выдает значение нулевого разряда поля "Входы" ССЭ, и так как $B = 0$, то инвертирование не выполняется и на выход коммутатора 23 поступает единичный сигнал.

Так как на управляющий вход коммутатора 24 поступает единичный сигнал, то на его выход передается информация в поле $R = 6$ команды. Значение $R = 6$ поступает на адресный вход блока 22, из которого считывается следующая команда микропрограммы функции 4. Команда содержит $Z = 1, R = 7, D = 0, B = 1$. В графической форме на фиг. 5 б это означает переход по графу микропрограммы из вершины 5 в вершину 6. По $Z = 1$ и $B = 1$ коммутатор 23 переключает на выход значение первого

разряда поля "Входы" ССЭ из регистра 21 с инверсией. Тем самым на выходе коммутатора 23 возникает нулевой сигнал, коммутатор 24 передает на выход значение поля $D = 0$. В графической форме это означает выход из вершины 6 графа вниз с присвоением логической функции F_4 значения 0.

Сумматор 25 выполняет операцию сложения по модулю 2. Нулевой результат сложения означает, что 7-й элемент состояния не изменил и соответственно на выходе узла 9 никаких сигналов не вырабатывается. Код $D = 0$ с выхода коммутатора 24 поступает на вход записи регистра 21 и адресный вход блока 22, в результате чего аналогично предыдущему, модифицированное ССЭ записывается в 7-ю ячейку блока 18.

По очередному импульсу генератора 16 состояние счетчика 17 становится равным 21. Из 21-й ячейки блока 13 считывается признак $r_{18} = 1$, номер элемента 8, вероятность P_{18} и номер входа 0. Датчик 15 с вероятностью P_{18} разыгрывает существование связи (1 и 8). Пусть в нашем случае связь разорвана. Тогда датчик 15 сигналов не вырабатывает и на выходы узла 2 никаких сигналов не выдается. Значение $r_{18} = 1$ передается на выход узла 2 и далее на установочный вход блока 1, в котором n -я модель переходит в состояние "Свободна". В блоке 1 нет больше моделей 11 в состоянии "Заблокирована", на его выходе выполнения вершины сбрасывается сигнал, по которому запрещается работа генератора 16, разрешается работа генератора 4, импульсы которого начинают поступать на входы моделей 11 блока 1.

Так как в блоке 1 только $(n-1)$ -я модель находится в состоянии "Занято", то только она воспринимает импульсы генератора 4, по каждому из которых значение временного интервала t_3 уменьшается на 1. В конечном итоге $(n-1)$ -я модель переходит в состояние "Заблокирована". Дальнейшая работа устройства аналогична.

Т а б л и ц а 1

Метка входа в микропрограмму логической функции	Адрес блока памяти	Содержание ячеек блока				
F_3	1	3	0	2	1	
F_2	2	2	0	3	1	

Продолжение табл. 1

Метка входа в микропро- грамму логи- ческой функ- ции	Адрес блока памяти	Содержание ячей- ки блока			
F ₁	3	1	0	4	1
F ₇	4	0	0	0	1
F ₄	5	0	6	7	0
	6	1	7	0	1
	7	2	0	8	1
	8	3	0	0	1
F ₅	9	0	A	0	0
	A	1	0	0	0
F ₆	B	1	C	D	0
	C	0	0	0	0
	D	F	0	0	0

Т а б л и ц а 2

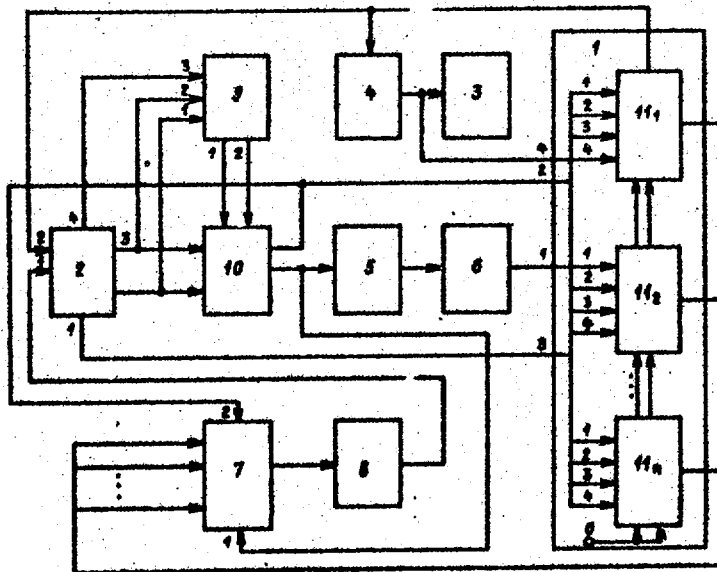
Логическая функция элемента	Номер эле- мента (адрес ячей- ки блока памя- ти 18)	ССЭ (содержимое ячей- ки блока 18)		
		Код	Выход	Входы
	1			
	2			
F ₁	3	3	1	0002
F ₆	4	B	1	0001
F ₅	5	9	0	0001
	6			
F ₄	7	5	0	0001
F ₇	8	4	1	0000
F ₅	9	9	0	0001

Ф о р м у л а и з о б р е т е н и я

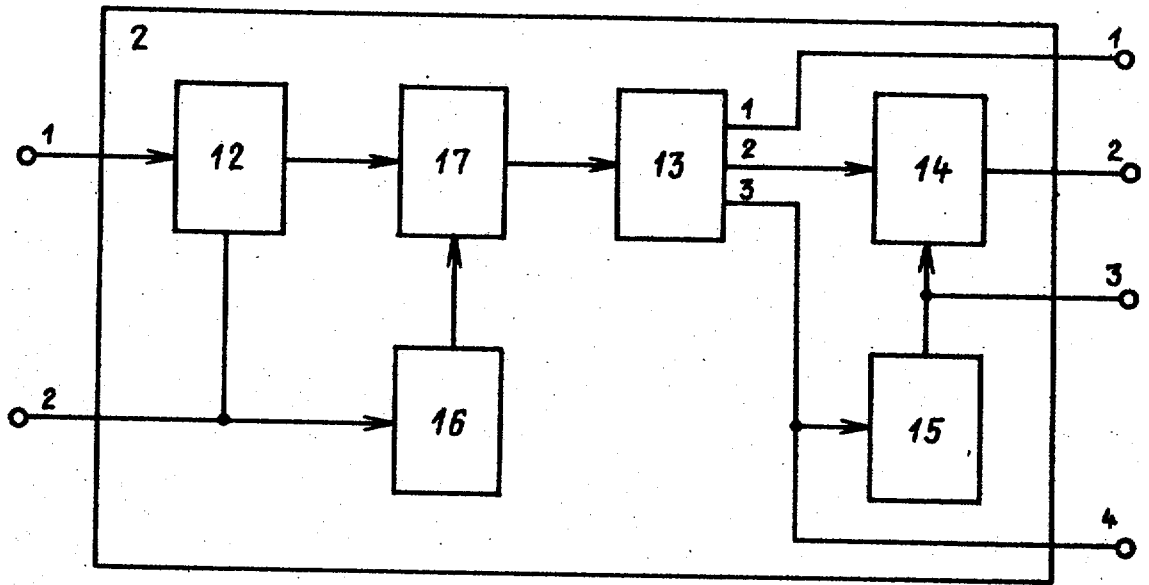
Устройство для моделирования графов, содержащее блок моделей вершин, состоящий из n моделей вершин, первый и второй блоки памяти, регистр, датчик случайных чисел, генератор импульсов, счетчик и узел формирования топологии, состоящий из первого и второго блоков памяти, датчика случайных событий, генератора импульсов, счетчика и коммутатора, причем в блоке моделей вершин первый и второй управляющие входы n -й модели вершины подключены к шине нулевого потенциала, выходы выполнения вершины и высвобождения вершины i -й модели вершины ($i = \overline{2, n}$) соединены соответственно с первым и вторым управляющими входами $(i-1)$ -й модели вершины, в узле формирования топологии выход первого блока памяти подключен к информационному входу счетчика, счетный вход которого соединен с выходом генератора импульсов, выход счетчика подключен к входу второго блока памяти, выход номера вершины которого соединен с информационным входом коммутатора, а выход номера входа вершины - с входом запуска датчика случайных событий, выход которого подключен к управляющему входу коммутатора, выход выполнения вершины первой модели вершины блока моделей вершин соединен с входом запуска генератора импульсов устройства, входом считывания первого блока памяти узла формирования топологии и входом запуска генератора импульсов узла формирования топологии, информационные выходы моделей вершин блока моделей вершин подключены к соответствующим адресным входам второго блока памяти устройства, выход которого соединен с входом регистра, выход которого подключен к адресному входу первого блока памяти узла формирования топологии, выход последней дуги второго блока памяти узла формирования топологии соединен с установочными входами моделей вершин блока моделей вершин, а выход генератора импульсов устройства подключен к входу счетчика устройства и счетным входам моделей вершин блока моделей вершин, выход первого блока памяти устройства соединен с входом запуска датчика случайных чисел, выход которого

подключен к входам задания времени моделей вершин блока моделей вершин, отличающееся тем, что, с целью расширения функциональных возможностей за счет моделирования орграфов с функционально взвешенными вершинами, в устройство введены коммутатор и узел формирования дуги, состоящий из первого, второго и третьего регистров, первого и второго блоков памяти, первого и второго коммутаторов, дешифратора и сумматора, причем в узле формирования дуги выход первого регистра соединен с адресным входом первого блока памяти, выход которого подключен к информационному входу третьего регистра, выход кода функции которого подключен к входу начального адреса функции второго блока памяти, выход состояния вершины третьего регистра соединен с информационным входом первого блока памяти, первым информационным входом сумматора и информационным входом первого коммутатора, первый и второй управляющие входы которого подключены соответственно к выходу признака инверсии и выходу номера входа вершины второго блока памяти, выход первого адреса перехода и выход второго адреса перехода второго блока памяти соединены соответственно с первым и вторым информационными входами второго коммутатора, выход которого подключен к входу записи первого блока памяти, входу записи третьего регистра, адресному входу второго блока памяти и входу синхронизации сумматора, выход второго ре-

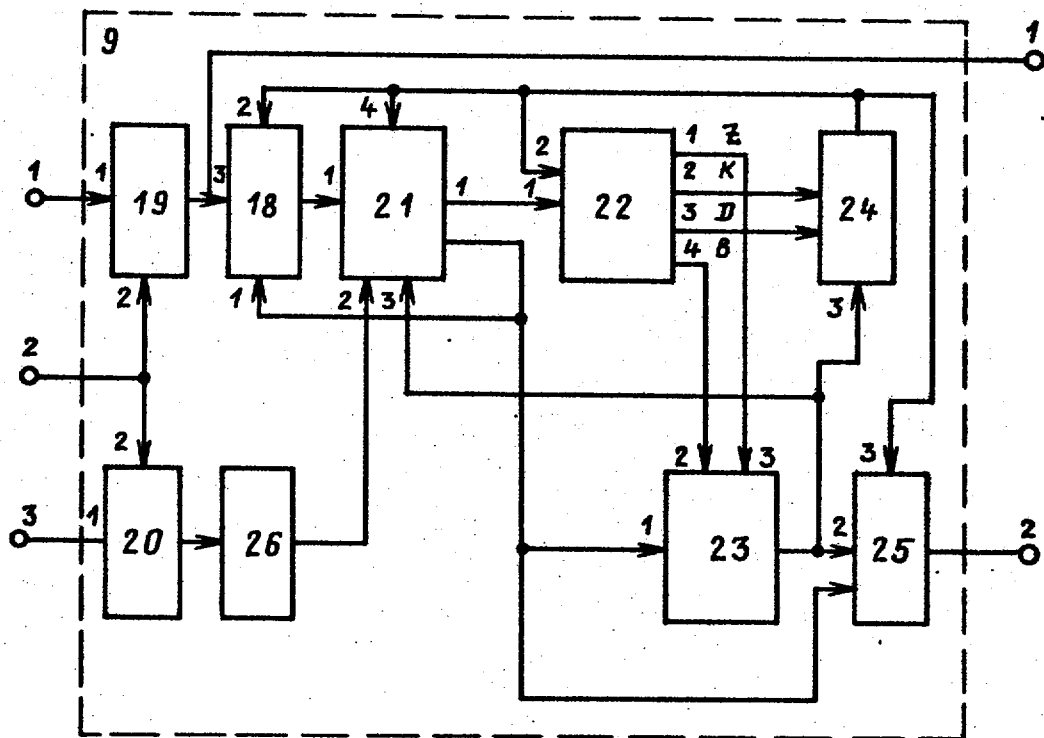
гистра соединен с входом дешифратора, выход которого подключен к адресному входу третьего регистра, выход первого коммутатора соединен с вторым информационным входом сумматора, управляющим входом второго коммутатора и входом состояния дуги третьего регистра, выход коммутатора узла формирования топологии подключен к первому информационному входу коммутатора устройства и к информационному входу первого регистра узла формирования дуги, выход датчика случайных событий узла формирования топологии соединен с вторым информационным входом коммутатора устройства и входами записи первого и второго регистров узла формирования дуги, выход второго блока памяти узла формирования топологии подключен к информационному входу второго регистра узла формирования дуги, выход первого регистра узла формирования дуги соединен с третьим информационным входом коммутатора устройства, выход сумматора узла формирования дуги подключен к четвертому информационному входу коммутатора устройства, первый вход которого соединен с входом записи второго блока памяти устройства и входами назначения вершины моделей вершин блока моделей вершин, второй выход коммутатора устройства подключен к входу первого блока памяти устройства и информационному входу второго блока памяти устройства, а управляющий вход коммутатора устройства является входом задания режимов работы устройства.



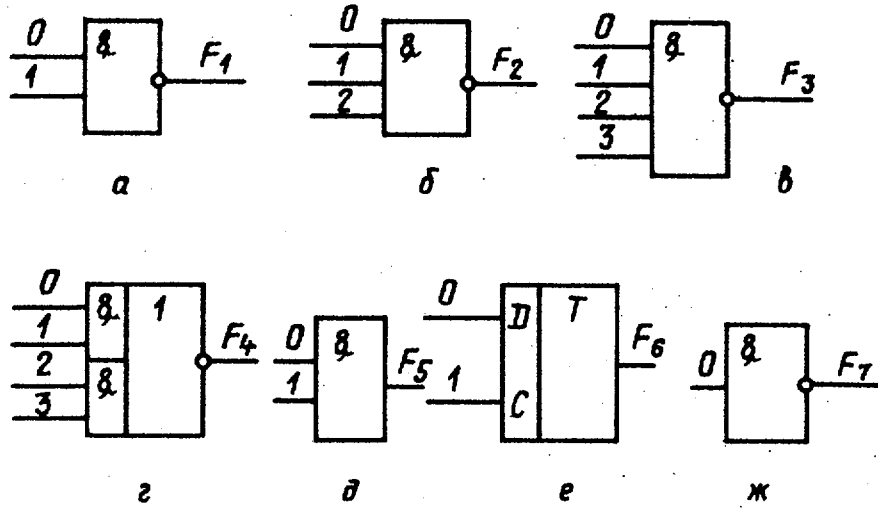
Фиг. 1



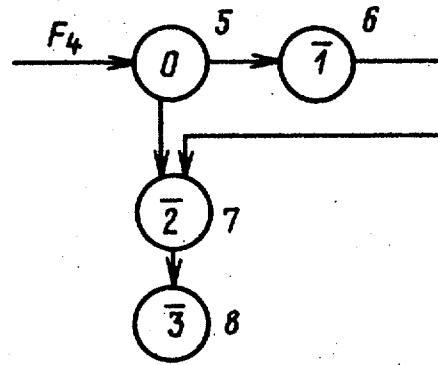
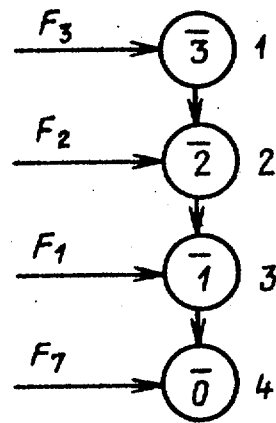
Фиг. 2



Фиг. 3

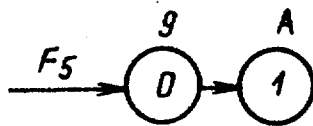


$\Phi_{u2.4}$

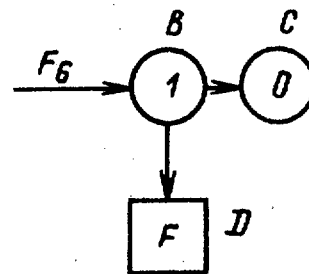


a

b

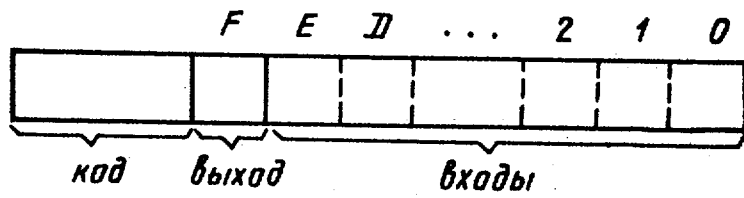


g

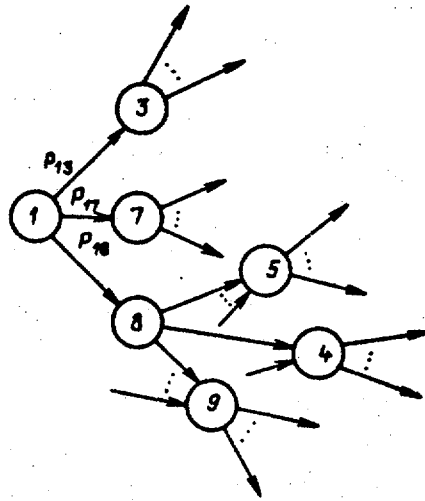


B

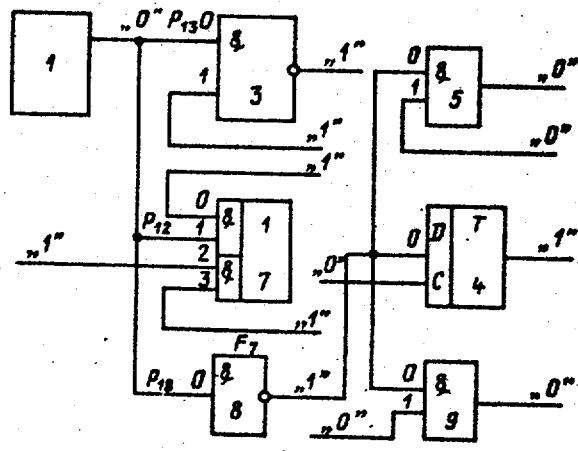
$\Phi_{u2.5}$



Фиг. 6



Фиг. 7



Фиг. 8

Составитель А. Шеренков
 Редактор Ю. Серета Техред И. Попович Корректор М. Самборская

Заказ 2288/50 Тираж 671 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4