



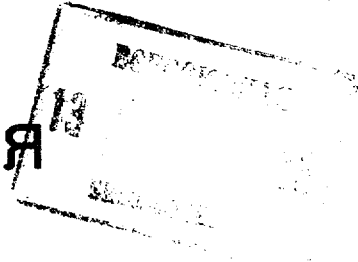
СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

(19) SU (11) 1234845 A 1

(SD) 4 G 06 F 15/20

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

## ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3773091/24-24

(22) 20.07.84

(46) 30.05.86, Бюл. № 20

(71) Минский радиотехнический институт

(72) Г.П.Лопато, В.И.Новиков,  
Е.В.Супрун и В.К.Мельников

(53) 681.333(088.8)

(56) Авторское свидетельство СССР  
№ 1034048, кл. G 06 G 7/122, 1983.

Авторское свидетельство СССР  
№ 1126967, кл. G 06 G 7/122, 1983.

(54) УСТРОЙСТВО ДЛЯ МОДЕЛИРОВАНИЯ  
СТРУКТУРНО-СЛОЖНЫХ ОБЪЕКТОВ

(57) Изобретение относится к области вычислительной техники. Цель изобретения - расширение функциональ-

ных возможностей за счет воспроизведения временных ориентированных графов с функционально взвешенными вершинами. Устройство имеет сложную структуру, состоящую из целого ряда различных функциональных узлов моделирования - дуг графа, топологии графа, вершин графа, а также - блок управления и фрагмент структурно-сложного объекта. Изобретение позволяет при исследовании сложных систем, сетевом планировании, испытании дискретных устройств, автоматизации проектирования средств вычислительной техники дополнительно воспроизводить временные ориентированные графы с функционально взвешенными вершинами. 6 ил.

(19) SU (11) 1234845 A 1

Изобретение относится к вычислительной технике и может быть использовано при исследовании сложных систем, сетевом планировании, испытаниях дискретных устройств и автоматизации проектирования средств вычислительной техники.

Цель изобретения - расширение функциональных возможностей за счет воспроизведения временных ориентированных графов с функционально-взвешенными вершинами.

На фиг. 1 изображена структурная схема устройства; на фиг. 2 - структурная схема узла моделирования дуг графа; на фиг. 3 - структурная схема узла моделирования топологии графа; на фиг. 4 - структурная схема узла моделирования вершин графа; на фиг. 5 - структурная схема блока управления; на фиг. 6 - фрагмент структурно-сложного объекта.

Устройство содержит узел 1 моделирования дуг графа, узел 2 моделирования топологии графа, узел 3 моделирования вершин графа и блок 4 управления. Узел 1 содержит регистр 5, первый блок 6 памяти, сумматор 7, ассоциативный блок 8 памяти, второй блок 9 памяти, коммутатор 10. Узел 2 содержит первый коммутатор 11, первый блок 12 памяти, второй блок 13 памяти, второй коммутатор 14, регистр 15, датчик 16 случайных событий. Узел 3 содержит второй блок 17 сравнения, первый блок 18 памяти, второй блок 19 памяти, элемент 20 задержки, третий блок 21 памяти, четвертый блок 22 памяти, пятый блок 23 памяти, первый регистр 24, первый коммутатор 25, второй коммутатор 26, второй регистр 27, первый блок 28 сравнения. Блок 4 содержит элемент И 29, коммутатор 30, первый дешифратор 31, счетчик 32, генератор 33 импульсов, второй дешифратор 34.

Работа предлагаемого устройства основана на представлении структурно-сложного объекта в виде функционального ориентированного графа  $G$ , процессы преобразования цифровой информации в котором с заданной точностью соответствуют функционированию реального объекта. При этом блоку, узлу или процессу исходного объекта может соответствовать как отдельная вершина, так и фрагмент графа  $G$ . Воспроизведение процессов, протекающих

в графе  $G$  во времени, основано на принципе событийного моделирования и состоит в том, что состояния графа  $G$  анализируются только в моменты модельного времени  $t_m$ , когда хотя бы одна из его вершин или дуг изменяет свое состояние.

Вершины графа  $G$  функционально взвешены. Каждой вершине с номером  $i$  ставится в соответствие состояние входов  $X_i(t_m)$ , внутреннее состояние  $S_i(t_m)$ , состояние выхода  $Y_i(t_m)$ , являющееся элементом множества  $S_i(t_m)$ ,  $Y_i(t_m) \in S_i(t_m)$ , и оператор  $\alpha_i$ , устанавливающий отображение множеств  $S_i(t_m)$ ,  $X_i(t_m)$  в новое состояние  $S_i^*(t_m)$ . Вершины графа моделируют безынерционные логические элементы. Состояния выхода и состояния  $x_{i,k} \in X_i$  каждого из входов кодируются двоичными цифрами. Каждой дуге  $(i, j_k)$  графа, связывающей  $i$ -ю вершину и  $k$ -й вход  $j$ -й вершины  $G$ , устанавливается вероятность  $P_{i,j_k}$  того, что состояние выхода  $i$ -й вершины  $Y_i(t_m)$  будет передано по дуге  $(i, j_k)$  на  $k$ -й вход  $j$ -й вершины. Каждому входу или выходу вершины может устанавливаться временная задержка распространения сигналов состояния. Так, на фрагменте графа  $G$ , приведенном на фиг. 6, изображены две трехходовые вершины с номерами 3 и 7, которым соответствуют операторы  $\alpha_3$  и  $\alpha_7$ , четыре узла временной задержки  $\beta_{3,0}$ ,  $\beta_{3,3}$ ,  $\beta_{7,1}$ ,  $\beta_{7,3}$ . Узел временной задержки  $\beta_{3,1}$  относится к первому входу вершины 5, не приведенной на фиг. 6. Выходной сигнал состояния  $Y_3$  вершины 3 задерживается на интервал  $\tau_{3,0}$  узлом  $\beta_{3,0}$ , входной сигнал  $x_{3,3}$  - на интервал  $\tau_{3,3}$  узлом  $\beta_{3,3}$ . Задержанный узлом  $\beta_{3,0}$  сигнал  $Y_3$  разветвляется дугами  $(3,2)$ ,  $(3,5)$ ,  $(3,7)$  на три направления  $x_{3,2}$ ,  $x_{3,5}$ ,  $x_{3,7}$ . Причем по дуге  $(3,7)$  перед поступлением на первый вход вершины 7 сигнал  $x_{7,1}$  задерживается на интервал  $\tau_{7,1}$  узлом  $\beta_{7,1}$ .

Узел 1 предназначен для воспроизведения процессов, протекающих в узлах временной задержки сигналов. Каждому узлу  $\beta_{i,k}$  графа  $G$  в блоке 6 отводится отдельная ячейка  $(i,k)$ , в которую перед началом моделирования записывается значение временного интервала  $\tau_{i,k}$ . В ячейку  $(i,k)$  записывается также адрес  $АП_{i,k}$  узла, в который после задержки на ин-

тенвал  $\hat{t}_{i,k}$  должна быть передана информация с выхода узла 1. Если адрес  $AP_{i,k}=2$ , то информация с выхода узла 1 передается в узел 2, если  $AP_{i,k}=3$ , то данные передаются в узел 3. Так, для графа приведенного на фиг. 6, для узла  $\beta_{3,0}$   $AP_{3,0}=2$ , так как поток информации с выхода узла разветвляется дугами (3,2), (3,5), (3,7) и, следовательно, должен пройти топологическое преобразование. Для узла  $\beta_{7,1}$   $AP_{7,1}=3$ , так как выход узла соединен с первым входом седьмой вершины, и непосредственно после воспроизведения задержки  $\hat{t}_{7,1}$  должно быть начато моделирование оператора  $\alpha_7$ .

Каждый из узлов временной задержки  $\beta_{i,k}$  может находиться в двух состояниях - состоянии ожидания и состоянии активности. Узел переходит в состояние активности в момент, когда сигнал на его входе изменяет состояние. По окончании воспроизведения задержки узел  $\beta_{i,k}$  переходит в состояние ожидания. Информация об узлах  $\beta_{i,k}$ , находящихся в данный момент в состоянии активности, хранится в блоке 8.

Узел 1 может находиться в двух состояниях. В состоянии приема информации - в некоторый момент времени  $t_M$  для каждого поступившего номера узла  $(i,k)$  вычисляется значение  $t_M + \hat{t}_{i,k}$  момента окончания воспроизведения задержки  $\hat{t}_{i,k}$ , и в ячейку блока 8 записывается в поле информации слово  $(i,k)$ ,  $Z_{i,k}$ ,  $AP_{i,k}$ , где  $Z_{i,k}$  - логическое состояние дуги графа, соответствующей узлу  $\beta_{i,k}$ , которое эта дуга должна принять после воспроизведения задержки  $\hat{t}_{i,k}$ , в поле ассоциативного признака блока 8 записывается значение  $t_M + \hat{t}_{i,k}$ . Тем самым в блоке 8 накапливается очередь событий, для каждого из которых определен момент возникновения  $t_M + \hat{t}_{i,k}$ . Узел 1 сохраняет состояние приема информации до тех пор, пока узел 2 либо узел 3 находятся в состоянии обработки.

В состоянии обработки информации из очереди, накопленной в блоке 8, выбирается событие, имеющее минимальное значение момента возникновения  $(t_M + \hat{t}_{i,k})_{min}$ . Продвигается модельное время, таймеру присваивается значение  $(t_M + \hat{t}_{i,k})_{min}$ . Информация

об узле  $\beta_{i,k} - i, K, Z_{i,k}$  под управлением блока 4 поступает в узел 2 при  $AP_{i,k}=2$  или в узел 3 при  $AP_{i,k}=3$ . Если несколько событий имеют равные минимальные значения времен возникновения, то узел 1 последовательно выдает информацию о всех них и переходит в состояние приема.

В блоке 8 при поступлении сигнала записи выбирается свободная ячейка, в информационное поле которой записываются  $AP_{i,k}$ ,  $i, K, Z_{i,k}$ , в поле ассоциативного признака -  $t_M + \hat{t}_{i,k}$ . При нулевых сигналах на первом и втором входах разрешения записи ассоциативного признака блок 8 работает в режиме считывания, выполняется алгоритм ассоциативного поиска и считывания ячейки с ассоциативным признаком, ближайшим большим к признаку опроса. Если несколько ячеек имеют равные ассоциативные признаки, то считывается содержимое всех этих ячеек.

Узел 2 предназначен для воспроизведения процессов передачи информации в дугах графа G. Каждой  $i$ -й вершине графа в блоке 13 отведена  $i$ -я группа ячеек, число которых на единицу больше числа дуг, исходящих из  $i$ -й вершины, каждая из ячеек  $i$ -й группы, кроме последней, содержит номера вершины  $j$  и входа вершины  $K$ , с которой связана  $i$ -я вершина дугой  $(i,j_k)$ , адрес  $AP_{i,j_k}$  узла, в который должна быть передана информация из узла 2 и признак  $r$ , указывающий окончание  $i$ -й группы и равный единице для всех ячеек группы, кроме последней. Последняя ячейка группы не относится ни к одной из дуг, содержит  $r=0$  и обозначает конец группы.

Узел 2 может находиться в двух состояниях. В состоянии приема узел 2 ждет поступления данных, на выходе признака  $r$  поддерживается нулевой сигнал. При поступлении на информационный вход блока 15 номера вершины  $i$  и состояния ее выхода  $Z_i$ , означающих, что в исходящих из вершины  $i$  дугах должны быть воспроизведены процессы передачи состояния  $Z_i$  с заданными вероятностями, узел 2 переходит в состояние обработки. Из блока 13 последовательно считывается содержимое ячеек  $i$ -й группы, причем на выход признака последней дуги блока 13 поступает значение поля  $r$ , на выход параметров дуги и ад-

реса перехода - значения  $j$ ,  $K_j$ ,  $AP_{i,j,k}$ , на выход вероятности обработки дуги - значение  $P_{i,j,k}$ . Датчик 16 разыгрывает случайное событие передачи состояния  $Z_i$  в дуге  $(i, j_k)$  с вероятностью  $P_{i,j,k}$ . Если событие произошло, т.е. передача состояния имеет место, номера вершины  $j$ , входа  $K_j$ , состояние  $Z_i$  выдаются на выход коммутатора 14, а адрес  $AP_{i,j,k}$  узла - приемника информации выдается на выход коммутатора 11. Если  $AP_{i,j,k} = 3$ , то приемником является узел 3, если  $AP_{i,j,k} = 1$ , то узел 1. При этом на выходе признака последней дуги блока 13 поддерживается единичный сигнал. После завершения моделирования последней дуги  $i$ -й группы узел 2 возвращается в состояние приема.

Узел 3 предназначен для вычисления операторов  $\alpha$  вершин графа  $G$ . Каждой вершине  $i$  графа в блоке 22 отведена отдельная ячейка, в которой хранится текущее слово состояния вершины (ССВ), которое содержит состояние входов  $X_i(t_m)$  на данный момент модельного времени, внутреннее состояние вершины  $S_i(t_m)$ , включающее состояние выхода  $Y_i(t_m)$ .

Узел 3 работает в двух режимах. В режиме приема номера вершин, номера входов вершин и их состояния поступают из узла 1 или узла 2. Режим приема устанавливается в узел 3, если либо узел 1, либо узел 2 находятся в состоянии обработки. Выполняется обращение к  $i$ -й ячейке блока 22 памяти, и в ССВ  $i$ -й вершины в  $K_j$ -й разряд поля  $X_i$  записывается новое значение входного сигнала. Одновременно в блоке 18 запоминается номер вершины  $i$ , у которой изменилось значение  $K_j$ -го входа. Если в этот момент модельного времени изменяется также состояние некоторого другого  $m_j$ -го входа этой же вершины, записывается новое значение входного сигнала, но номер  $i$  в блоке 18 вторично не записывается.

Узел 3 находится в состоянии приема до тех пор, пока узел 1 или 2 находятся в состоянии обработки и выдают информацию.

В момент, когда узлы 1 и 2 завершают обработку и переходят в состояние приема, на первом и втором входах разрешения записи блока 18 ус-

танавливаются нулевые сигналы, и узел 3 переходит в состояние обработки. Тем самым узел 3 переходит в состояние обработки лишь после того, как из узлов 1 и 2 в него введены новые состояния тех входов, вершин графа, которые на данный момент модельного времени изменили свое состояние.

Из блока 18 считываются номера вершин, входы которых изменили свое состояние, из блока 22 - ССВ этих вершин. Для каждой  $i$ -й вершины вычисляется значение внутреннего состояния  $S_i^*(t_m)$  в соответствии с оператором  $\alpha_i$ , включая новое значение выхода вершины  $Y_i^*(t_m)$ . Если прежнее состояние вершины  $S_i(t_m)$  и новое вычисленное состояние  $S_i^*(t_m)$  не совпадают, то ССВ с модифицированным полем  $S_i^*$  записывается в  $i$ -ю ячейку блока 22. Если при этом произошло изменение выхода вершины, т.е.  $Y_i^*(t_m) \neq Y_i(t_m)$ , то узел 3 выдает номер вершины  $i$ , новое состояние ее выхода  $Y_i^*(t_m)$ , номер  $K=0$ , кодирующий номер выхода вершины в системе нумерации выходов вершин в узел 2, если  $AP_i = 2$ , или в узел 1, если  $AP_i = 1$ . Адреса перехода  $AP_i$  хранятся в блоке 22.

На выходе занятости блока 18 поддерживается единичный сигнал, если в блоке 18 зафиксирован хотя бы один номер вершины с изменившимся в этот момент модельного времени входом. Этим самым препятствуется проведение ассоциативного поиска в блоке 8 и, следовательно, наращивание модельного времени до окончания функционального моделирования вершин, зафиксированных в блоке 18. Единичный сигнал хотя бы на одном из входов разрешения записи приводит блок 18 в режим записи информации, при нулевых сигналах на этих входах блок 18 работает в режиме считывания. Продвижение адреса в этом режиме выполняется по отрицательному фронту сигнала на первом входе считывания или по положительному фронту на втором входе считывания.

Блок 22 имеет вход записи, адресный вход, информационный вход, вход разрешения модификации состояния вершины и вход разрешения записи. При поступлении на вход записи номера  $i$  вершины, номера  $K_j$  входа и сос-

тояния  $X_k$ ; по сигналу разрешения записи в поле  $X_i$   $i$ -го ССВ в  $K_i$ -й разряд записывается новое значение  $X_k$ . При поступлении на адресный вход номера вершины  $i$  при нулевом сигнале на входе разрешения модификации состояния вершины блока 22 на его выходы считывается ССВ  $i$ -й вершины: значения  $X_i(t_m)$ ,  $S_i(t_m)$  и  $АП_i$ , а при единичном сигнале на этом входе и при наличии адреса  $i$  на адресном входе в поле  $S_i$   $i$ -го ССВ записывается новое состояние  $S_i^*(t_m)$ . Один и тот же оператор  $\alpha$  может соответствовать нескольким вершинам графа  $G$ . Для каждого вида операторов  $\alpha$  в блоке 23 отводится отдельная область ячеек. Обращение к некоторой  $j$ -й области выполняется в соответствии с адресом  $Q_j$ , поступающим с выхода блока 19. Выбор ячейки внутри области осуществляется в соответствии с поступающими значениями  $X(t_m)$  и  $S(t_m)$ . Каждому сочетанию значений  $X(t_m)$  и  $S(t_m)$  внутри заданной области соответствует отдельная ячейка, содержащая значение нового внутреннего состояния  $S^*(t_m)$ . Значение  $S^*(t_m)$  считывается на выход состояния вершины блока 23.

Для каждой  $i$ -й вершины в блоке 19 отводится отдельная  $i$ -я ячейка, в которую записывается адрес  $Q$  области памяти в блоке 23, соответствующей оператору  $\alpha_i$ . При этом область с адресом  $Q$  является общей для всех вершин, у которых операторы  $\alpha$  идентичны оператору  $\alpha_i$ .

Коммутатор 25 имеет первый и второй управляющие входы, при совпадении единичных сигналов на которых на выход коммутатора передается информация с первого и второго информационных входов, причем на первый информационный вход коммутатора 25 поступает значение  $Y_i^*$  из поля  $S_i^*$ , на второй информационный вход - номер  $i$  и постоянно висящий на этом входе номер  $K=0$ , кодирующий номер выхода вершины в системе нумерации выходов и входов вершины.

Блок 4 синхронизирует передачу данных между узлами 1, 2, 3. Его работа основана на циклическом алгоритме сканирования запросов на передачу данных. В случае поступления запроса на один из информационных входов коммутатора 30 блок 4 дешиф-

рирует адрес приемника информации и выдает синхронизирующие сигналы разрешения передачи на первый, второй или третий выходы дешифратора 34, которые поступают в узел-передатчик данных, и сигналы разрешения приема на первый или третий выходы дешифратора 31 или выход элемента И 29, которые поступают в узел-приемник информации. Далее просматривается следующий вход запроса и т.д.

Дешифратор 34 имеет информационный и три управляющих входов, единичный сигнал на любом из которых разрешает работу дешифратора. Дешифраторы 31 и 34 имеют каждый первый, второй и третий выходы, причем единичный сигнал на первом входе вырабатывается при значении 1 на информационном входе, на втором выходе - при значении 2, на третьем выходе - при значении 3.

Рассмотрим работу устройства на примере фрагмента графа (фиг. 6).

Перед началом моделирования в блоки 6, 12, 13, 19, 22 и 23 записывается начальная информация о вершинах, дугах и узлах временного моделирования графа, во все ячейки блока 21 заносятся логические единицы.

Работу устройства рассмотрим с момента модельного времени  $t_m$ , когда узлы 2 и 3 находятся в состоянии приема, причем блок 18 не содержит номеров вершин, хотя бы один из входов которых изменил свое состояние в данный момент модельного времени  $t_m$ . Узел 1 переходит в состояние обработки, причем в состоянии активности находятся узлы  $\beta_{3,3}$ ,  $\beta_{7,3}$ ,  $\beta_{3,0}$ . Это означает, что в блоке 8 накоплена очередь событий, для каждого из активных узлов отведена отдельная ячейка, в поле ассоциативного признака которой записано время возникновения события  $t_{i,k}$ , а в поле информации - номер вершины  $i$ , номер входа или выхода  $K$  (для кодирования выхода вершины  $K=0$ ), состояние  $Z$  и адрес приемника  $АП_{i,k}$ . В рассматриваемом случае в блоке 8 заняты три ячейки, в первой из которых записано  $t_{3,3}$ ,  $i=3$ ,  $K=3$ ,  $Z_{3,3}=x=0$ ,  $АП_{3,3}=3$ , во второй -  $t_{7,3}$ ,  $i=7$ ,  $k=3$ ,  $Z_{7,3}=x_{7,3}=1$ ,  $АП_{7,3}=3$ , в третьей -  $t_{3,0}$ ,  $i=3$ ,  $K=0$ ,  $Z_{3,0}=y_3=0$ ,  $АП_{3,0}=2$ . Блок 8 переключается в режим считывания информации в соответ-

вии с признаком опроса, равным  $t$  и поступающим из регистра 5 на вход признака опроса блока 8.

Блок 8 выполняет ассоциативный поиск информации с ассоциативным признаком, ближайшим большим к признаку опроса. Пусть ассоциативные признаки  $t_{7,3} = t_{3,0}$  и  $t_{3,0} < t_{3,3}$ . Тогда в результате поиска в блоке 8 будут найдены две ячейки с равными ассоциативными признаками  $t_{7,3}$  и  $t_{3,0}$ . Информационные поля этих ячеек будут последовательно считаны из блока 8 и записаны в блок 9. Значение ассоциативного признака  $t_{7,3} = t_{3,0}$  записывается в регистр 5.

Так как в блоке 9 с этого момента содержится информация, то на его выходе занятости вырабатывается единичный сигнал, означающий, что узел находится в состоянии обработки. Из блока 9 считывается первое слово, соответствующее узлу  $\beta_{7,3}$ . С выхода коммутатора 10 считывается  $i=7$ ,  $K=3$ ,  $X_{7,3}=1$ , с выхода адреса перехода блока -  $AP_{7,3}=3$ . Значение  $AP_{7,3}=3$  поступает на первый информационный вход коммутатора 30, и в момент равенства содержимого счетчика 32 единице  $AP_{7,3}=3$  через коммутатор 30 поступает на дешифратор 31, на третьем выходе которого вырабатывается единичный сигнал, поступающий в узел 3. Одновременно разрешается работа дешифратора 34, на первом выходе которого вырабатывается единичный сигнал, поступающий в узел 1. Тем самым в узел 3 разрешается прием информации, а в узле 1 - выдача информации. С первого выхода дешифратора 34 единичный сигнал поступает на управляющий вход коммутатора 10 и разрешает прохождение через него слова  $i=7$ ,  $K=3$ ,  $x_{7,1}=1$ . Одновременно с третьего выхода дешифратора 31 сигнал поступает на вход считывания блока 21 и на вход разрешения записи блока 22. Все ячейки блока 21 содержат в этот момент единицы, так как до момента времени перехода узла 1 в состояние обработки узлы 1 и 2 находятся в состоянии приема, на выходе занятости блока 9 и на выходе признака последней дуги блока 13 поддерживаются нулевые сигналы, которые, поступая на установочные входы блока 21, устанавливают все его ячейки в единичное состояние. Из блока 21

считывается логическая единица на вход записи блока 18, что приводит к записи в него номера вершины  $i=7$ . В блоке 22 выполняется обращение к седьмой ячейке, и в ССВ седьмой вершины в поле входов  $X_7$  входу с номером  $K=3$  присваивается значение  $x_{7,3}=1$ . Тем самым в блоке 22 модифицируется ССВ вершины 7, а в блоке 18 запоминается номер вершины  $i=7$ , у которой изменилось значение по крайней мере одного из выходов.

Задержанный элементом 20 сигнал поступает на вход записи блока 21 и приводит к записи в ячейку с номером  $i=7$  логического нуля. Этим самым предотвращается вторичная запись номера  $i=7$  в блок 18 в том случае, если до момента перехода узла 3 в состояние обработки поступает информация о том, что еще один вход вершины 7 изменил свое состояние в данный момент модельного времени. В том случае на выход блока 21 считывается логический нуль, предотвращающий запись информации в блок 18.

В блоке 4 генератор 33 вырабатывает очередной импульс, по которому содержимое счетчика 32 становится равным 2, и на выходах дешифраторов 31 и 34 сбрасываются сигналы. По заднему фронту сигнала на входе считывания блока 9 из него считывается содержимое следующей ячейки, на выход параметров дуги поступает  $i=3$ ,  $K=0$ ,  $Y_3=0$ , на выход адреса перехода -  $AP_{3,0}=2$ . Адрес приемника информации  $AP_{3,0}=2$  передается на первый информационный вход коммутатора 30.

Так как генератор 33 непрерывно вырабатывает импульсы и так как счетчик 32 имеет коэффициент пересчета, равный 3, то в некоторый момент содержимое счетчика 32 снова становится равным 1, и адрес  $AP_{3,0}=2$  через коммутатор 30 поступает на вход дешифратора 31, на втором выходе которого вырабатывается единичный сигнал. Так как узел 2 находится в настоящий момент в состоянии приема информации, то нулевой сигнал поступает на второй инверсный вход элемента И 29 и открывает его. Единичный сигнал с второго выхода дешифратора 31 проходит через элемент И 29 на вход синхронизации регистра 15. Одновременно срабатывает дешифратор 34, на его первом выходе воз-

никает единичный сигнал, поступающий в узел 1 и открывающий коммутатор 10. Слово  $i=3$ ,  $Y_3=0$  поступает на информационный вход регистра 15 и записывается в него. Номер  $i=3$  поступает на адресный вход блока 12, с выхода которого на адресный вход блока 13 считывается адрес  $R_3$  области, соответствующей третьей вершине. Для графа (фиг. 6) структура области третьей вершины имеет следующий вид. Первая ячейка содержит номер вершины  $j=3$ , номер входа  $K_j=2$ , адрес  $АП_{3,3}=3$ , вероятность  $P_{3,3}$ , признак  $r_{3,3}=1$ . Вторая ячейка содержит  $j=5$ ,  $K_j=1$ ,  $АП_{3,5}=1$ ,  $P_{3,5}$ ,  $r_{3,5}=1$ , третья  $j=7$ ,  $K_j=1$ ,  $АП_{3,7}=1$ ,  $P_{3,7}$ ,  $r_{3,7}=1$ . Четвертая ячейка содержит нули и является последней в области.

Таким образом, при поступлении на адресный вход блока 13 адреса  $R_3$  из первой ячейки третьей области считывается слово, причем номер вершины  $j=3$  и номер входа  $K_j=2$  поступают на второй информационный вход коммутатора 14, адрес  $АП_{3,3}=3$  поступает на информационный вход коммутатора 11, вероятность  $P_{3,3}$  - на вход датчика 16 случайных событий, а признак  $r_{3,3}=1$  - на выход признака последней дуги блока 13, указывая на то, что узел 2 перешел в состояние обработки. Одновременно в блоке 4 запрещается элемент И 29, запрещая обращение к узлу 2, пока он находится в состоянии обработки.

Датчик 16 с вероятностью  $P_{3,3}$  разыгрывает случайное событие осуществления дуги (3,3). Пусть событие имело место. Тогда датчик 16 вырабатывает на втором выходе сигнал, по которому открывается коммутатор 11, и адрес  $АП_{3,3}=3$  поступает на второй информационный вход коммутатора 30. При наличии в счетчике 32 кода 2 открывается по второму информационному входу коммутатор 30, адрес  $АП_{3,3}=3$  поступает на вход дешифратора 31, на третьем выходе которого вырабатывается единичный сигнал.

С второго выхода дешифратора 34 сигнал поступает на второй управляющий вход коммутатора 14, и так как на первый управляющий вход коммутатора 14 с второго выхода датчика 16 также поступает единичный сигнал, то на выход коммутатора 14 передаются с первого информационного

входа состояние  $y_3=0$  из регистра 15 и с второго информационного входа -  $j=3$ ,  $K_j=2$  из блока 13. Таким образом, слово  $j=3$ ,  $K_j=2$ ,  $Y_3=0$  поступает на выход коммутатора 14, и по сигналу с третьего выхода дешифратора 31 в поле входов ССВ третьей вершины в блоке 22 второму входу присваивается значение  $x_{3,7}=y_3=0$ . из блока 21 считывается логическая единица, сигнал которой приводит к записи номера  $i=3$  в блок 18. В третью ячейку блока 21 записываются логический нуль. Этим завершаются процессы, связанные с моделированием передачи состояния по дуге (3,3).

По очередному импульсу генератора 33 изменяется содержимое счетчика 32, на выходах дешифраторов 31 и 34 сбрасываются сигналы. По заднему фронту сигнала на втором входе считывания блока 13 выполняется обращение к следующей ячейке третьей области, в результате чего на выходы блока 13 поступают  $j=5$ ,  $K_j=1$ ,  $АП_{3,5}=1$ ,  $P_{3,5}$ ,  $r_{3,5}=1$ . Датчик 16 с вероятностью  $P_{3,5}$  разыгрывает существование дуги (3,5). Пусть событие имело отрицательный исход. Тогда датчик 16 вырабатывает на первом выходе единичный сигнал, который поступает в блок 13, в результате чего в нем выполняется обращение к очередной ячейке третьей области. На выходы блока 13 считываются  $j=7$ ,  $K_j=1$ ,  $АП_{3,7}=1$ ,  $P_{3,7}$ ,  $r_{3,7}=1$ . Датчик 16 разыгрывает существование дуги (7,1). Пусть дуга существует. Тогда на втором выходе датчика 16 вырабатывается сигнал, по которому открывается коммутатор 11, и адрес  $АП_{3,7}=1$  поступает на второй информационный вход коммутатора 30.

При равенстве содержимого счетчика 32 двум адрес  $АП_{3,7}=1$  поступает на вход дешифратора 31, на первом выходе которого вырабатывается единичный сигнал. На втором выходе дешифратора 34 также вырабатывается единичный сигнал, по которому в узле 2 открывается коммутатор 14 для выдачи слова  $j=7$ ,  $K_j=1$ ,  $y_3=0$ . С первого выхода дешифратора 31 сигнал поступает на вход считывания блока 6 и вход записи блока 8. Из ячейки (7,1) блока 6, соответствующей узлу  $\beta_{7,1}$ , считывается адрес  $АП_{7,1}=3$  и значение временного интервала  $t_{7,1}$ . Сумматор 7 выполняет операцию сложения

значений  $\hat{t}_{7,1}$  и текущего модельного времени  $t_r$ , равного  $t_{7,3}$  и хранящегося в регистре 5. Значения  $t_m + \hat{t}_{7,1}$ ,  $AP_{7,1}$ , номер вершины  $j=7$  и номер входа  $K_j=1$  поступают в блок 8, который записывает информацию об узле  $\beta_{7,1}$ , причем  $t_m + \hat{t}_{7,1}$  записывается в поле ассоциативного признака,  $j=7$ ,  $K_j=1$ ,  $AP_{7,1}=3$  - в информационное поле ячейки. Тем самым узел  $\beta_{7,1}$  переходит в состояние активности, информация о нем включается в очередь событий в блоке 8.

По очередному импульсу генератора 33 изменяется содержимое счетчика 32, на выходах дешифраторов 31 и 34 сбрасываются сигналы по заднему фронту сигнала на втором входе считывания блока 13, выполняется обращение к следующей ячейке третьей области, в результате чего на выходе блока 12 поступает последнее слово области  $j=0$ ,  $K_j=0$ ,  $AP_{1,j,k}=0$ ,  $P_{1,j,k}=0$ ,  $r=0$ . Так как значение  $r=0$ , то на выходе признака последней дуги блока 13 сбрасывается единичный сигнал. Узел 2 переходит в состояние приема. Таким образом, так как узлы 1 и 2 находятся в состоянии приема, то в узел 3 передается информация о всех вершинах, выходы которых в данный момент модельного времени изменяют свое состояние (вершины с номерами 3 и 7), все ячейки блока 21 заполняются логическими единицами, разрешается считывание из блока 18 памяти. Так как блок 18 содержит информацию, то в блоке 8 запрещается выполнение ассоциативного поиска, и, следовательно, наращивание модельного времени.

Номер вершины 7 подается с выхода блока 18 на адресный вход блока 22, на выходы которого считывается ССВ седьмой вершины. Адрес  $AP_7=2$  записывается в регистр 27. Одновременно номер вершины 7 поступает на вход блока 19, из которого считывается адрес  $Q_7$  области в блоке 23, соответствующей оператору  $\alpha_7$ . В соответствии с состоянием входов  $X_7$  и с состоянием  $S_7$  внутри области выбирается ячейка, содержащая новое состояние седьмой вершины  $S_7^*$ . Значение  $S_7^*$  с выхода блока 23 записывается в регистр 24 и далее поступает на второй вход блока 28 сравнения, где выполняется сравнение старого  $S_7$  и но-

вого  $S_7^*$  состояний седьмой вершины. Блок 17 сравнения выполняет сравнение старого  $y_7$  и нового  $y_7^*$  значений выхода седьмой вершины.

5 Пусть в данном случае  $S_7=S_7^*$ . Следовательно,  $y_7=y_7^*$ , и на выходе "Совпадение" блока 17 вырабатывается единичный сигнал, по которому из блока 18 считывается очередной номер вершины  $j=3$ . Аналогично на выходе блока 22 считывается ССВ третьей вершины, а из блока 19 - адрес  $Q_3$  области, соответствующей оператору  $\alpha_3$ . Адрес  $AP_3=1$  записывается в регистр 27. Из блока 23 в регистр 24 считывается новое состояние  $S_3^*$ , которое сравнивается блоком 28 со старым состоянием  $S_3$ . Пусть  $S_3 \neq S_3^*$ . Тогда блок 28 вырабатывает на своем выходе единичный сигнал, синхронизирующий запись в блоке 22 нового состояния  $S_3^*$  на поле состояния ССВ третьей вершины. Пусть  $y_3 \neq y_3^*$ , тогда блок 17 вырабатывает на выходе "Несовпадение" единичный сигнал, по которому открывается коммутатор 26, на выход которого поступает адрес приемника информации  $AP_3=1$ .

30 В момент равенства содержимого счетчика 32 трем адрес  $AP_3=1$  поступает на вход дешифратора 31, на первом выходе которого возникает сигнал. Единичный сигнал вырабатывается также на третьем выходе дешифратора 34. В блоке 3 открывается также коммутатор 25 для прохождения номера вершины 3 с выхода блока 18, номера  $K=0$ , кодирующего номер выхода, постоянно висящий на втором информационном входе коммутатора 25, и значения выходного состояния третьей вершины  $y_3^*$ , являющегося одним из разрядов  $S_3$ , с выхода регистра 24.

45 С первого выхода дешифратора 31 сигнал поступает на вход считывания блока 6 и вход записи блока 8. Из блока 6 считывается адрес приемника  $AP_{3,0}=2$  и значение задержки  $\hat{t}_{3,0}$ , сумматор 7 вычисляет сумму  $t_m + \hat{t}_{3,0}$ , в блок 8 записывается информация об узле  $\beta_{3,0}$  причем  $t_m + \hat{t}_{3,0}$  записывается в поле ассоциативного признака, номер вершины 3, номер  $K=0$ , адрес  $AP_{3,0}=2$  - в информационное поле ячейки. Тем самым узел  $\beta_{3,0}$  переходит в состояние активности.

По первому импульсу генератора 33 с изменением содержимого счетчи-



ка 32 сбрасываются сигналы на выходах дешифраторов 31 и 34, по заднему фронту сигнала на первом входе разрешения записи блока 18 выполняется попытка считывания из него очередного слова, но так как блок 18 информации уже не содержит, то на его выходе занятости устанавливается нулевой сигнал. Узел 3 переходит в состояние приема.

Так как на входах разрешения записи ассоциативного признака блока 8 присутствуют нулевые сигналы, то блок 8 переключается в режим ассоциативного поиска в соответствии с признаком опроса, хранящимся в регистре 5 и равным текущему модельному времени  $t_m$ . Далее устройство работает аналогично.

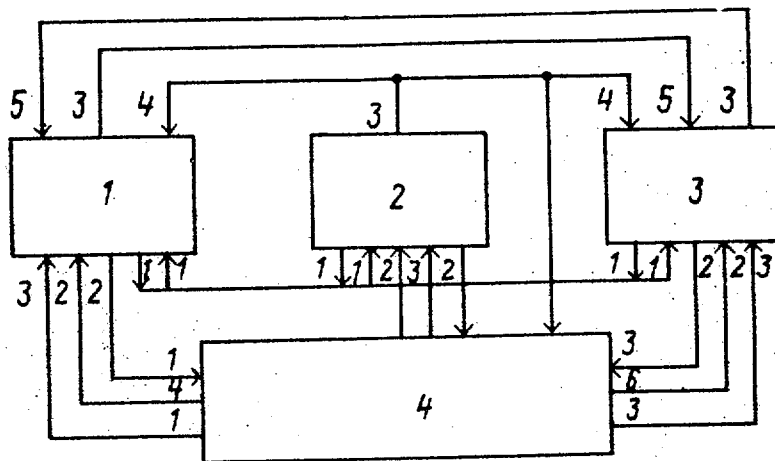
#### Ф о р м у л а и з о б р е т е н и я

Устройство для моделирования структурно-сложных объектов, содержащее узел моделирования дуг графа, состоящий из первого и второго блоков памяти, сумматора, ассоциативного блока памяти, коммутатора и регистра, узел моделирования топологии графа, состоящий из первого и второго блоков памяти, первого и второго коммутаторов, регистра и датчика случайных событий, блок управления, состоящий из коммутатора, первого и второго дешифраторов, счетчика, генератора импульсов и элемента И, причем в блоке управления выход генератора импульсов соединен с входом счетчика, выход которого подключен к информационному входу второго дешифратора и управляющему входу коммутатора, выход которого соединен с управляющим входом первого дешифратора, первый, второй и третий выходы которого подключены соответственно к первому управляющему входу второго дешифратора, прямому входу элемента И, второму управляющему входу второго дешифратора, а выход элемента И соединен с третьим управляющим входом второго дешифратора, в узле моделирования дуг графа выход адреса перехода первого блока памяти соединен с одноименным входом ассоциативного блока памяти, выход времени выполнения вершины первого блока памяти подключен к первому входу сумматора, второй

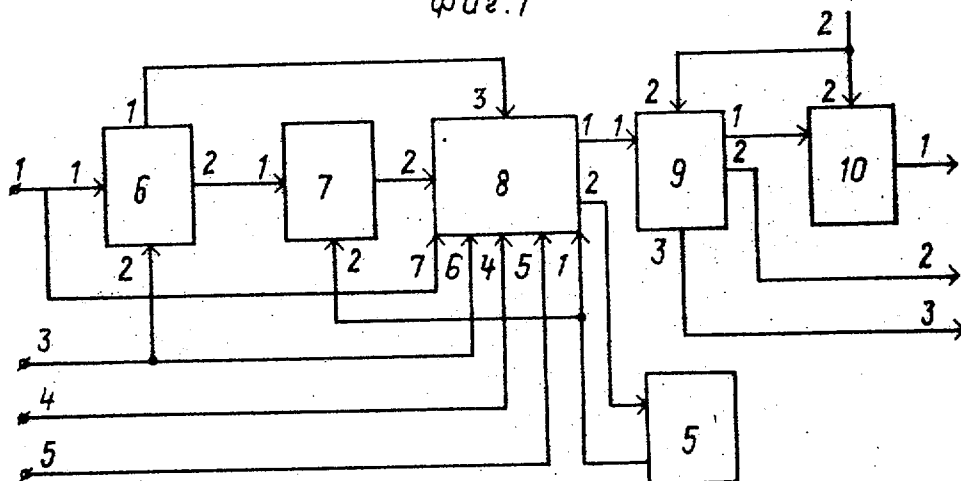
вход которого объединен с входом признака опроса ассоциативного блока памяти и соединен с выходом регистра, выход сумматора подключен к входу записи признака опроса ассоциативного блока памяти, выход адресов перехода и параметров дуги которого соединен с информационным входом второго блока памяти, выход значения ассоциативного признака ассоциативного блока памяти подключен к входу регистра, выход параметров дуги второго блока памяти соединен с информационным входом коммутатора, в узле моделирования топологии графа выход номеров вершин регистра соединен с адресным входом первого блока памяти, выход которого подключен к адресному входу второго блока памяти, первый вход считывания которого соединен с первым выходом датчика случайных событий, второй выход которого подключен к управляющему входу первого коммутатора и первому управляющему входу второго коммутатора, выход вероятности обработки дуги второго блока памяти соединен с входом датчика случайных событий, выход состояния вершины регистра подключен к первому информационному входу второго коммутатора, выход параметров дуги второго блока памяти соединен с информационным входом первого коммутатора и вторым информационным входом второго коммутатора, причем первый и второй информационные входы коммутатора блока управления соединены соответственно с выходом адреса перехода второго блока памяти узла моделирования дуг графа и выходом первого коммутатора узла моделирования топологии графа, выход признака последней дуги второго блока памяти узла моделирования топологии графа подключен к первому входу разрешения записи ассоциативного блока памяти узла моделирования дуг графа и инверсному входу элемента И блока управления, выход которого соединен с синхронизирующим входом регистра узла моделирования топологии графа, первый и второй выходы второго дешифратора блока управления подключены соответственно к входу считывания второго блока памяти и управляющему входу коммутатора узла моделирования дуг графа, второму

входу считывания второго блока памяти и второму управляющему входу второго коммутатора узла моделирования топологии графа, первый выход первого дешифратора блока управления соединен с входом считывания первого блока памяти и входом записи ассоциативного блока памяти узла моделирования дуг графа, выход коммутатора узла моделирования дуг графа подключен к информационному входу регистра узла моделирования топологии графа, а выход второго коммутатора узла моделирования топологии графа соединен с адресным входом первого блока памяти и входом параметров дуги ассоциативного блока памяти узла моделирования дуг графа, **отличается** тем, что, с целью расширения функциональных возможностей за счет воспроизведения временных ориентированных графов с функционально-взвешенными вершинами, в устройство введен узел моделирования вершин графа, состоящий из пяти блоков памяти, двух регистров, двух коммутаторов, двух блоков сравнения и элемента задержки, причем в узле моделирования вершин графа информационный выход первого блока памяти соединен с входом второго блока памяти, выход третьего блока памяти подключен к входу записи первого блока памяти, выход состояния входов вершины четвертого блока памяти соединен с одноименным входом пятого блока памяти, выход состояния вершины четвертого блока памяти подключен к одноименному входу пятого блока памяти и первым входам первого и второго блоков сравнения, выход пятого блока памяти соединен с входом первого регистра, выход которого подключен к первому информационному входу первого коммутатора, вторым входам первого и второго блоков сравнения и информационному входу четвертого блока памяти, выход элемента задержки соединен с входом записи третьего блока памяти, выход адреса перехода четвертого блока памяти подключен к входу второго регистра, выход которого соединен с информационным входом второго коммутатора, выход первого блока сравнения подключен к входу разрешения модификации состоя-

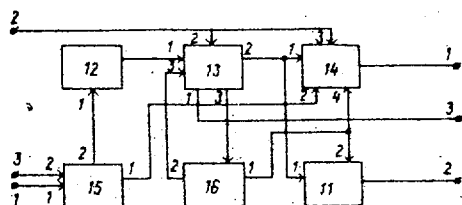
ния вершины четвертого блока памяти, выход "Несовпадение" второго блока сравнения соединен с первым управляющим входом первого коммутатора и управляющим входом второго коммутатора, выход "Совпадение" второго блока сравнения подключен к второму входу считывания первого блока памяти, информационный выход которого соединен с вторым информационным входом первого коммутатора и адресным входом четвертого блока памяти, выход второго блока памяти подключен к входу базового адреса пятого блока памяти, причем выходы первого и второго коммутаторов узла моделирования вершин графа соединены соответственно с информационным входом регистра узла моделирования топологии графа и третьим информационным входом коммутатора блока управления, выход занятости первого блока памяти узла моделирования вершин графа подключен к второму входу разрешения записи ассоциативного блока памяти узла моделирования дуг графа, выход второго коммутатора узла моделирования топологии графа соединен с адресным входом третьего блока памяти, информационным входом первого блока памяти и входом записи четвертого блока памяти узла моделирования вершин графа, третий выход второго дешифратора блока управления подключен к первому входу считывания первого блока памяти и второму управляющему входу первого коммутатора узла моделирования вершин графа, третий выход первого дешифратора блока управления соединен с входом элемента задержки, входом считывания третьего блока памяти и входом разрешения записи четвертого блока памяти узла моделирования вершин графа, выход признака последней дуги второго блока памяти узла моделирования топологии графа подключен к первому входу разрешения записи первого и второму установочному входу третьего блока памяти узла моделирования вершин графа, выход занятости второго блока памяти узла моделирования дуг графа соединен с первым установочным входом третьего блока памяти и вторым входом разрешения записи первого блока памяти узла моделирования вершин графа.



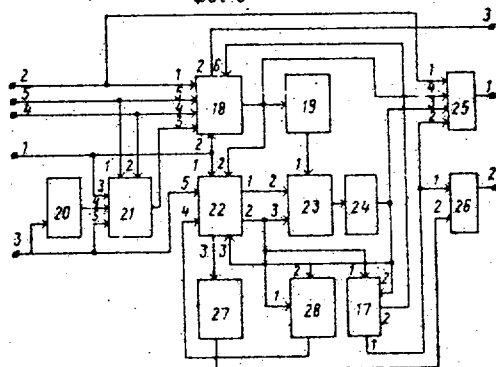
Фиг. 1



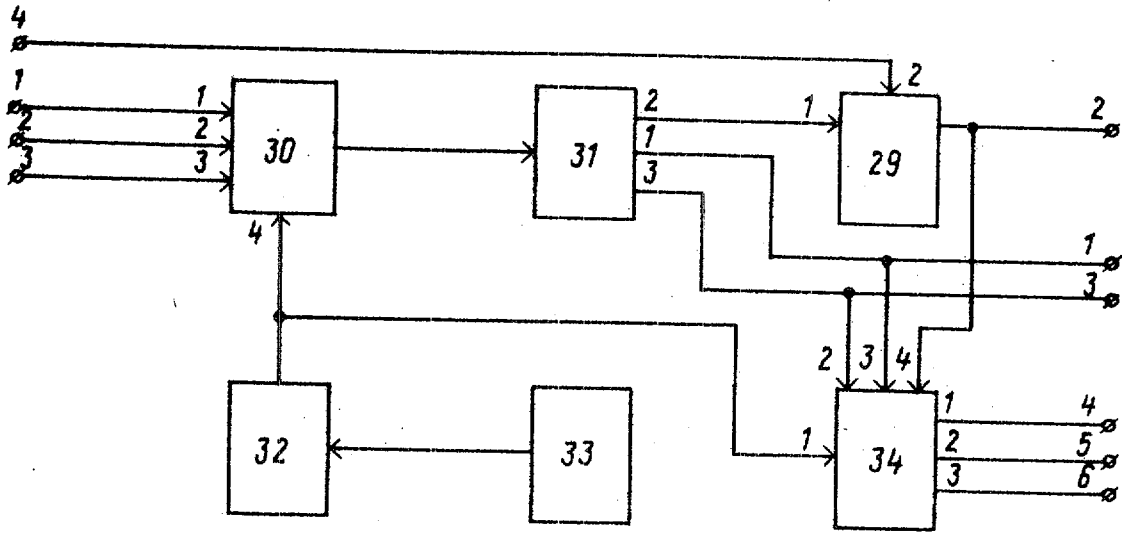
Фиг. 2



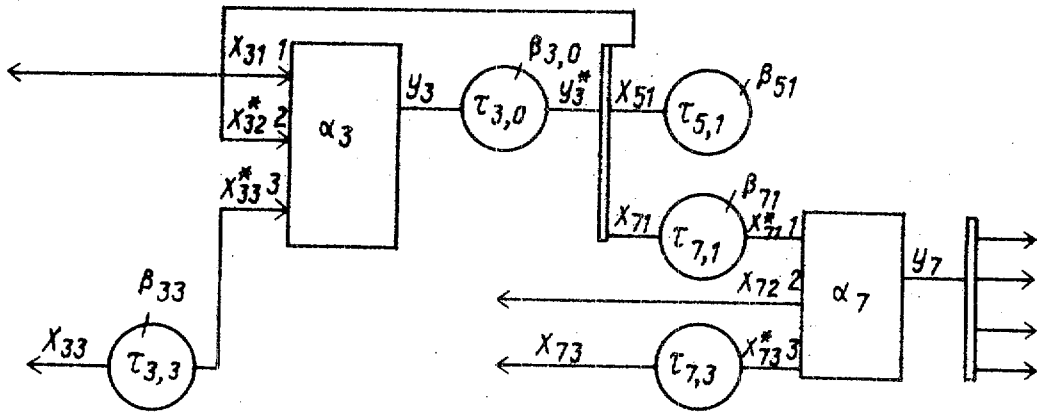
Фиг. 3



Фиг. 4



Фиг. 5



Фиг. 6

Составитель А.Шеренков  
 Редактор Е.Копча      Техред М.Ходанич      Корректор А.Тяско

Заказ 2987/52      Тираж 671      Подписное  
 ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4