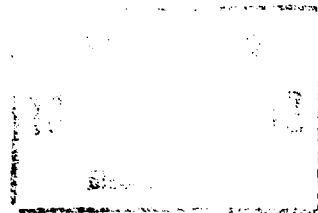




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

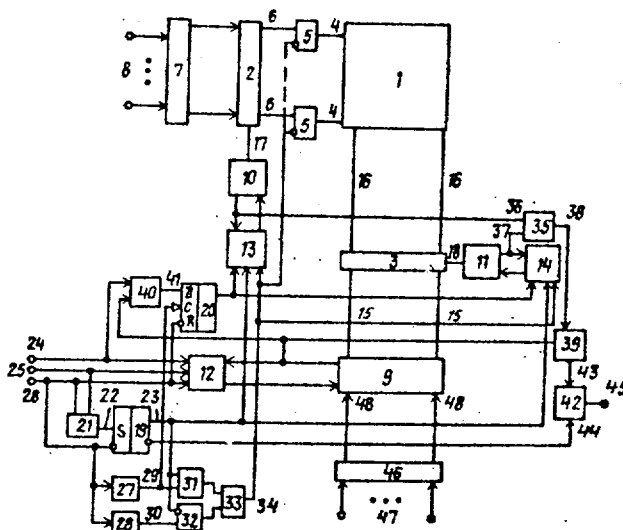
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3855264/24-24
- (22) 12.02.85
- (46) 23.08.86. Бюл. № 31
- (71) Минский радиотехнический институт
- (72) П.П.Урбанович
- (53) 681.327(088.8)
- (56) Авторское свидетельство СССР № 955209, кл. G 11 C 29/00, 1982.  
Авторское свидетельство СССР № 1107176, кл. G 11 C 29/00, 1984.

- (54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО
- (57) Изобретение относится к вычислительной технике и может быть использовано при изготовлении больших интегральных схем запоминающих уст-

ройств (БИС ЗУ) с произвольной выборкой. Цель изобретения - повышение эффективной емкости устройства за счет сокращения числа дополнительных элементов памяти. В устройстве реализован алгоритм функционирования ЗУ, состоящий в том, что запись (считывание) информации в первый 2 и второй 3 резервные накопителя, представляющие резервный столбец и резервную строку в БИС ЗУ, производится одновременно. В устройстве разрядные шины 16 основного матричного накопителя 1 соединены с числовыми шинами 15 накопителя 3, что предъявляет жесткие требования к выработке управляющих сигналов. Для исключения взаим-



ного влияния элементов памяти накопителей 1 и 3 используется блокировка выборки строк накопителя 1 посредством группы элементов И 5, элементов

27 и 28 задержки, элементов И 31, 32 и элемента ИЛИ 33. Эта блокировка осуществляется после обращения к накопителю 1. 1 ил.

1

Изобретение относится к вычислительной технике и может быть использовано при изготовлении больших интегральных схем запоминающих устройств (БИС ЗУ) с произвольной выборкой.

Цель изобретения - повышение эффективной емкости устройства.

На чертеже изображена структурная схема запоминающего устройства.

Запоминающее устройство содержит основной матричный накопитель 1, первый 2 и второй 3 резервные накопители, числовые шины 4 накопителя 1, соединенные с выходами элементов И 5, группы, одни из входов которых соединены с числовыми шинами 6 накопителя 2 и с выходами дешифратора 7 адреса строк, имеющего входы 8. Устройство содержит также основные 9, первый 10 и второй 11 резервные усилители записи и считывания, основной 12, первый 13 и второй 14 резервные формирователи сигналов записи и считывания, словарные числовые шины 15 накопителя 3, разрядные шины 16 накопителя 1, разрядную шину 17 накопителя 2, разрядную шину 18 накопителя 3, первый 19 и второй 20 триггеры, первый элемент И 21, выход 22 которого подключен к одному из входов триггера 19, имеющего прямой выход 23.

Устройство имеет вход 24 данных, вход 25 разрешения записи и вход 26 выборки кристалла. Устройство также содержит первый 27 и второй 28 элементы задержки, имеющие соответственно выходы 29 и 30, второй 31 и третий 32 элементы И, элемент ИЛИ 33, имеющий выход 34, третий элемент И 35, имеющий входы 36 и 37 и выход 38, первый сумматор 39 по модулю два, второй сумматор 40 по модулю два, имеющий выход 41, блок 42 вывода информации, имеющий входы 43 и 44 и выход 45, дешифратор 46 адреса столбцов, имеющий входы 47 и выходы 48.

2

Устройство работает следующим образом.

В режиме записи информации на входы 8 и 47 дешифраторов 7 и 46 подаются соответственно коды адресов строки и столбца накопителя 1, в соответствии с которыми возбуждаются числовые шины 4 и 6 накопителей 1 и 2, а также числовая шина 15 накопителя 3 и разрядная шина 16 накопителя 1. На входы 24 и 26 устройства подаются входная информация, сигнал разрешения записи и сигнал выборки кристалла. Положим, что сигналы разрешения записи и выборки кристалла соответствуют уровню логической "1". Тогда на выходах элементов 27, 28 и 31-33 имеются сигналы логического "0". Обращение к накопителям 2 и 3 запрещено. В выбранный элемент памяти накопителя 1 происходит запись информации. Затем сигнал разрешения записи снимается, происходит считывание информации, хранящейся в опрашиваемом элементе памяти накопителя 1 и установление соответствия записываемой информации считываемой. Если обнаружено несоответствие, то на выходе 41 сумматора 40 единичный сигнал, который разрешает запись "1" в триггер 20, и она поступает на входы формирователей 13 и 14. Далее на выходе 29 элемента 27 задержки появляется управляющий сигнал, который через элементы И 31 и ИЛИ 33 поступает на входы формирователей 13 и 14, а также блокирует выбранную числовую шину 4. В выбранные элементы памяти накопителей 2 и 3 записывается "1". Если бит информации в элементе памяти накопителя 1 хранится правильно, то в соответствующие элементы памяти накопителей 2 и 3 записывается "0". Цикл записи закончен. Сигналы с входов 8, 24-26 и 47 устройства снимаются.

В режиме считывания необходимый элемент памяти накопителя 1 выбира-

ется так же, как и в режиме записи. На входе 26 устройства имеется нулевой сигнал. На выходе 23 триггера 19 также "0". Производится считывание бита информации из опрашиваемого элемента памяти накопителя 1, который появляется на выходах усилителей 9. Далее на выходе 30 элемента 28 задержки появляется единичный сигнал, который разрешает считывание информации из накопителей 2 и 3 и запрещает через элемент И 5 обращение к элементу памяти накопителя 1. Считанные из накопителей 2 и 3 биты информации (назовем их проверочными) с выходов усилителей 10 и 11 поступают на входы элемента И 36. Если информация считывается из дефектного (отказавшего) элемента памяти накопителя 1, то на выходе 38 элемента И 35 единичный сигнал, который в сумматоре 39 инвертирует неправильный бит, считанный из накопителя 1. Этот бит информации через блок 42 вывода информации, управляемый при этом единичным сигналом на его входе 44, поступает на выход 45. Если информация считывается из исправного элемента памяти, то она проходит на выход устройства без изменений, поскольку на выходе 38 элемента И 35 "0".

#### Ф о р м у л а и з о б р е т е н и я

Запоминающее устройство, содержащее основные и первый резервный усилители записи и считывания, дешифратор адреса столбцов, дешифратор адреса строк, основной и первый резервный формирователи сигналов записи и считывания, первые элемент И и триггер, блок вывода информации, основной матричный накопитель, разрядные шины которых соединены соответственно с одними из информационных входов основных и первого резервного усилителей записи и считывания, первые выходы и другие информационные входы которых подключены соответственно к первым входам и выходам основного и первого резервного формирователей сигналов записи и считывания, второй, третий и четвертый входы основного формирователя сигналов записи и считывания являются соответственно входами данных, разрешения записи и выборки кристал-

ла устройства, адресные входы основных усилителей записи и считывания соединены с выходами дешифратора адреса столбцов, выходы которого являются одними из адресных входов устройства, числовые шины первого резервного накопителя соединены с выходами дешифратора адреса строк, входы которого являются другими адресными входами устройства, входы первого элемента И подключены к входам разрешения записи и выборки кристалла устройства, выход соединен с входом установки в "1" первого триггера, вход установки в "0" которого соединен с входом выборки кристалла устройства, прямой выход первого триггера соединен с вторым входом первого резервного формирователя сигналов записи и считывания, а инверсный выход - с управляющим входом блока вывода информации, выход которого является информационным выходом устройства, отличающееся тем, что, с целью повышения эффективной емкости, в него введены вторые резервные накопитель, усилитель записи и считывания и формирователь сигналов записи и считывания, первый и второй сумматоры по модулю два, второй триггер, первый и второй элементы задержки, элемент ИЛИ, элементы И с второго по четвертый и группа элементов И, причем входы первого и второго элементов задержки соединены с входом выборки кристалла устройства, а выходы - с одними из входов второго и третьего элементов И, другие входы которых подключены к прямому выходу первого триггера, а выходы соединены с входами элемента ИЛИ, выход которого подключен к третьему входу первого резервного формирователя сигналов записи и считывания и к первым входам элементов И группы, вторые входы которых подключены к соответствующим числовым шинам первого резервного накопителя, а выходы - к числовым шинам основного матричного накопителя, выход второго резервного формирователя сигналов записи подключен к входу второго резервного усилителя записи и считывания, один из выходов которого соединен с первыми входами второго резервного формирователя сигналов записи и считывания и четвертого элемента И, другой выход - с разрядной шиной второго ре-

зервного накопителя, числовые шины которого соединены с разрядными шинами основного матричного накопителя и вторыми выходами основных усилителей записи и считывания, первые выходы которых подключены к первым входам первого и второго сумматоров по модулю два соответственно, вторые входы которых соединены соответственно с выходом четвертого элемента И и входом данных устройства, а выходы подключены к информационному входу блока вывода информации и одному из входов второго триггера, дру-

гие входы которого соединены с выходом первого элемента задержки и входом выбора кристалла устройства, прямой выход второго триггера подключен к четвертому входу первого резервного формирователя сигналов записи и считывания, первый вход которого соединен с вторым входом четвертого элемента И, второй, третий и четвертый входы второго резервного формирователя сигналов записи и считывания подключены соответственно к прямым выходам триггеров и выходу элемента ИЛИ.

Редактор О. Головач

Составитель В. Рудаков

Техред О. Сопко

Корректор Е. Сирохман

Заказ 4625/51

Тираж 543

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4