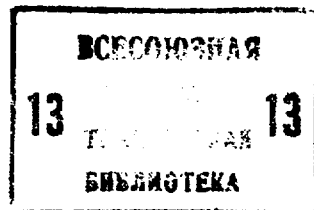




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3867256/24-24
- (22) 05.03.85
- (46) 30.10.86, Бюл. № 40
- (71) Минский радиотехнический институт
- (72) Л.А. Глухова
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 690478, кл. G 06 F 7/52, 1979.
- Авторское свидетельство СССР № 842800, кл. G 06 F 7/52, 1979.
- (54) МАТРИЧНОЕ УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
- (57) Изобретение относится к вычислительной технике и может использоваться в арифметических устройствах, предназначенных для умножения двоичных и двоично-десятичных (в коде 8-4-2-1) чисел. Целью изобретения является повышение быстродействия устройства. Устройство имеет конвейерную структуру, содержит регистры множимого, множителя и результата, матрицу умножения, пять регист-

ров задержки, четыре двоичных сумматора, два корректирующих сумматора, блок синхронизации. Для достижения цели в устройство введены первый и второй блоки адаптивной коррекции. Назначением первого блока адаптивной коррекции является преобразование кода, поступающего на его вход суммы, в код 8-4-2-1+6 (при десятичном умножении) или прямая передача кода (при двоичном умножении). Второй блок адаптивной коррекции в десятичном режиме осуществляет прямую передачу отдельных тетрад, увеличивает или уменьшает их значение на шесть таким образом, чтобы одно из слагаемых, поступающих на вход каждой тетрады сумматора, было представлено в коде 8-4-2-1+6, а второе - в коде 8-4-2-1. Работой отдельных тетрад блока коррекции управляют соответствующие тетрадные переносы с выходов тетрадных переносов сумматоров, 5 з.п. ф-лы, 8 ил.

(19) SU (11) 1267408 A 1

Изобретение относится к вычислительной технике и может быть использовано в арифметических устройствах, предназначенных для умножения двоичных и двоично-десятичных чисел, представленных кодом 8-4-2-1.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 показана схема матричного устройства для умножения; на фиг. 2 - коммутация выходов регистров сомножителей с элементами памяти матрицы умножения; на фиг. 3 и 4 - варианты выполнения первого блока адаптивной коррекции; на фиг. 5 и 6 - варианты реализации второго блока адаптивной коррекции; на фиг. 7 - схема блока синхронизации; на фиг. 8 - временная диаграмма управляющих сигналов.

Матричное устройство для умножения (фиг. 1) содержит регистр 1 первого сомножителя, регистр 2 второго сомножителя, матрицу 3 узлов умножения, двоичные сумматоры 4 - 7, регистры 8 - 12 задержки, корректирующие сумматоры 13 и 14, регистр 15 результата, первый и второй блоки 16 и 17 адаптивной коррекции, блок 18 синхронизации, входы 19 и 20 разрешения двоично-десятичного и двоичного умножения устройства, тактирующий выход 21 блока синхронизации, выход 22 управления сдвигом блока 18, входы 23 и 24 установки в "0" блоков 16 и 17, вход 25 установки в "1" блока 17, установочный выход 26 блока 18, выход 27 разрешения выдачи результата блока 18, выход 28 разрешения приема блока 18, вход 29 приема устройства, тактирующие входы 30 и 31 блоков 16 и 17.

Матрица 3 умножения (фиг. 2) идентична известной матрице умножения и состоит из четырех групп элементов 32 памяти (с общим количеством элементов  $8n$ ) и блоков элементов ИЛИ 33.

На фиг. 3 приведен первый вариант схемной реализации  $j$ -й тетрады блока 16. Блок содержит триггер 34, первый и второй элементы НЕ 35 и 36, элементы И 37-43, первый, второй и третий элементы ИЛИ 44-46, вход 47  $j$ -го разряда тетрадных переносов блока 16, информационные входы 48-51 первого, второго, третьего и четвертого разрядов  $j$ -й тетрады блока 16, выходы 52-55 четвертого, первого,

второго и третьего разрядов суммы  $j$ -й тетрады блока 16.

На фиг. 4 приведен второй вариант схемной реализации  $j$ -й тетрады блока 16. Блок содержит двоичный трехразрядный сумматор 56.

На фиг. 5 приведен первый вариант схемной реализации  $j$ -й тетрады блока 17. Блок содержит первый и второй триггеры 57 и 58, первый и второй элементы НЕ 59 и 60, элементы И 61-74, первый, второй и третий элементы ИЛИ 75-77, входы 78 и 79  $j$ -х разрядов первого и второго тетрадных переносов, информационные входы 80-83 первого, второго, третьего и четвертого разрядов  $j$ -й тетрады блока 17, выходы 84-87 четвертого, первого, второго и третьего разрядов суммы  $j$ -й тетрады блока 17, прямой и инверсный выходы 88 и 89  $j$ -го разряда тетрадного переноса блока 17.

На фиг. 6 приведен второй вариант схемной реализации  $j$ -й тетрады блока 17. Блок содержит двоичный трехразрядный сумматор 90, первый и второй элементы И 91 и 92.

В состав блока 18 синхронизации (фиг. 7) входят регистр 93 тактов, счетчик 94 импульсов, генератор 95 импульсов, блок 96 сравнения, второй и первый триггеры 97 и 98, элемент НЕ 99, элементы И 100-103, элементы 104-106 задержки и дешифратор 107.

Работу блока управления поясняет временная диаграмма, представленная на фиг. 8. Временная диаграмма изображена для случая, когда  $n = 8$ .

В исходном состоянии в регистр 93 занесено значение  $(\frac{n}{2} - 1)$ , счетчик 94 импульсов и триггер 97 обнулены, триггер 98 установлен в "1". Работа устройства начинается по приходу внешнего сигнала на вход 29 приема. По его переднему фронту триггер 98 сбрасывается. По заднему фронту данного сигнала в регистры 1 и 2 принимаются сомножители, а триггер 97 устанавливается в "1".

Назначением первого блока 16 адаптивной коррекции (фиг. 3 и 4) является преобразование кода, поступающего на его информационный вход, в код 8-4-2-1+6 (при десятичном умножении) или прямая передача кода (при двоичном умножении). Работой отдельных тетрад блока 16 управляют соответствующие тетрадные переносы с вы-

хода тетрадных переносов сумматора 5, вход 20 устройства. Каждая тетрада блока 16 функционирует в соответствии с выражением:

$$y^j = \begin{cases} x^j, & \text{если } D \cdot \Pi_j = 0; \\ x^j + 6, & \text{если } D \cdot \Pi_j = 1, \end{cases} \quad (1)$$

где  $y^j$  - значение на выходе сумм  $j$ -й тетрады блока 16;

$x^j$  - значение на входе сумм  $j$ -й тетрады блока 16;

$\Pi_j$  - значение переноса из  $j$ -й тетрады, поступившее в предыдущем такте работы на вход тетрадного переноса блока 16 и зафиксированное в нем;

$D$  - значение сигнала на входе 19 разрешения двоично-десятичного умножения.

При  $D = 1$  на входе 19 присутствует единичный уровень, на входе 20 - нулевой. Выполняется двоично-десятичное умножение. В противном случае выполняется двоичное умножение.

Второй блок 17 адаптивной коррекции в десятичном режиме осуществляет прямую передачу отдельных тетрад содержимого регистра 15, увеличивает или уменьшает их значение на шесть таким образом, чтобы одно из слагаемых, поступающих на вход каждой тетрады сумматора 7, было представлено в коде 8-4-2-1+6, а второе - в коде 8-4-2-1. Работой отдельных тетрад блока 17 управляют соответствующие тетрадные переносы с выходов тетрадных переносов сумматоров 6 и 7, вход 20 устройства. Каждая тетрада блока 17 функционирует в соответствии с выражением:

$$Z^j = \begin{cases} x^j, & \text{если } \bar{D} + (\Pi_{1j} + \Pi_{2j}) = 1; \\ x^j + 6, & \text{если } D \cdot \Pi_{1j} \cdot \Pi_{2j} = 1; \\ x^j - 6, & \text{если } D \cdot \Pi_{1j} \cdot \Pi_{2j} = 1, \end{cases} \quad (2)$$

где  $Z^j$  - значение на выходе сумм  $j$ -й тетрады блока 17;

$x^j$  - значение на информационном входе  $j$ -й тетрады блока 17;

$\Pi_{1j}, \Pi_{2j}$  - значения переноса из  $j$ -й тетрады, поступившие в предыдущем такте работы соответственно на первый и второй входы тетрадного переноса блока 17 и зафиксированное в нем.

Устройство работает в десятичном или двоичном режиме.

Перемножение каждой пары сомножителей начинается по приходу сигнала на вход блока 29 блока 18. По данному сигналу независимо от режима работы (двоичный или десятичный) множитель устанавливается в регистре 1, множимое - в регистре 2. На первом такте в матрице 3 выполняется умножение содержимого регистра 2 на содержимое двух младших тетрад регистра 1. Промежуточные результаты перемножения тетрад сомножителей по первому тактовому импульсу (ТИ), формируемому на выходе 21 блока 18, запоминаются в регистрах 8 и 9, причем в одном из данных регистров запоминаются все старшие тетрады (переносы) тетрадных произведений, поступающие на соответствующий выход матрицы 3, а в другом - все младшие тетрады (остатки) тетрадных произведений с второго выхода матрицы 3 (фиг. 1 и 2)

Одновременно с этим по сигналу на выходе 22 блока 18 в регистре выполняется сдвиг множителя на две тетрады (байт) в сторону младших разрядов. В освободившиеся тетрады при этом заносится "0". Таким образом, на следующем такте в первом каскаде будет выполняться умножение множимого на следующую пару тетрад множителя.

На втором такте содержимое регистров 8 и 9 поступает соответственно на входы сумматоров 4 и 5, в которых выполняется сложение отдельных тетрад переносов и остатков в соответствии с их весами. При этом на один из входов данных сумматоров в десятичном режиме тетрады поступают в коде с избытком "шесть (8-4-2-1+6)", в котором они хранятся в матрице 3.

Результат с выхода сумматора 4 проходит через корректирующий сумматор 13, где преобразуется в код 8-4-2-1 путем вычитания кода 0110 (прибавления 1010) в тех тетрадах, где при двоичном сложении отсутствовал тетрадный перенос. По второму тактовому импульсу ТИ, появляющемуся на выходе 21 блока 18, скорректированный результат запоминается в регистре 10.

Одновременно результат, сформированный сумматором 5, запоминается в регистре 11 (без коррекции). При этом в первом блоке 16 адаптивной коррекции по сигналу на входе 30

запоминаются переносы с выхода тетрадных переносов сумматора 5.

По второму ТИ результат умножения множимого на две следующих тетрады множителя запоминается в выходных регистрах 8 и 9 первого каскада, а множитель по сигналу на выходе 22 блока 18 сдвигается на байт в регистре 1.

На третьем такте блок 16 в соответствии с выражением (1) обеспечивает преобразование кода, хранящегося в регистре 11, в код 8-4-2-1+6. Таким образом, в сумматоре 6 выполняется двоичное сложение операндов, один из которых представлен кодом 8-4-2-1 (с выхода регистра 10), другой - кодом 8-4-2-1+6 (с выхода блока 16). Результат с выхода сумматора 6, представляющий собой нескорректированное частичное произведение множимого на две текущих цифры (8 бит) множителя, по третьему ТИ с выхода 21 блока 18 управления запоминается в регистре 12, тетрадные переносы фиксируются в блоке 17.

Если в третьем каскаде обрабатывается младшая пара тетрад множителя, то параллельно с ТИ блок 18 формирует сигнал на выходе 26, сбрасывающий в "0" регистр 15 и устанавливающий единицы (11...11) по первому входу тетрадных переносов блока 17.

Одновременно на третьем такте во втором каскаде обрабатывается вторая пара тетрад множителя, в первом каскаде - третья пара тетрад множителя, а множитель в регистре 1 по сигналу с выхода 22 блока 18 сдвигается на байт.

На четвертом такте в сумматоре 7 выполняется двоичное сложение очередного частичного произведения с выхода регистра 12 с суммой предыдущих частичных произведений, хранящейся в регистре 15. При этом содержимое регистра 15 со сдвигом на две тетрады в сторону младших разрядов (что достигается за счет соответствующей коммутации выхода регистра 15 и входа блока 17) проходит через блок 17, в котором корректируется в соответствии с выражением (2) таким образом, чтобы соответствующие тетрады двух слагаемых, поступающих на вход сумматора 7, были представлены: одна - в коде 8-4-2-1, другая - в коде 8-4-2-1+6.

Результат сложения в сумматоре 7 по четвертому ТИ с выхода 21 блока 18 запоминается в регистре 15, межтетрадные переносы со сдвигом на два разряда в сторону младших разрядов - во втором блоке 17 адаптивной коррекции (двум старшим межтетрадным переносам здесь присваивается единичное значение). Одновременно в третьем каскаде обрабатывается вторая пара тетрад, во втором - третья пара тетрад, в первом - четвертая пара тетрад множителя, а содержимое регистра 1 сдвигается на байт.

Описанные действия в каждом каскаде повторяются до тех пор, пока не будет обработан весь множитель.

В начале предпоследнего ( $n/2$ -го) такта цикла обработки очередной пары сомножителей на выходе 28 блока 18 формируется сигнал, свидетельствующий о готовности устройства к принятию следующей пары сомножителей.

На каждом такте содержимое регистра 15 проходит через корректирующий сумматор 14, приводящий результат в код 8-4-2-1 путем вычитания кода 0110 (прибавления 1010) или прямой передачи его отдельных тетрад. Работой тетрад сумматора 14 управляют значения тетрадных переносов, сформированных при двоичном сложении в сумматоре 7 и зафиксированных в блоке 17. На каждом промежуточном такте обработки две младшие цифры с выхода сумматора 14 воспринимаются как байт результата, в заключительном такте все цифры с выхода сумматора 14 являются произведением сомножителей. Для указания этого на ( $n/2+4$ )-м такте обработки очередных сомножителей формируется сигнал на выходе 27 блока 18.

#### Ф о р м у л а и з о б р е т е н и я

1. Матричное устройство для умножения, содержащее регистры первого и второго сомножителей, матрицу узлов умножения, четыре двоичных сумматора, два корректирующих сумматора, регистр результата, пять регистров задержки, причем выходы регистров первого и второго сомножителей соединены с соответствующими входами матрицы узлов умножения, выходы первой и второй групп которой соединены соответственно с информационными входами первого и второго регистров задержки, выходы которых соединены

соответственно с входами первого и второго двоичных сумматоров, выход первого двоичного сумматора соединен с входом первого корректирующего сумматора, выход которого соединен с информационным входом третьего регистра задержки, выход которого соединен с первым информационным входом третьего двоичного сумматора, выход суммы второго двоичного сумматора соединен с информационным входом четвертого регистра задержки, выход пятого регистра задержки соединен с первым информационным входом четвертого двоичного сумматора, вход задания режима двоично-десятичного умножения матрицы узлов умножения является входом разрешения двоично-десятичного умножения устройства, вход задания режима двоичного умножения матрицы узлов умножения является входом разрешения двоичного умножения устройства и соединен с входами синхронизации первого и второго корректирующих сумматоров, отличающееся тем, что, с целью повышения быстродействия устройства, в него введены первый и второй блоки адаптивной коррекции, содержащие  $(n-1)$  и  $(n+1)$  тетрад соответственно, где  $n$  — разрядность сомножителей, и блок синхронизации, причем входы установки в "0" первого и второго блоков адаптивной коррекции соединены с входом синхронизации второго корректирующего сумматора, информационный вход которого соединен с выходом регистра результата, выход старших  $n$  тетрад которого соединен с информационным входом второго блока адаптивной коррекции, выход суммы которого соединен с вторым информационным входом четвертого двоичного сумматора, выходы суммы и тетрадных переносов которого соединены соответственно с информационным входом регистра результата и с первым входом тетрадных переносов второго блока адаптивной коррекции, второй вход тетрадных переносов которого соединен с выходом тетрадных переносов третьего двоичного сумматора, выход суммы которого соединен с информационным входом пятого регистра задержки, выход тетрадных переносов второго двоичного сумматора соединен с входом тетрадных переносов первого блока адаптивной коррекции, информационный вход которого соединен с выходом чет-

вертого регистра задержки, выход первого блока адаптивной коррекции соединен с вторым информационным входом третьего двоичного сумматора, выход тетрадных переносов второго блока адаптивной коррекции соединен с входом тетрадных переносов второго корректирующего сумматора, тактирующий выход блока синхронизации соединен с тактирующими входами первого, второго, третьего, четвертого и пятого регистров задержки, с тактирующим входом регистра результата и тактирующими входами первого и второго блоков адаптивной коррекции, выход управления сдвигом блока синхронизации соединен с входом разрешения сдвига регистра множителя, вход разрешения двоично-десятичного умножения устройства соединен с входом режима блока синхронизации, установочный выход которого соединен с входом установки в "1" второго блока адаптивной коррекции и входом установки в "0" регистра результата, вход приема устройства является входом приема блока синхронизации.

2. Устройство по п. 1, отличающееся тем, что блок синхронизации устройства содержит регистр тактов, счетчик импульсов, генератор импульсов, блок сравнения, два триггера, элемент НЕ, четыре элемента И, три элемента задержки и дешифратор, причем группа выходов регистра тактов соединена с первой группой входов блока сравнения, вторая группа входов которого соединена с группой выходов счетчика импульсов и группой входов дешифратора, выход которого соединен с первым входом первого элемента И, выход которого соединен с входом первого элемента задержки, выход которого является установочным выходом блока, вход приема блока является входом элемента НЕ и соединен с входами установки в "0" и в "1" соответственно первого и второго триггеров, выход блока сравнения соединен с входом установки в "1" первого триггера и входом второго элемента задержки, выход которого является выходом разрешения выдачи результата, выходы первого и второго триггеров соединены с первыми входами соответственно второго и третьего элементов И, выход генератора импульсов соединен с первым входом четвертого и вторыми входами первого,

второго и третьего элементов И и является тактирующим выходом блока, выход первого триггера является выходом разрешения приема блока, выход второго элемента И соединен с входом третьего элемента задержки, выход которого соединен с входами установки в "0" второго триггера и счетчика импульсов, выход третьего элемента И соединен с входом запуска счетчика импульсов, вход режима блока соединен с третьим входом первого элемента И, выход элемента НЕ соединен с вторым входом четвертого элемента И, выход которого является выходом управления сдвигом блока.

3. Устройство по п. 1, отличающееся тем, что  $j$ -я тетрада первого блока адаптивной коррекции содержит триггер, два элемента НЕ, семь элементов И, три элемента ИЛИ, причем информационный вход триггера является входом  $j$ -го разряда тетрадных переносов блока, тактирующий вход триггера является тактирующим входом блока, вход установки в "0" триггера является входом установки в "0" блока, прямой выход триггера соединен с первыми входами первого, второго, третьего и четвертого элементов И, инверсный выход триггера соединен с первыми входами пятого и шестого элементов И, первый вход первого элемента ИЛИ является информационным входом первого разряда  $j$ -й тетрады блока, информационные входы второго и третьего разрядов  $j$ -й тетрады являются входами первого и второго элементов НЕ соответственно, вход первого элемента НЕ соединен с вторыми входами первого и пятого элементов И и с первым входом седьмого элемента И, вход второго элемента НЕ соединен с вторыми входами второго, шестого и седьмого элементов И, выход второго элемента НЕ соединен с вторыми входами третьего и четвертого элементов И, выход первого элемента НЕ соединен с третьим входом третьего элемента И, выходы первого и второго элементов И соединены с вторым и третьим входами первого элемента ИЛИ соответственно, выходы третьего, пятого и седьмого элементов И соединены соответственно с первым, вторым и третьим входами соответственно второго элемента ИЛИ, выходы четвертого и шестого элементов И соединены с первым и вторым входами

третьего элемента ИЛИ, выходы первого, второго и третьего элементов ИЛИ являются выходами первого, второго и третьего разрядов суммы  $j$ -й тетрады блока, информационный вход четвертого разряда суммы  $j$ -й тетрады блока является выходом четвертого разряда суммы  $j$ -й тетрады блока.

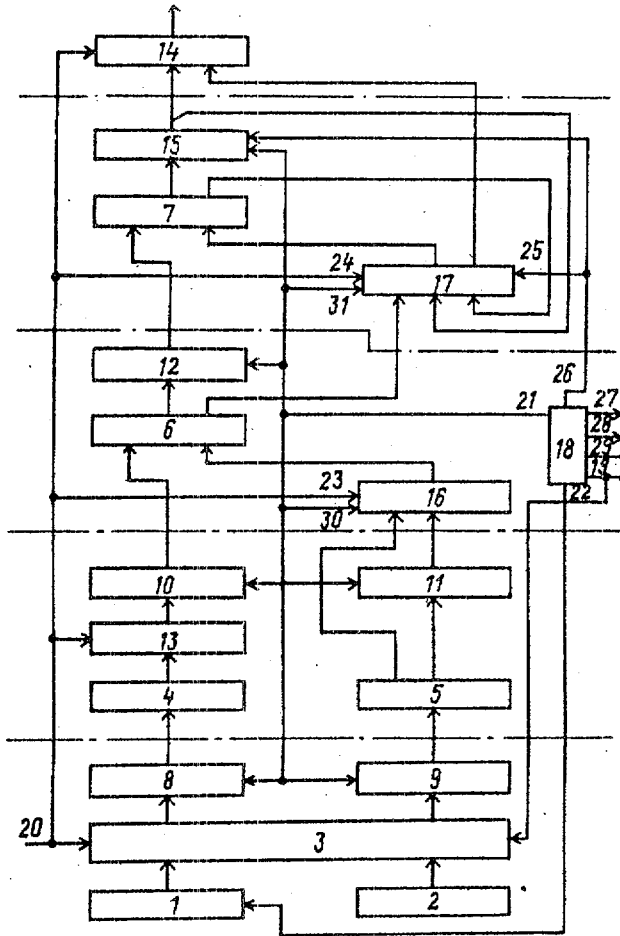
4. Устройство по п. 1, отличающееся тем, что  $j$ -я тетрада первого блока адаптивной коррекции содержит триггер и двоичный трехразрядный сумматор, причем информационный вход триггера является входом  $j$ -го разряда тетрадных переносов блока, тактирующий вход блока является тактирующим входом триггера, вход установки в "0" которого является входом установки в "0" блока, информационные входы первого, второго и третьего разрядов  $j$ -й тетрады блока являются первыми входами двоичного трехразрядного сумматора, выход триггера соединен с вторыми входами второго и третьего разрядов двоичного трехразрядного сумматора, выходы которого являются выходами первого, второго и третьего разрядов суммы  $j$ -й тетрады блока, информационный вход четвертого разряда  $j$ -й тетрады блока является выходом четвертого разряда суммы  $j$ -й тетрады блока.

5. Устройство по п. 1, отличающееся тем, что  $j$ -я тетрада второго блока адаптивной коррекции содержит два триггера, два элемента НЕ, четырнадцать элементов И и три элемента ИЛИ, причем тактирующий вход блока является тактирующим входом первого триггера и соединен с тактирующим входом второго триггера, входы  $j$ -х разрядов первого и второго тетрадных переносов являются информационными входами соответственно первого и второго триггеров, вход установки в "1" блока является входом установки в "1" первого триггера, вход установки в "0" которого соединен с входом установки в "1" второго триггера и является входом установки в ноль блока, первый вход первого элемента И соединен с первыми входами первого, второго, третьего и четвертого элементов И и является информационным входом первого разряда  $j$ -й тетрады блока, информационные входы второго и третьего разрядов  $j$ -й

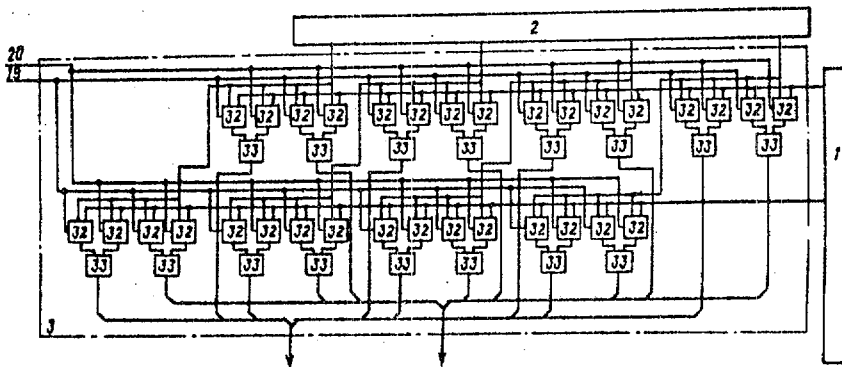
тетрады блока являются входами соответственно первого и второго элементов НЕ, информационный вход четвертого разряда  $j$ -й тетрады блока является выходом четвертого разряда суммы  $j$ -й тетрады блока, прямой выход первого триггера соединен с первыми входами пятого, шестого, седьмого, восьмого, девятого и десятого элементов И, с вторым входом второго элемента И соответственно и является прямым выходом  $j$ -го разряда тетрадных переносов блока, инверсный выход первого триггера соединен с первыми входами одиннадцатого, двенадцатого и тринадцатого элементов И и является инверсным выходом  $j$ -го разряда тетрадных переносов блока, прямой выход второго триггера соединен с вторыми входами первого, пятого, шестого, восьмого, десятого, одиннадцатого и двенадцатого элементов И, инверсный выход второго триггера соединен с первым входом четырнадцатого и вторыми входами четвертого, девятого и тринадцатого элементов И, вход первого элемента НЕ соединен с вторыми входами третьего, седьмого и четырнадцатого и с третьими входами шестого и одиннадцатого элементов И, вход второго элемента НЕ соединен с третьими входами третьего, четвертого, пятого, седьмого, девятого и двенадцатого элементов И, выход первого элемента НЕ соединен с третьим входом восьмого и четвертым входом четвертого элементов И, выход второго элемента НЕ соединен с третьими входами десятого, тринадцатого и четырнадцатого элементов И и четвертым входом восьмого элемента И, выходы первого, второго, третьего, пятого и шестого элементов И соединены соответственно с первым, вторым, третьим, четвертым и пятым входами первого элемента ИЛИ, выходы четвертого, седьмого, восьмого, одиннадцатого и четырнадцатого элементов И соединены соответственно с первым, вторым, третьим, четвертым и пятым входами второго элемента ИЛИ, выходы девятого, десятого, двенадцатого и тринадцатого элементов И соединены

соответственно с первым, вторым, третьим и четвертым входами третьего элемента ИЛИ, выходы первого, второго и третьего элементов ИЛИ являются соответственно выходами первого, второго и третьего разрядов суммы  $j$ -й тетрады блока.

6. Устройство по п. 1, отличающееся тем, что  $j$ -я тетрада второго блока адаптивной коррекции содержит два триггера, трехразрядный двоичный сумматор и два элемента И, причем тактирующий вход блока является тактирующим входом первого триггера и соединен с тактирующим входом второго триггера,  $j$ -е разряды первого и второго входов тетрадных переносов являются информационными входами соответственно первого и второго триггеров, вход установки в "1" первого триггера является входом установки в "1" блока, вход установки в "0" блока является входом установки в "0" первого триггера и соединен с входом установки в "1" второго триггера, информационные входы первого, второго и третьего разрядов  $j$ -й тетрады блока являются первыми входами двоичного трехразрядного сумматора, инверсный и прямой выходы первого триггера соединены с первыми входами первого и второго элементов И и являются соответственно инверсным и прямым выходами  $j$ -го разряда тетрадных переносов блока, прямой и инверсный выходы второго триггера соединены соответственно с вторыми входами второго и первого элементов И, выход первого элемента И соединен с вторыми входами первого и третьего разрядов двоичного сумматора, второй вход второго разряда которого соединен с входом переноса двоичного сумматора и с выходом второго элемента И, выходы первого, второго и третьего разрядов двоичного сумматора являются выходами первого, второго и третьего разрядов суммы  $j$ -й тетрады блока, информационный вход четвертого разряда  $j$ -й тетрады блока является выходом четвертого разряда суммы  $j$ -й тетрады блока.

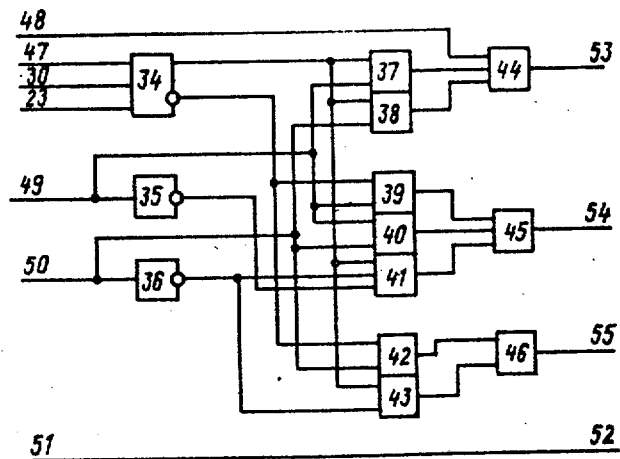


Фиг. 1

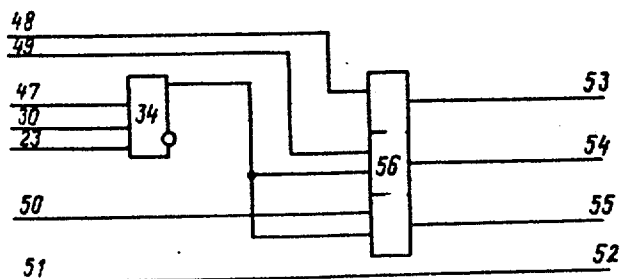


Фиг. 2

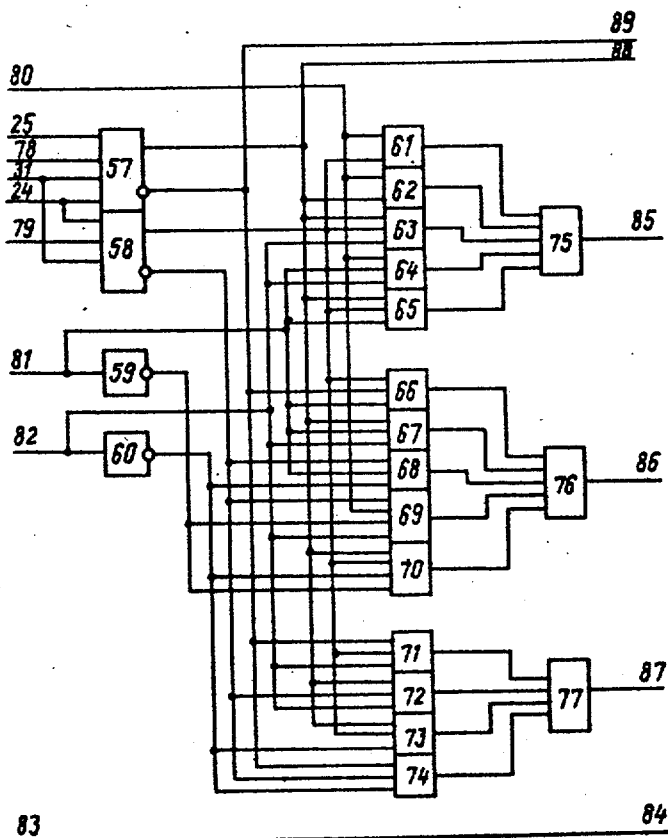




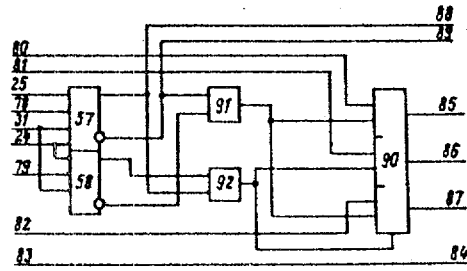
Фиг. 3



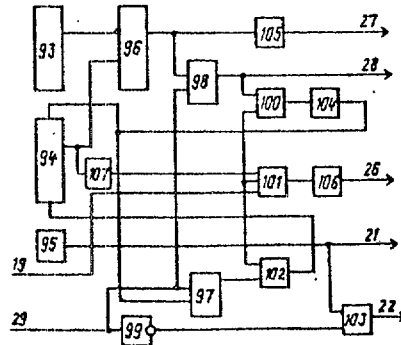
Фиг. 4



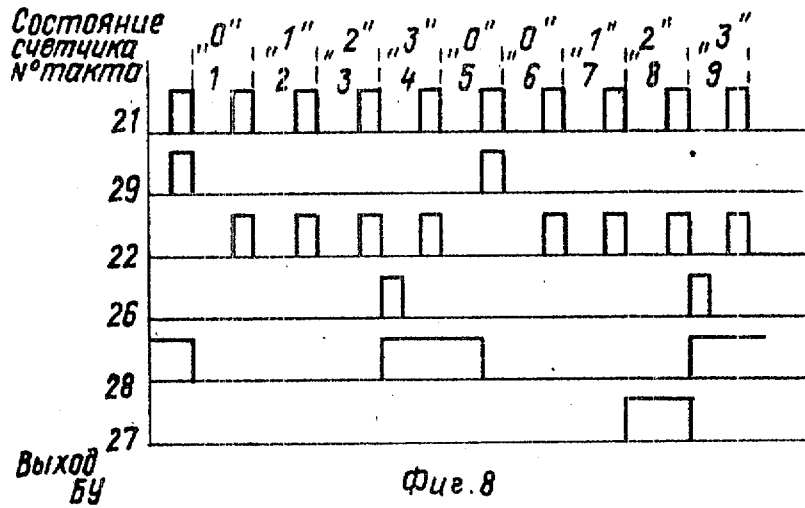
Фиг. 5



Фиг. 6



Фиг. 7



Редактор М. Петрова      Составитель Н. Маркелова      Корректор А. Зимоковос  
 Техред М. Ходанич

Заказ 5775/47      Тираж 671      Подписное

ВНИИПИ Государственного комитета СССР  
 по делам изобретений и открытий  
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4