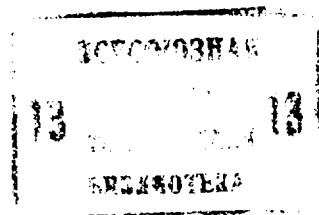




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

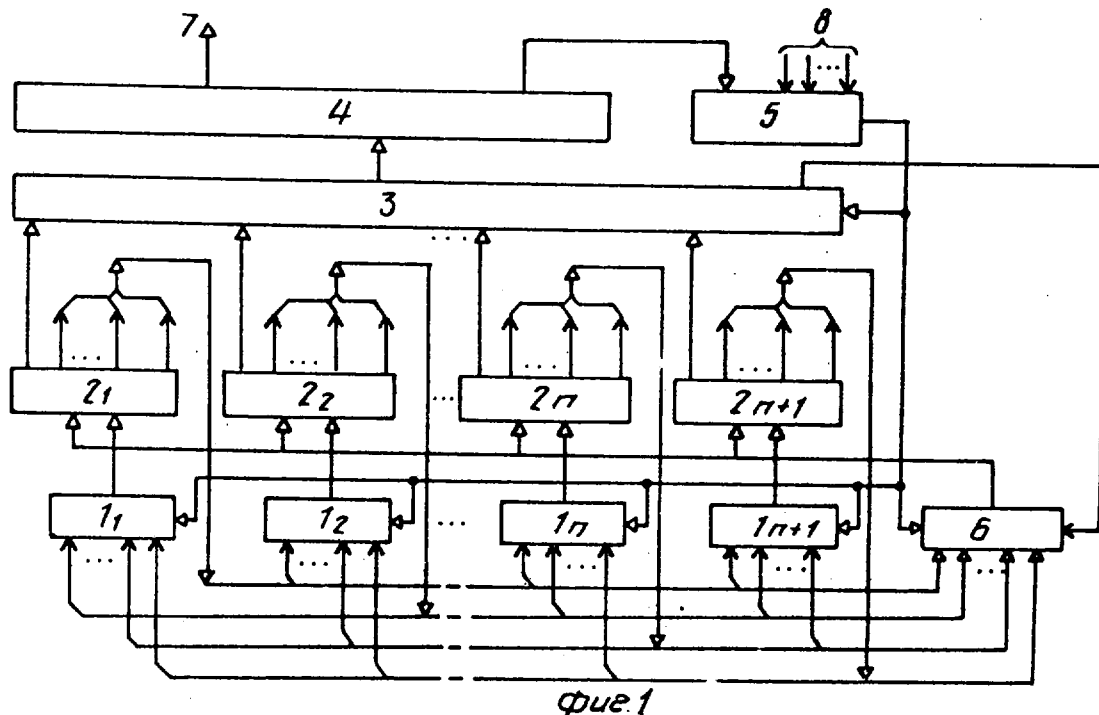
## К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3975580/24-24  
(22) 08.10.85  
(46) 15.03.88. Бюл. № 10  
(71) Минский радиотехнический институт  
(72) А.В.Соловей  
(53) 681.32(088.8)  
(56) Авторское свидетельство СССР № 1151962, кл. G 06 F 9/22, 1983.  
Авторское свидетельство СССР № 1231501, кл. G 06 F 9/22, 1984.

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах и системах. Целью изобретения является сокращение оборудования за счет сокращения разрядности адресной части микрокоманд. Устройство содержит  $n+1$  блоков 1 формирования адреса  $n+1$  блоков 2 памяти микрокоманд, коммутатор 3, регистр 4 микрокоманд, блок 5 проверки условий, блок 6 формирования адреса зоны. Указанная совокупность признаков позволяет достигнуть цели изобретения. 1 з.п.ф-лы, 6 ил.



Изобретение относится к вычислительной технике и может быть использовано в вычислительных устройствах и системах.

Целью изобретения является сокращение количества используемого оборудования за счет сокращения разрядности адресной части микрокоманд.

На фиг.1 приведена структурная схема микропрограммного устройства управления; на фиг.2 - функциональная схема, блока формирования адреса зоны; на фиг.3 - схема блока формирования адреса; на фиг.4 - схема блока проверки условий; на фиг.5 и 6 - пример граф-схемы микропрограммы и принцип ее размещения в блоках памяти устройства для случая  $n=2$ .

Микропрограммное устройство управления (фиг.1) содержит  $n+1$  блоков  $1_1 - 1_{n+1}$  формирования адреса  $n+1$  блоков  $2_1 - 2_{n+1}$  памяти микрокоманд, коммутатор 3, регистр 4 микрокоманд, блок 5 проверки условий и блок 6 формирования адреса зоны, выход 7 кодов микроопераций и группу 8 входов логических условий устройства.

Блок 6 формирования адреса зоны (фиг.2) содержит  $n+2$  коммутаторов  $9_1 - 9_{n+1}$  10 и регистр 11.

Блок формирования адреса (фиг.3) содержит комбинационный сумматор 12, коммутатор 13, регистр 14, вход 15 переноса сумматора 12, на который заведен сигнал логической единицы.

Блок 5 проверки условий (фиг.4) содержит выход 16,  $n$  дешифраторов  $17_1 - 17_n$ ,  $n$  групп  $18_1 - 18_n$  элементов И и  $n$  элементов ИЛИ  $19_1 - 19_n$ , шифратор 20 и элемент ИЛИ-НЕ 21.

Работу устройства рассмотрим для случая  $n=2$  при выполнении микропрограммы, граф-схема которой изображена на фиг.5. Размещение рассматриваемой микропрограммы в блоках  $2_1 - 2_3$  памяти микрокоманд устройства показано на фиг.6. Адреса ячеек памяти, в которых размещены микрокоманды (фиг.5 и 6) изображены в виде старших и младших разрядов. Старшие разряды образуют адрес зоны для всех блоков 2 памяти и обозначены через  $3.1$  ( $1 \leq 1 \leq 3$ ), а младшие разряды обозначены через  $A_0 \div A_3$ ,  $B_0 \div B_3$  и  $C_0 \div C_3$  соответственно для первого, второго и третьего блоков  $2_1 - 2_3$  памяти микрокоманд. Предполагается,

что отличие значений  $3.1$  от  $3.1+1$ ,  $A_m$  от  $A_{m+1}$ ,  $B_m$  от  $B_{m+1}$  и  $C_m$  от  $C_{m+1}$  ( $0 \leq m \leq 2$ ) составляет единицу. Через  $Y_0 - Y_{11}$  обозначены коды микроопераций, а через  $\alpha_1 \div \alpha_5$  - коды логических условий соответствующих микрокоманд. При размещении микрокоманд в блоках памяти предлагаемого устройства предполагается, что зоны этих блоков состоят из четырех ячеек и что предыдущая размещенная микропрограмма заняла по три ячейки памяти в каждом блоке  $2_1 - 2_3$  памяти.

Адрес следующей микрокоманды может быть получен двумя способами. При формировании адреса первым способом необходимо, чтобы следующая микрокоманда находилась в той же зоне, что и предыдущая. Поэтому адрес зоны не изменяется, при этом код в поле изменения адреса зоны должен быть нулевым. Адрес внутри зоны следующей микрокоманды может быть при этом получен либо путем увеличения на единицу адреса внутри зоны предыдущей микрокоманды, если эта следующая микрокоманда размещается в том же блоке памяти, что и предыдущая, либо непосредственно путем указания в соответствующем поле кода адреса предыдущей микрокоманды, если следующая микрокоманда размещается в другом блоке памяти. При формировании адреса вторым способом следующая микрокоманда может находиться в любой другой зоне по отношению к предыдущей. В этом случае адрес соответствующей зоны указывается в определенных адресных полях предыдущей микрокоманды, а в поле изменения адреса зоны устанавливается единичный код. Адрес внутри зоны формируется так же, как и при первом способе. Необходимо отметить, что при формировании адреса вторым способом предыдущая микрокоманда не должна содержать проверки логических условий.

Устройство работает следующим образом.

Пусть в исходном состоянии разряды поля микроопераций обнуляются, а разряды поля логических условий устанавливаются в единичное состояние, в регистр первого блока  $1_1$  формирования адреса заносится адрес  $A_3$ , а в регистр блока формирования адреса зоны - адрес зоны  $3.1$  первой микро-

команды выполняемой микропрограммы (цепи занесения начальных адресов и установки в нулевое и единичное состояния соответствующих разрядов регистра 4 микрокоманд, а также цепи синхронизации не показаны). Так как на вход первого дешифратора  $17_1$  блока 5 проверки условий поступает единичный код, то на его дополнительном выходе устанавливается сигнал "1", который поступает через первый элемент ИЛИ  $19_1$  на первый вход шифратора 20. Поскольку этот вход имеет наивысший приоритет, то на первом выходе  $16_1$  блока 5 проверки условий устанавливается сигнал "1", на остальных выходах  $16_2-16_3$  устанавливаются сигналы "0". Поэтому коммутатор 3 настраивается на выборку информации с выхода первого блока  $2_1$  памяти, из которого считывается микрокоманда по адресу  $3.1 A_3$ ; коммутатор 10 блока формирования адреса зоны настраивается на выборку информации с выхода первого коммутатора  $19_1$ , на первый вход которого с второго выхода группы выходов кода адреса первого блока  $2_1$  памяти поступает адрес  $C_0$ , а на второй вход с первого выхода группы выходов кода адреса первого блока  $2_1$  памяти - адрес новой зоны  $3.2$ , который и передается на выход коммутатора  $9_1$ , т.к. на его управляющий вход с третьего выхода группы выходов кода адреса первого блока  $2_1$  памяти поступает сигнал "1" (на фиг.6 в поле кода управления формированием адреса зоны считываемой микрокоманды установлен единичный код); коммутаторы первого, второго и третьего блоков  $1_1-1_3$  формирования адреса настраиваются на выборку информации соответственно с выхода сумматора первого блока формирования адреса и с первого и второго выходов группы выходов кода адреса первого блока  $2_1$  памяти. По синхросигналу, завершающему первый такт работы устройства, в регистр 4 записываются код микроопераций  $Y_0$  и нулевые коды первого и второго логических условий (на фиг.6 обозначены как "0"), в регистры первого, второго и третьего блоков  $1_1-1_3$  формирования адреса - соответственно  $A_0$ ,  $3.2$  и  $C_0$ , так как на вход разрешения записи регистра блока 6 с второго выхода коммутатора

3 поступает сигнал "1" (на фиг.6 в считываемой микрокоманде код изменения адреса зоны установлен в единичное состояние), то в регистр 11 записывается новый адрес зоны  $3.2$ .

Одновременно с выполнением микроопераций  $Y_0$  из блоков  $2_1-2_3$  памяти происходит чтение информации соответственно по адресам  $3.2 A_0$ ,  $3.2 B_0$  и  $3.2 C_0$ . Но так как на входы первого и второго дешифраторов  $17_1$  и  $17_2$  блока 5 проверки условий поступают нулевые коды, то на выходе  $16_1$  блока 5 устанавливается сигнал "1", а на остальных выходах  $16_2-16_3$  - сигналы "0". Следовательно, коммутатор 3 настраивается на выборку информации с выхода третьего блока  $2_3$  памяти, коммутатор 10 блока формирования адреса зоны - с выхода третьего коммутатора  $9_3$ , но так как с второго выхода коммутатора 3 на вход разрешения записи регистра 11 поступает сигнал "0" (на фиг.6 в считываемой микрокоманде  $Y_1$  код изменения адреса зоны установлен в нулевое состояние), то по синхросигналу в этом регистре информация не меняется. Коммутаторы первого, второго и третьего блоков  $1_1-1_3$  формирования адреса настраиваются на выборку информации соответственно с первого и второго выходов группы выходов кода адреса третьего блока  $2_3$  памяти и сумматора третьего блока формирования адреса. Итак, по синхросигналу, завершающему второй такт работы устройства, в регистр 4 записываются код микроопераций  $Y_1$  и коды  $\alpha_1$ ,  $\alpha_2$  соответственно первого и второго логических условий, в регистре 11 блока формирования адреса зоны остается прежней адрес зоны  $3.2$ , в регистры первого, второго и третьего блоков  $1_1-1_3$  формирования адреса записываются соответственно адреса  $A_0$ ,  $B_0$  и  $C_1$ .

Одновременно с выполнением микроопераций  $Y_1$  происходит чтение возможных следующих микрокоманд из блоков  $2_1-2_3$  памяти соответственно по адресам  $3.2 A_0$ ,  $3.2 B_0$  и  $3.2 C_1$ . В зависимости от выполнения или не выполнения условий  $\alpha_1$  и  $\alpha_2$  при выполнении текущей микрокоманды на выходах  $16_1-16_3$  блока проверки условий устанавливаются следующие сигналы. Если первое логическое условие  $\alpha_1$  выполняется, то на первом выходе  $16_1$  бло-

ка проверки условий появляется сигнал "1", а на остальных выходах  $16_2$ - $16_3$  - сигналы "0". Поэтому по синхросигналу, завершающему третий такт работы устройства, в регистр 4 записываются код микроопераций  $Y_2$  и коды  $\alpha_3, \alpha_4$  соответственно первого и второго логических условий, в регистры первого, второго и третьего блоков  $1_1-1_3$  формирования адреса записываются соответственно адреса  $A_1, B_2$  и  $C_2$  а в регистре 11 блока формирования адреса зоны остается прежний адрес зоны 3.2, так как в считываемой микрокоманде код изменения адреса зоны установлен в нулевое состояние (фиг.6). Если первое логическое условие  $\alpha_1$  не выполняется, а выполняется второе логическое условие  $\alpha_2$ , то на выходе второго элемента ИЛИ  $19_2$  устанавливается сигнал "1". Так как на первом более приоритетном входе шифратора 20 присутствует сигнал "0", на втором выходе  $16_2$  блока проверки условий устанавливается сигнал "1", а на остальных его выходах  $16_1$  и  $16_3$  - сигнал "0". Поэтому по синхросигналу, завершающему третий такт работы устройства, в регистр 4 записываются код микроопераций  $Y_4$ , код  $\alpha_5$  первого логического условия и единичный код второго логического условия (на фиг.6 представлен как "1"), в регистры первого, второго и третьего блоков  $1_1-1_3$  формирования адреса записываются соответственно адреса  $A_2, B_1$  и 0, в регистре 11 блока формирования адреса зоны остается прежний адрес зоны 3.2, так как и в этой считываемой микрокоманде код изменения адреса зоны установлен в нулевое состояние. Если же и второе логическое условие  $\alpha_2$  не выполняется, то на выходах первого и второго элементов  $19_1, 19_2$  блока проверки условий устанавливаются сигналы "0". Следовательно, сигнал "1" устанавливается на выходе  $16_3$  блока проверки условий, на остальных выходах  $16_1-16_2$  которого устанавливаются сигналы "0". По синхросигналу, завершающему третий такт работы устройства, в регистр 4 записываются коды микроопераций  $Y_3$ , нулевой код первого логического условия и единичный код второго логического условия, в регистры первого, второго и третьего блоков  $1_1-1_3$  формирования адреса записываются

соответственно адреса  $3.1, B_3$  и  $C_2$  в регистр 11 блока формирования адреса зоны записывается новый адрес зоны 3.1, поскольку в считываемой микрокоманде код изменения адреса зоны установлен в единичное состояние и в первом адресном поле указан адрес зоны 3.1. В данном случае в следующем такте работы устройства одновременно с выполнением микроопераций  $Y_3$  из второго блока 2.2 памяти считывается следующая микрокоманда по адресу  $3.1 B_3$ . Далее устройство работает аналогично.

При нулевом коде управления формированием адреса зоны значение адреса новой зоны следующей микрокоманды записывается во втором поле адресной части микрокоманд, первое поле при этом может использоваться как младшие разряды адреса этой следующей микрокоманды (например, на фиг.5 и 6 пятая микрокоманда). При единичном коде управления формированием адреса зоны значение адреса новой зоны следующей микрокоманды записывается в первом поле адресной части микрокоманды, второе поле при этом может использоваться как младшие разряды адреса этой следующей микрокоманды (например, на фиг.5, 6 нулевая, третья и восьмая микрокоманды).

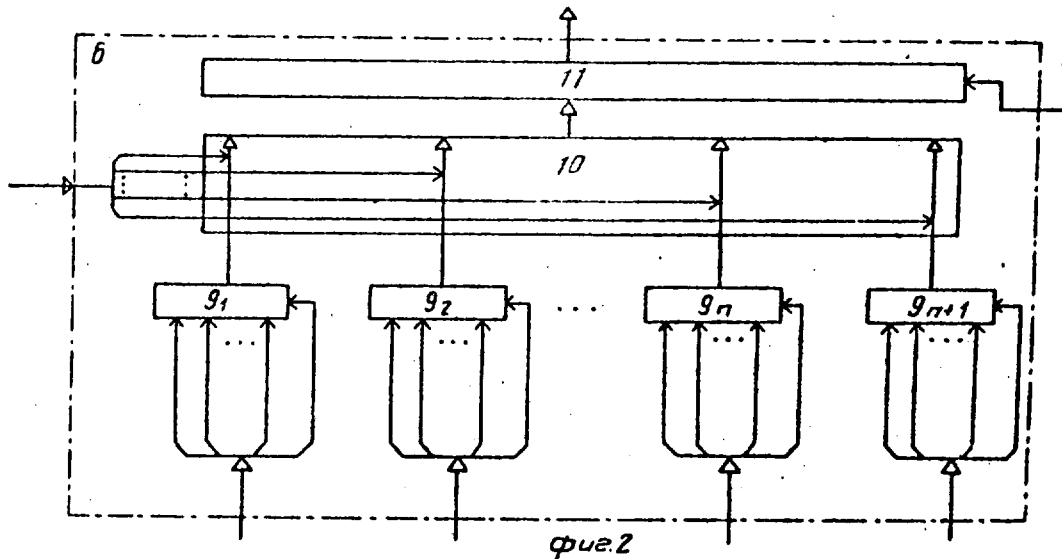
### 35 Ф о р м у л а и з о б р е т е н и я

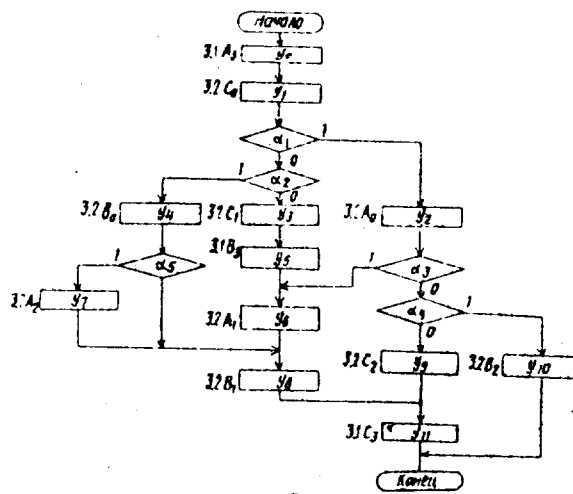
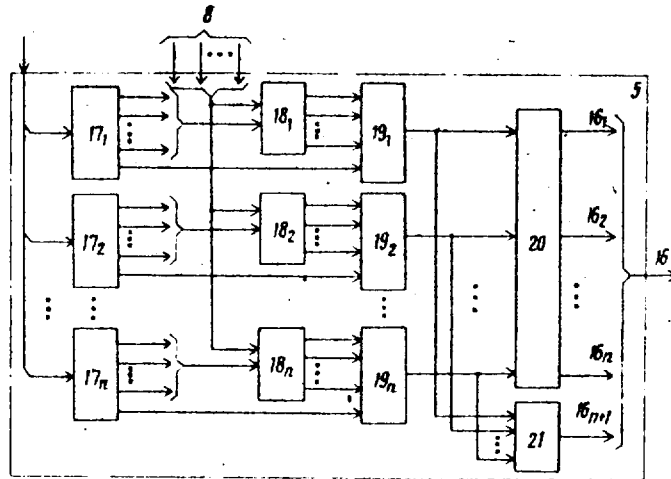
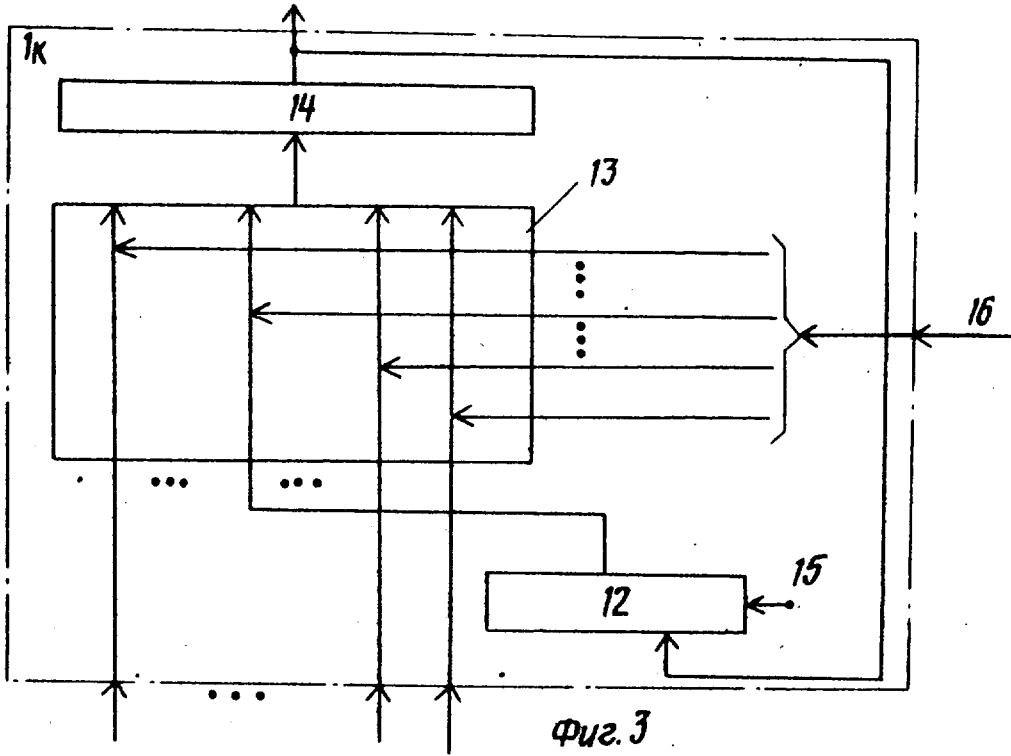
1. Микропрограммное устройство управления, содержащее  $n+1$  (где  $n$  - количество одновременно проверяемых в микрокоманде логических условий) блоков формирования адреса,  $n+1$  блоков памяти микрокоманд, коммутатор, регистр микрокоманд и блок проверки условий, причем выход кода микроопераций регистра микрокоманд является одноименным выходом устройства, группа выходов логических условий регистра микрокоманд соединена с первой группой входов блока проверки условий, вторая группа входов которого является группой входов логических условий устройства, выход блока проверки условий соединен с управляющими входами с первого по  $(n+1)$ -й блоков формирования адреса и коммутатора, выход  $K$ -го ( $1 \leq K \leq n+1$ ) блока формирования адреса соединен с младшими разрядами адресных входов  $K$ -го блока памяти микрокоманд,  $i$ -й ( $1 \leq i \leq n$ )

выход группы выходов кода адреса которого соединен с  $K$ -м информационным входом  $(i+1)$ -го блока формирования адреса (для всех значений  $i \geq K$ ) и с  $(K-1)$ -м информационным входом  $i$ -го блока формирования адреса (для всех значений  $i < K$ ), первый выход коммутатора соединен с информационным входом регистра микрокоманд, отличающемся тем, что, с целью сокращения количества оборудования за счет сокращения разрядности адресной части микрокоманд, устройство содержит блок формирования адреса зоны, причем выход блока формирования адреса зоны соединен со старшими разрядами адресных входов с первого по  $(n+1)$ -й блоков памяти микрокоманд, выход кодов микроопераций, логических условий и признаков изменения адреса зоны  $K$ -го блока памяти микрокоманд соединен с  $K$ -м информационным входом коммутатора, второй выход которого соединен с первым управляющим входом блока формирования адреса зоны, второй управляющий вход которого соединен с выходом блока проверки условий,  $n+1$  выходов группы выходов ко-

да адреса  $K$ -го блока памяти микрокоманд соединены соответственно с  $(n+1)$ -ми входами  $K$ -й группы информационных входов блока формирования адреса зоны.

2. Устройство по п.1, отличающееся тем, что блок формирования адреса зоны содержит  $n+2$  коммутаторов и регистр, причем выход  $K$ -го  $(1 \leq K \leq n+1)$  коммутатора соединен с  $K$ -м информационным входом  $(n+2)$ -го коммутатора, выход которого соединен с информационным входом регистра, выход которого является выходом блока,  $i$ -я  $(1 \leq i \leq n)$  группа информационных входов  $K$ -го коммутатора соединена соответственно со всеми входами  $K$ -й группы информационных входов блока, кроме  $i$ -го и  $(n+1)$ -го, управляющий вход  $K$ -го коммутатора соединен с  $(n+1)$ -м входом  $K$ -й группы информационных входов блока, вход разрешения записи регистра соединен с первым управляющим входом блока, второй управляющий вход которого соединен с управляющим входом  $(n+2)$ -го коммутатора.





## Блок памяти 1 микрокоманд

Адрес зоны	Адрес ячейки в зоне	Код микрокоманды	Коды логических условий		Код изменения адреса зоны	Группа адресных выходов		
			1-го	2-го		Адрес перехода в память 2 или зоны 15 <sub>1</sub>	Адрес перехода в память 3 или зоны 15 <sub>2</sub>	Код управления формированием адреса зоны 15 <sub>3</sub>
3.1	A <sub>3</sub>	У <sub>0</sub>	0	0	1	3 <sub>2</sub>	С <sub>0</sub>	1
3.2	A <sub>0</sub>	У <sub>2</sub>	α <sub>3</sub>	α <sub>4</sub>	0	В <sub>2</sub>	С <sub>2</sub>	0
	A <sub>1</sub>	У <sub>6</sub>	0	1	0	В <sub>1</sub>	0	0
	A <sub>2</sub>	У <sub>7</sub>	0	1	0	В <sub>1</sub>	0	0
	A <sub>3</sub>							
3.3	A <sub>0</sub>							

## Блок памяти 2 микрокоманд

Адрес зоны	Адрес ячейки в зоне	Код микрокоманды	Коды логических условий		Код изменения адреса зоны	Группа адресных выходов		
			1-го	2-го		Адрес перехода в память 3 или зоны 15 <sub>1</sub>	Адрес перехода в память 2 или зоны 15 <sub>2</sub>	Код управления формированием адреса зоны 15 <sub>3</sub>
3.1	В <sub>3</sub>	У <sub>5</sub>	1	0	1	А <sub>1</sub>	3 <sub>2</sub>	0
3.2	В <sub>0</sub>	У <sub>4</sub>	α <sub>5</sub>	!	0	А <sub>2</sub>	0	0
	В <sub>1</sub>	У <sub>8</sub>	0	0	1	3 <sub>1</sub>	С <sub>3</sub>	1
	В <sub>2</sub>	У <sub>10</sub>	—	—	—	—	—	—
	В <sub>3</sub>							
3.3	В <sub>1</sub>							

## Блок памяти 3 микрокоманд

Адрес зоны	Адрес ячейки в зоне	Код микрокоманды	Коды логических условий		Код изменения адреса зоны	Группа адресных выходов		
			1-го	2-го		Адрес перехода в память 1 или зоны 15 <sub>1</sub>	Адрес перехода в память 2 или зоны 15 <sub>2</sub>	Код управления формированием адреса зоны 15 <sub>3</sub>
3.1	С <sub>3</sub>	У <sub>11</sub>	—	—	—	—	—	—
3.2	С <sub>0</sub>	У <sub>1</sub>	α <sub>1</sub>	α <sub>2</sub>	0	А <sub>0</sub>	В <sub>0</sub>	0
	С <sub>1</sub>	У <sub>3</sub>	0	1	1	3 <sub>1</sub>	В <sub>3</sub>	1
	С <sub>2</sub>	У <sub>9</sub>	0	0	1	3 <sub>1</sub>	0	1
	С <sub>3</sub>							
3.3	С <sub>0</sub>							

Фиг. 6

Составитель В.Криворучко

Редактор И.Рыбченко

Техред Л.Олийник

Корректор И.Муска

Заказ 1185/45

Тираж 704

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4