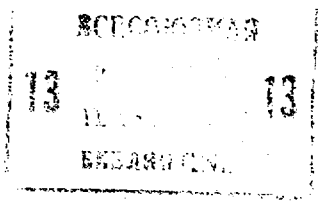




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР  
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



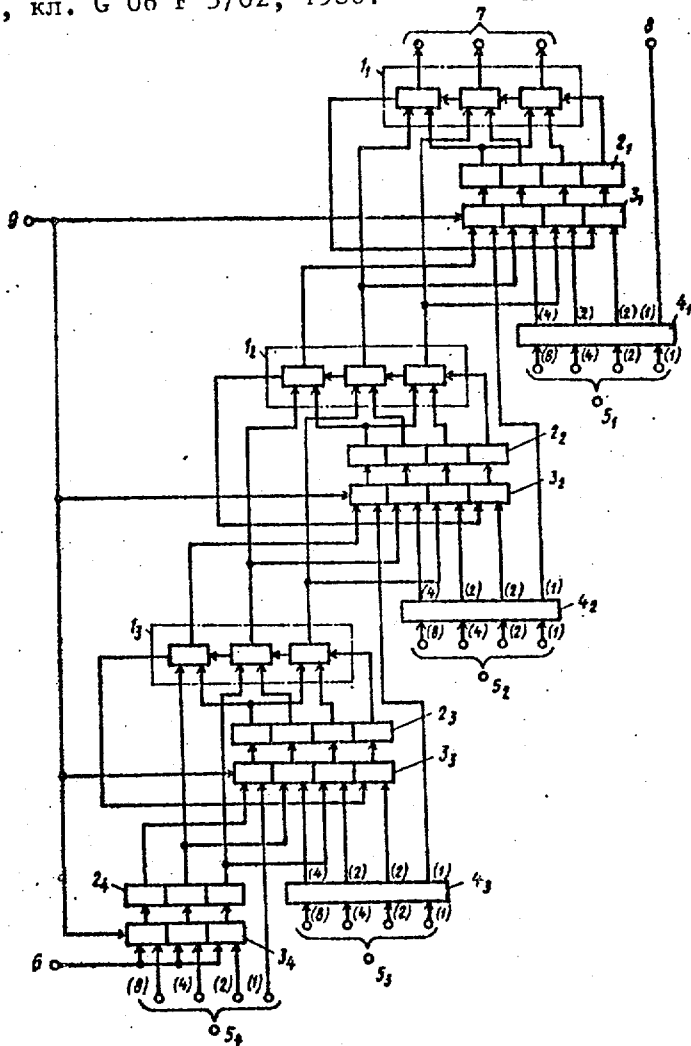
# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3862718/24-24
- (22) 01.03.85
- (46) 23.02.87. Бюл. № 7
- (71) Минский радиотехнический институт
- (72) А.А.Жалковский и А.А.Шостак
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 723567, кл. G 06 F 5/02, 1980.

Guild H.H. Fast decimal-binary conversion. - Electronics Letters, 1969, № 18, p. 427-428, fig. 1.

(54) ПРЕОБРАЗОВАТЕЛЬ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ

(57) Изобретение относится к вычислительной технике и может быть использовано при построении преобразо-



вателей десятичных чисел в двоичные. Целью изобретения является упрощение преобразователя. Поставленная цель достигается тем, что в преобразователь двоично-десятичного кода в двоичный, содержащий преобразователи кода 8, 4, 2, 1 в код 4, 2, 2, 1 и ярусы, каждый из которых реализует шаг алгоритма Горнера, введены

группа коммутаторов 3.1-3.4, группа регистров 2.1-2.4 и обратные связи с выходов переноса сумматоров 1.1-1.3 через соответствующие коммутаторы на входы младших разрядов регистров. Это обеспечивает последовательно-параллельный режим работы с одновременным формированием группы двоичных разрядов. 1 ил., 1 табл.

1

Изобретение относится к вычислительной технике и может быть использовано при построении преобразователей десятичных чисел в двоичные.

Цель изобретения - упрощение преобразователя.

На чертеже приведена структурная схема предлагаемого преобразователя для случая преобразования четырехразрядного двоично-десятичного кода.

Преобразователь содержит сумматоры  $1_1-1_3$ , регистры  $2_1-2_4$ , коммутаторы  $3_1-3_4$ , преобразователи  $4_1-4_3$  одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1, входы  $5_1-5_4$  десятичных разрядов преобразователя, вход 6 логического нуля преобразователя, выходы 7 старших разрядов преобразователя, выход 8 младшего разряда преобразователя, вход "Запись-передача" 9 преобразователя.

В основу предлагаемого устройства для преобразования двоично-десятичного кода в двоичный положен следующий принцип. Пусть исходный операнд  $D=d_4d_3d_2d_1$  - целое двоично-десятичное число, где  $d_k$  -  $k$ -я десятичная цифра, представленная двоичным кодом с весами 8, 4, 2, 1 ( $1 \leq k \leq 4$ ). Тогда двоичный эквивалент  $B$  исходного десятичного числа  $D$  может быть вычислен по следующей итеративной формуле:

$$B = \underbrace{((d_4 \cdot 1010 + d_3) \cdot 1010 + d_2)}_{S_3} \cdot 1010 + d_1$$

$$\underbrace{\hspace{10em}}_{S_2}$$

$$\underbrace{\hspace{15em}}_{S_1}$$

2

Сумма  $S_3$  является 7-разрядным двоичным числом, сумма  $S_2$  - 10-разрядным и сумма  $S_1$  - 14-разрядным двоичным числом. В предлагаемом устройстве значение суммы  $S_3$  формируется на выходах третьего сумматора  $1_3$  по три двоичных разряда в одном такте работы устройства, причем сначала на выходах сумматора  $1_3$  образуется значение разрядов суммы  $S_3$  со второго по четвертый, а потом в следующем такте на выходах сумматора  $1_3$  формируется значение разрядов суммы  $S_3$  с пятого по седьмой. Значение первого (самого младшего) разряда суммы  $S_3$  равно значению младшего двоичного разряда цифры  $d_3$  и на выходах сумматора  $1_3$  не формируется. Это значение сразу же поступает на соответствующие входы сумматора  $1_2$ , где участвует в вычислении значения суммы  $S_2$ .

Подобным образом в устройстве с помощью второго сумматора  $1_2$  формируется в течение трех тактов значение суммы  $S_2$ , а с помощью первого сумматора  $1_1$  в течение пяти тактов работы устройства получается значение суммы  $S_1$ , которое является двоичным эквивалентом  $B$  исходного десятичного числа  $D$ .

С целью упрощения вычисления сумм  $S_3-S_1$  в предлагаемом устройстве самая старшая цифра  $d_4$  исходного операнда  $D$  представлена в коде 8, 4, 2, 1, а все другие его цифры - в коде 4, 2, 2, 1.

Преобразователь работает следующим образом.

В первом такте работы по сигналу на его управляющем входе 9 осуществ-

вляется прием десятичного операнда с входов  $5_1-5_4$  в регистры  $2_1-2_4$ , причем только старшая цифра десятичного операнда записывается в регистры без изменения в коде 8, 4, 2, 1, все же остальные цифры предварительно преобразуются с помощью преобразователей  $4_1-4_3$  из кода 8, 4, 2, 1 в код 4, 2, 2, 1 и только затем записываются в регистры в этом коде. На выходе 8 образуется значение самого младшего двоичного разряда результата. После завершения первого такта на входе 9 устанавливается управляющий потенциал, обеспечивающий в дальнейшем на протяжении всего процесса преобразования прием информации в регистры  $2_1-2_4$  с вторых входов коммутаторов  $3_1-3_4$  (на вторые входы четвертого коммутатора  $3_4$  с входа 6 поступают сигналы логического нуля).

Во втором такте работы на выходах первого сумматора  $1_1$  образуется зна-

чение с второго по четвертый разрядов результата, которое поступает на выходы 7. Далее выполняются еще четыре такта, в течение которых на выходы 7 поступают десять старших разрядов результата. Таким образом, 14-разрядный двоичный эквивалент 4-разрядного числа формируется в предлагаемом устройстве за шесть тактов, причем один из этих тактов используется для загрузки исходного операнда в регистры  $2_1-2_4$  преобразователя.

В таблице приведен числовой пример выполнения преобразования десятичного числа 9124 в двоичное число 1000 1110 100100, причем в столбцах 1-6 отобразено содержимое первого, второго, третьего и четвертого разрядов (справа налево) регистров  $2_1-2_4$  после окончания каждого из шести тактов работы устройства.

Регистры величины		Содержимое после каждого из шести тактов работы устройства																										
		6				5				4				3				2				1						
		4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1	4	3	2	1			
$S_1 =$		0	0	1		0	0	0		1	1	1		0	1	0		0	1	0		0						
$2_1$ $S_2$										1	1	1	0		0	0	1	0		0	0	0	0	1	0	0		
$2_2$ $S_3$															1	0	1	1		1	1	1	1	0	0	1		
$2_3$ $S_4$																				1	0	0	1	0	0	0		
$2_4$																										1	0	0

**Примечание.** В прямоугольники заключены значения разрядов  $S_2-S_4$ , записываемые в соответствующие разряды регистров  $2_1-2_3$ , а также значения разрядов  $S_1$ , которые подаются потактно на выходы 7 и 8 (приведены только значащие цифры).

В первом такте работы происходит установка на управляющем входе 9 преобразователя высокого потенциала и осуществляется прием десятичного операнда с входов  $5_1-5_4$  в регистры через первые (правые) входы коммутаторов  $3_1-3_4$  (запись в регистры осуществляется по первому синхроимпульсу). Старшая цифра десятичного операнда (в рассматриваемом числовом примере она равна 9) записывается в регистр 2 и в четвертый (самый

старший) разряд регистра  $2_3$  в коде 8, 4, 2, 1 (все остальные цифры сначала преобразуются преобразователями  $4_1-4_3$  из кода 8, 4, 2, 1 в код 4, 2, 2, 1 и только потом записываются в регистры). На выходе 8 образуется значение самого младшего двоичного разряда результата. В конце первого такта на управляющем входе 9 преобразователя устанавливается низкий потенциал на все остальное время преобразования операнда.

Во время второго такта происходит вычисление значений второго, третьего и четвертого разрядов  $S_3$ , два первых из которых в этом такте участвуют в вычислении на сумматоре  $1_2$ . Значения второго и третьего разрядов, вырабатываемые во втором такте, участвуют в этом же такте в образовании  $S_1$ , значения трех разрядов которого ( $S_1^4$ ,  $S_1^3$  и  $S_1^2$ ) снимаются с выхода 7. После выполнения второго такта в регистры  $2_1-2_3$  заносятся  $S_k$ ,  $S_k^3$ ,  $S_k^2$ , где  $k=2,3,4$  соответственно, а также значения выходных переносов из сумматоров  $1_1-1_3$  для вычисления на них в третьем такте значений трех следующих разрядов  $S_2^7$ ,  $S_2^6$ ,  $S_2^5$ , где  $\nu=1,2,3$ . В регистр  $2_4$  с входа 6 записывается нулевая информация.

В третьем такте на сумматорах  $1_1-1_3$  вычисляются величины  $S_2^7$ ,  $S_2^6$ ,  $S_2^5$ . С выхода 7 при этом снимаются величины  $S_1^7$ ,  $S_1^6$ ,  $S_1^5$ . В конце третьего такта в регистры  $2_1$  и  $2_2$  записываются значения разрядов  $S_2$  и  $S_3$ . В регистр  $2_3$  записываются нули с выхода регистра  $2_4$ , а в регистр  $2_4$  опять записывается нулевая информация с входа 6. В последующих тактах преобразователь работает аналогично. В шестом такте на выходе 7 появляются старшие разряды двоичного числа.

Подобным образом может быть разработано устройство, формирующее в одном такте  $r$  двоичных цифр результата  $(2 \leq r \leq \lceil \frac{m-1}{2} \rceil)$ , где  $m$  - общее чис-

ло двоичных цифр результата;  $[x]$  - ближайшее целое, большее или равное  $x$ ), причем длительность такта определяется временем записи информации в регистр и задержкой информации на одном коммутаторе и  $r$  одноразрядных двоичных сумматорах.

#### Ф о р м у л а и з о б р е т е н и я

Преобразователь двоично-десятичного кода в двоичный, содержащий  $(n-1)$  сумматоров и  $(n-1)$  преобразователей одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1 (где  $n$  - число десятичных разрядов), причем входы  $i$ -го ( $i=1 \div n-1$ ) преобразователя одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1 соединены соответственно с входами  $i$ -го двоично-де-

сятичного разряда преобразователя, выход младшего разряда первого преобразователя одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1 и выходы первого сумматора соединены соответственно с выходами преобразователя, выходы двух младших разрядов  $j$ -го сумматора ( $j=2 \div n-1$ ) соединены соответственно с первыми входами двух старших разрядов  $(j-1)$ -го сумматора, от л и ч а ю щ и й с я тем, что, с целью упрощения преобразователя, он содержит  $n$  регистров и  $n$  коммутаторов, управляющие входы которых соединены с входом "Запись-передача" преобразователя, входы трех старших разрядов  $n$ -го десятичного разряда которого соединены соответственно с первой группой входов  $n$ -го коммутатора, вторая группа входов которого соединена с входом логического нуля преобразователя, выход старшего разряда  $i$ -го регистра соединен с первым входом младшего разряда и вторым входом старшего разряда  $i$ -го сумматора, вход переноса и вторая группа входов двух младших разрядов которого соединены соответственно с выходами трех младших разрядов  $i$ -го регистра, входы которого соединены соответственно с выходами  $i$ -го коммутатора, первая группа входов трех младших разрядов которого соединена соответственно с выходами трех старших разрядов  $i$ -го преобразователя одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1, первый вход старшего разряда  $i$ -го коммутатора соединен с выходом младшего разряда  $(i+1)$ -го преобразователя одноразрядного двоично-десятичного кода 8, 4, 2, 1 в код 4, 2, 2, 1, второй вход младшего разряда  $i$ -го коммутатора соединен с выходом переноса  $i$ -го сумматора, разрядные выходы которого соединены соответственно с второй группой входов трех старших разрядов  $(i-1)$ -го коммутатора, вторая группа входов трех старших разрядов  $(i-1)$ -го коммутатора соединена соответственно с выходами  $n$ -го регистра, выходы двух младших разрядов которого соединены соответственно с первой группой входов двух старших разрядов  $(n-1)$ -го сумматора, первый вход старшего разряда  $n$ -го коммутатора соединен с входом младшего дво-

ичного разряда  $n$ -го десятичного раз-  
ряда преобразователя, входы  $n$ -го ре-

гистра соединены соответственно с  
выходами  $n$ -го коммутатора.

Редактор Н.Тупица      Составитель М.Аршавский  
Техред И.Попович      Корректор А.Зимокосов

---

Заказ 286/58      Тираж 902      Подписное

ВНИИПИ Государственного комитета СССР  
по делам изобретений и открытий  
113035, Москва, Ж-35, Раушская наб., д. 4/5

---

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4