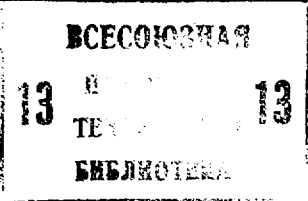




(51) 4 G 06 F 9/22

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

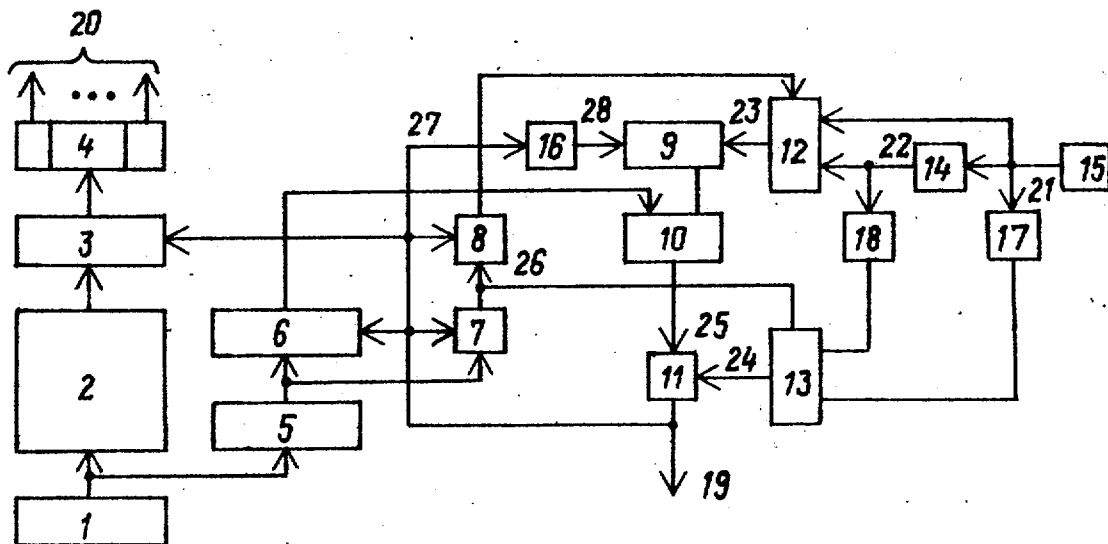


ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3882075/24-24
- (22) 08.04.85
- (46) 30.03.87. Бюл. № 12
- (71) Минский радиотехнический институт
- (72) А.Г.Батюков, В.Л.Богомаз, А.В.Соловей и Л.О.Шпаков
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР № 834700, кл. G 06 F 9/22, 1979. Авторское свидетельство СССР № 924708, кл. G 06 F 9/22, 1980. Авторское свидетельство СССР № 991426, кл. G 06 F 9/22, 1981.

(54) МИКРОПРОГРАММНОЕ УСТРОЙСТВО УПРАВЛЕНИЯ

(57) Изобретение относится к вычислительной технике и может быть использовано при построении управляющих автоматов. Целью изобретения является повышение быстродействия устройства. С этой целью в устройство, содержащее генератор 15 тактовых импульсов, шифратор 5 адреса, первый элемент 16 задержки, регистр 1 адреса, блок 2 памяти микрокоманд, регистр 3 микрокоманд и группу 4 дешифраторов, введены регистр 6 кода длительности, счетный триггер 7, триггер 8 управления, счетчик 9, схема 10 сравнения, элемент И 11, коммутаторы 12 и 13, элемент НЕ 14, элементы 17 и 18 задержки. 2 ил., 3 табл.



Фиг. 1

(09) **SU** (11) **1300470** **A 1**

Изобретение относится к вычислительной технике и может быть использовано при построении управляющих автоматов.

Целью изобретения является повышение быстродействия устройства.

На фиг. 1 приведена функциональная схема устройства; на фиг. 2 - временные диаграммы его работы.

Микропрограммное устройство управления содержит (фиг. 1) регистр 1 адреса, блок 2 памяти микрокоманд, регистр 3 микрокоманд, группу 4 дешифраторов, шифратор 5 адреса, регистр 6 кода длительности, счетный триггер 7, триггер 8 управления, счетчик 9, схему 10 сравнения, элемент И 11, первый и второй коммутаторы 12 и 13 соответственно, элемент НЕ 14, генератор 15 тактовых импульсов, первый, второй и третий элементы 16, 17 и 18 задержки соответственно и имеет тактовый выход 19 и операционный выход 20. Регистр 1 адреса, блок 2 памяти, регистр 3 и группа 4 дешифраторов соединены между собой последовательно. Выход 21 генератора 15 соединен с входом элемента 14, первым информационным входом коммутатора 12 и через элемент 17 - с первым информационным входом коммутатора 13. Выход 22 элемента 14 соединен с вторым информационным входом коммутатора 12 и через элемент 18 - с вторым информационным входом коммутатора 13. Выход 23 коммутатора 12 соединен со счетным входом счетчика 9, выход которого соединен с первым входом схемы 10, второй вход которой соединен с выходом регистра 6. Информационный вход регистра 6 соединен с выходом старших разрядов шифратора 5, информационный вход которого соединен с выходом регистра 1. Выходы 24 и 25 коммутатора 13 и схемы 10 соединены с входами элемента 11, выход которого соединен через элемент 16 с входом сброса в нуль счетчика 9 и является тактовым выходом 19 устройства. Выход младшего разряда шифратора 5 соединен с информационным входом триггера 7, выход 26 которого соединен с информационным входом триггера 8 и является управляющим входом коммутатора 13, а выход триггера 8 является управляющим входом коммутатора 12. Выходы группы 4 дешифраторов являются операционным выходом 20 устройства.

Кроме того, выход элемента 11 соединен с синхровходами 27 регистров 3 и 6 и триггеров 7 и 8, а выход 28 элемента 16 соединен с входом сброса счетчика 9.

Регистр 1 используется для хранения адреса, по которому считывается следующая микрокоманда из блока 2. В зависимости от системы адресации, которая принимается в микропрограммном устройстве управления, он может быть реализован различными способами. Так, при использовании естественной системы адресации регистр 1 может быть реализован в виде счетчика, например на ИС 500 ИЕ 136. В блоке 2 памяти хранятся выполняемые в устройстве микропрограммы. Он может быть реализован на оперативных запоминающих устройствах (ОЗУ), например на ИС 500 РУ 415. В регистре 3 хранятся коды микроопераций выполняемой микрокоманды, в регистре 6 - код длительности этой микрокоманды. Предполагается, что регистры 3 и 6, а также триггеры 7 и 8 построены на основе двухтактных синхронных D-триггеров, например на ИС 500 ИР 141. Группа 4 дешифраторов используется для преобразования кодов микроопераций выполняемых микрокоманд в совокупность выходных управляющих сигналов устройства. Дешифраторы группы 4 могут быть построены на ИС 500 ИД 161.

Счетчик 9 предназначен для подсчета количества импульсов, поступивших на его счетный вход с выхода 23 первого коммутатора 12. Исходным состоянием счетчика 9 является нулевое состояние, в которое он переходит в результате установки сигнала соответствующего уровня на его входе сброса, соединенном с выходом 28 элемента 16. Предполагается, что во время действия этого сигнала счетчик 9 не может вести подсчет импульсов. На выходе счетчика 9 формируется двоичный код, соответствующий числу импульсов, поступивших на его счетный вход к данному моменту времени. Функция подсчета импульсов может быть реализована и на сдвигающем регистре. При этом синхронный вход регистра соединяется с выходом 23 коммутатора 12, а вход сброса в нуль - с выходом 28 элемента 16. Вход переноса сдвигающего регистра соединен с шиной "1" (единичного потенциала). На выходе

сдвигающего регистра формируется позиционный код (число импульсов, поступивших на синхровход сдвигающего регистра, определяется наличием "1" в соответствующем разряде регистра).

Шифратор 5 используется для преобразования кода адреса считываемой микрокоманды в код ее длительности. Конкретная реализация шифратора 5 определяется выполняемыми устройством микропрограммами, адресами микрокоманд в блоке 2 памяти, а также их длительностью. Приведем пример построения шифратора для четырех последовательно выполняемых микрокоманд. Пусть число возможных дискретов длительности микропрограммного

такта равно 8, а число адресных разрядов в блоке 2 памяти равно 5. Пусть адрес в двоичном представлении первой микрокоманды равен "01011", второй - "01100", третьей - "01101" и четвертой - "01110". Пусть эти микрокоманды имеют времена выполнения соответственно не более $2T$ (двоичный код "010"), $7T/2$ (двоичный код "111"), $2T$ (двоичный код "010") и $3T/2$ (двоичный код "011").

В табл. 1 представлена логика работы шифратора 5, если подсчет импульсов реализован на счетчике; в табл. 2 - то же, если подсчет импульсов реализован на сдвигающем регистре.

Т а б л и ц а 1

Входы					Выходы		
X_1	X_2	X_3	X_4	X_5	Y_1	Y_2	Y_3
0	1	0	1	1	0	1	0
0	1	1	0	0	1	1	1
0	1	1	0	1	0	1	0
0	1	1	1	0	0	1	1

Т а б л и ц а 2

Входы					Выходы			
X_1	X_2	X_3	X_4	X_5	Y_1	Y_2	Y_3	Y_4
0	1	0	1	1	0	0	1	0
0	1	1	0	0	1	1	1	1
0	1	1	0	1	0	0	1	0
0	1	1	1	0	0	0	1	1

Отметим, что с информационными входами регистра 6 и триггера 7 соединены соответственно выходы Y_1 , Y_2

и Y_3 шифратора 5, показанные в табл. 1, и выходы Y_1 , Y_2 , Y_3 и Y_4 , показанные в табл. 2.

Схема 10 предназначена для сравнения кода длительности выполняемой микрокоманды, указанного в регистре 6, с кодом, поступающим с выхода счетчика 9. При сравнении этих кодов на выходе 25 схемы 10 устанавливается сигнал, соответствующий уровню "1".

С помощью коммутатора 12 осуществляется передача последовательности импульсов на счетный вход счетчика 9 либо с выхода 21 генератора 15 (когда на его управляющий вход поступает сигнал, соответствующий "0"), либо с выхода 22 элемента 14 (когда на его управляющий вход поступает сигнал, соответствующий "1"). С помощью коммутатора 13 осуществляется передача последовательности импульсов на вход элемента 11 либо с выхода элемента 17 (когда на его управляющий вход поступает сигнал, соответствующий "0"), либо с выхода элемента 18 (когда на его управляющий вход поступает сигнал, соответствующий "1"). Коммутаторы 12 и 13 могут быть реализованы на логических элементах типа 2И-2ИЛИ, например на ИС 500 ТМ 173 при свободном синхриводе С.

Генератор 15 используется для формирования исходной последовательности импульсов прямоугольной формы со скважностью 2. В качестве генератора 15 можно использовать любые генераторы импульсов. Например, генератор импульсов 15 можно реализовать на ИС 155 ТЛ1. Частота генератора регулируется номиналом емкости, подключаемой к входу ИС.

Элементы 16, 17 и 18 задержки используются для согласования временных параметров работы устройства. Элемент 16 задерживает входной сигнал на такое время, чтобы обеспечить срабатывание в нуль счетчика 9 только после формирования импульса на тактовом выходе 19 устройства. Элементы 17 и 18 обеспечивают задержку соответствующих входных сигналов на время переключения счетчика 9 и схемы 10 сравнения. Элементы 16-18 задержки могут быть реализованы по типовым схемам, например, на интегрирующей RC-цепочке, подключенной к входу усилителя (ИС 500 ЛП 110). Величина задержек регулируется номиналами R и C.

Работу устройства рассмотрим на примере выполнения четырех микрокоманд со следующими временами выпол-

нения: $t_1=2T$; $t_2=7T/2$; $t_3=2T$; $t_4=3T/2$, где t_i - время выполнения i -й рассматриваемой микрокоманды, T - период следования импульсов генератора 15.

Устройство работает следующим образом.

Пусть в момент времени t_0 (фиг.2) по тактовому импульсу в регистр 3 записывается первая микрокоманда из рассматриваемых микрокоманд, в регистр 6 - код ее длительности, триггеры 7 и 8 устанавливаются в нулевое состояние, а к содержимому регистра 1 добавляется "1". В момент времени t_1 с выхода 28 элемента 16 снимается сигнал обнуления и счетчик 9 подсчитывает количество импульсов, поступающих на его счетный вход с выхода 23 коммутатора 12. В соответствии с сигналом, поданным на управляющий вход коммутатора 12, на его выход 23 поступает последовательность импульсов с выхода 21 генератора 15. В соответствии с сигналом, поданным на управляющий вход коммутатора 13, на его выход 24 поступает последовательность импульсов с выхода 21 генератора. На выходе 25 схемы 10 поддерживается уровень "0" до тех пор, пока код, находящийся в регистре 6, не совпадет с кодом, поступающим с выхода счетчика 9. Так как длительность первой микрокоманды равна $2T$, то код в регистре 6 должен быть равен "1". Поэтому спустя время t_{2c} (время, необходимое на срабатывание счетчика 9 и схемы 10) после прихода первого импульса на счетный вход счетчика 9 в момент времени t_2 на выходе 25 схемы 10 появляется сигнал, соответствующий уровню "1". Этот сигнал разрешает прохождение импульсов с выхода 24 коммутатора 13 через элемент 11 на тактовый выход 19 устройства. С момента времени t_3 по момент времени t_4 на выходе 19 действует импульс синхронизации. По этому импульсу в регистр 3 заносится вторая микрокоманда, в регистр 6 - код ее длительности, а в регистр 1 добавляется "1". Триггер 7 устанавливается в единичное состояние, а триггер 8 остается в нулевом состоянии. В момент времени t_4 сигналом с выхода 28 элемента 16 начинается обнуление счетчика 9, которое длится время, равное длительности тактового

импульса, а на выходе 25 схемы 10 устанавливается сигнал, соответствующий уровню "0". Процесс формирования длительности такта следующей микрокоманды повторяется. В отличие от предыдущего такта, на выход 24 коммутатора 13 передается последовательность импульсов с выхода 22 элемента 14 через элемент 18. На выходе 25 схемы 10 поддерживается уровень "0" до тех пор, пока код, находящийся в регистре 6, не совпадает с кодом, поступающим с выхода счетчика 9. Так как длительность второй микрокоманды равна $\frac{7T}{2}$, то код в

регистре 6 должен быть равен трем. Поэтому спустя время t_{3c} после прихода третьего импульса (в момент времени t_5) на счетный вход счетчика 9 на выходе 25 схемы 10 появляется сигнал, соответствующий уровню "1". В это же время на выходе 24 коммутатора 13 появляется импульс, поступающий с выхода 22 элемента 14 и задержанный на время t_{3c} на элементе 18. Поэтому с момента времени t_5 по момент времени t_6 на тактовом выходе 19 действует импульс синхронизации. По этому импульсу в регистр 3 заносится третья микрокоманда, в регистр 6 - код ее длительности, равный "1", в регистр 1 добавляется "1", триггер 7 сохраняет свое предыдущее состояние, а триггер 8 устанавливается в "1".

С момента времени t_6 процесс формирования длительности такта повторяется, но в отличие от предыдущего такта на выход 23 коммутатора 12 передается последовательность импульсов с выхода 22 элемента 14. В момент времени t_7 спустя время $2T$ от момента времени t_6 завершается формирование следующего тактового импульса. По этому импульсу в регистр 3 заносится четвертая микрокоманда, в регистр 6 - код ее длительности, равный "1", триггер 7 устанавливается в нуль, а триггер 8 сохраняет свое предыдущее состояние.

С момента времени t_7 процесс формирования длительности такта повторяется, но в отличие от предыдущего такта на выход 24 коммутатора 13 передается последовательность импуль-

сов с выхода 21 генератора 15 через элемент 17. В момент времени t_8 спустя время $\frac{3T}{2}$ от момента времени t_7

5 завершается формирование следующего тактового импульса и выполняется четвертая из рассматриваемых микрокоманд.

10 Таким образом, микропрограммное устройство управления позволяет формировать длительности микропрограммных тактов, кратные $\frac{T}{2}$.

Если длительность формируемого такта равна $K \frac{T}{2}$, где $K=2,4,6,\dots$,

15 то в этом случае тактовый импульс должен принадлежать той же последовательности импульсов (либо последовательности импульсов с выхода 21 генератора 15, либо с выхода 22 элемента 14), которой принадлежал предыдущий тактовый импульс. Для обеспечения этого состояния триггера 7 не должно измениться, т.е. шифратор 5 должен сформировать на выходе младшего разряда сигнал, соответствующий уровню "0".

30 Если длительность формируемого такта равна $K \frac{T}{2}$, где $K=1,3,5,\dots$,

35 то в этом случае тактовый импульс должен принадлежать последовательности импульсов, противоположной той, которой принадлежал предыдущий тактовый импульс. Для обеспечения этого состояния триггера 7 должно измениться на противоположное, т.е. шифратор 5 должен сформировать на выходе младшего разряда сигнал, соответствующий уровню "1".

45 Для правильного формирования длительности микропрограммного такта в том случае, когда тактовый импульс принадлежит то одной, то другой последовательности импульсов, необходимо на счетный вход счетчика 9 подавать то одну, то другую последовательность импульсов. Для этого триггер 8 должен повторять состояние триггера 7 с задержкой на один такт работы устройства.

55 Соответствие между кодом, формируемым на выходах шифратора 5, и длительностью микропрограммного такта представлено в табл. 3.

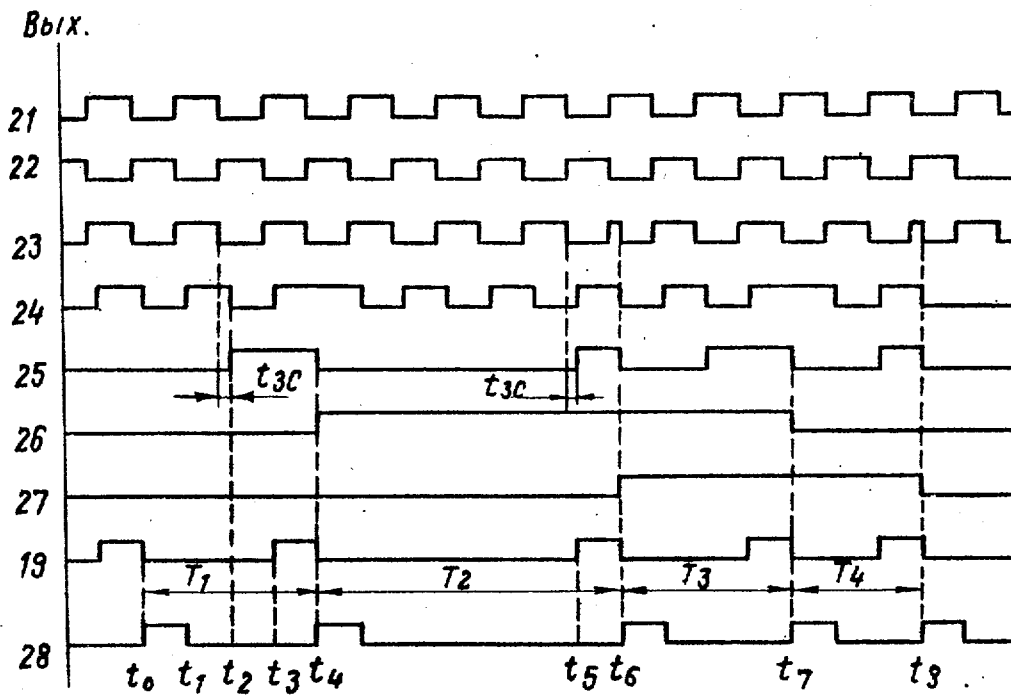
Т а б л и ц а 3

Код на выходах старших разрядов шифратора 5	Выход младшего разряда шифратора 5	Длительность микропрограммного такта
0	0	T
0	1	Не используется
1	0	2T
1	1	3 T/2
2	0	3T
2	1	5 T/2
3	0	4T
3	1	7 T/2 и т. д.

Ф о р м у л а и з о б р е т е н и я

Микропрограммное устройство управления, содержащее генератор тактовых импульсов, шифратор адреса, первый элемент задержки, регистр адреса, блок памяти микрокоманд, регистр микрокоманд и группу дешифраторов, выходы которых образуют операционный выход устройства, адресный вход блока памяти микрокоманд соединен с выходом регистра адреса, а информационный вход и выход регистра микрокоманд подключены соответственно к выходу блока памяти микрокоманд и входам дешифраторов группы, отличающееся тем, что, с целью повышения быстродействия, оно содержит регистр кода длительности, счетный триггер, триггер управления, счетчик, схему сравнения, элемент И, элемент НЕ, два коммутатора, второй и третий элементы задержки, причем выход генератора тактовых импульсов соединен с первым информационным входом первого коммутатора и входом элемента НЕ, выход которого подключен к второму информационному входу первого коммутатора, управляющий вход и выход которого соединены соответственно с выходом триггера управления и счетным входом счетчика, вход сброс-

са и выход счетчика подключены соответственно к выходу первого элемента задержки и первому входу схемы сравнения, второй вход которой соединен с выходом регистра кода длительности, входы второго и третьего элементов задержки подключены к выходам соответственно генератора тактовых импульсов и элемента НЕ, первый и второй информационные входы, управляющий вход и выход второго коммутатора соединены соответственно с выходом второго элемента задержки, выходом третьего элемента задержки, выходом счетного триггера и первым входом элемента И, второй вход которого подключен к выходу схемы сравнения, выход элемента И является тактовым выходом устройства и соединен с входом первого элемента задержки и синхровходами регистра микрокоманд, регистра кода длительности, счетного триггера и триггера управления, вход шифратора адреса подключен к выходу регистра адреса, информационный вход триггера управления соединен с выходом счетного триггера, а информационные входы регистра кода длительности и счетного триггера подключены соответственно к выходу старших разрядов и выходу младшего разряда шифратора адреса.



Фиг. 2

Составитель Г. Виталиев
 Редактор И. Рыбченко Техред А. Кравчук Корректор Л. Филипенко

Заказ 1150/48

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4