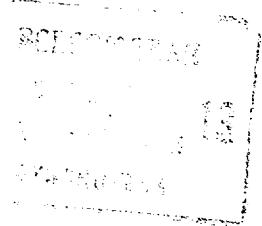




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3922230/24-24
(22) 01.07.85
(46) 30.03.87. Бюл. № 12
(71) Минский радиотехнический институт
(72) М.А. Орлов, Л.А. Смирнова
и Ж.И. Шетько
(53) 681.327(088.8)
(56) Авторское свидетельство СССР
№ 733034, кл. G 11 C 29/00, 1977.
Авторское свидетельство СССР
№ 1059629, кл. G 11 C 29/00, 1982.

(54) ЗАПОМИНАЮЩЕЕ УСТРОЙСТВО С ИСПРАВЛЕНИЕМ МНОГОКРАТНЫХ ОШИБОК
(57) Изобретение относится к вычислительной технике и может быть применено для разработки запоминающих устройств универсальных и специализированных вычислительных машин. Целью изобретения является повышение надежности устройства. Устройство содержит блоки $1, -1_{p+1}$ памяти (где p - целое число), блоки $2, -2_{k+1}$ свертки по модулю два (где k - число

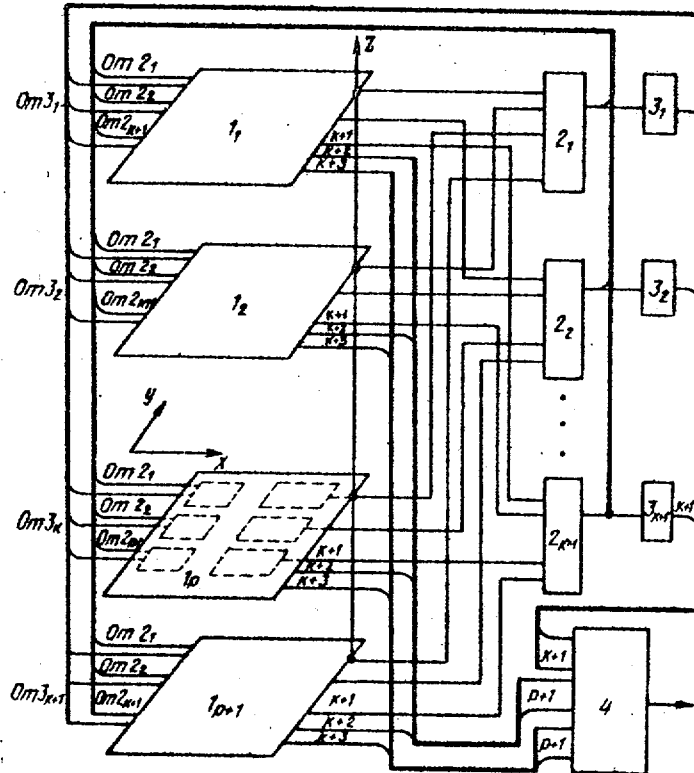


Fig. 1

информационных выходов каждого блока памяти), триггеры 3_1-3_{k+1} и блок 4 обнаружения некорректируемой ошибки, при этом каждый блок 1_1-1_{p+1} памяти содержит регистры сдвига, служащие для хранения информации, блок свертки по модулю два, блоки коррекции, счетные триггеры, элемент ИЛИ и триггер. Каждый из блоков коррекции содержит элемент 2И-3ИЛИ, два элемента И, два элемента ИЛИ и сумматор по модулю два. В основу контроля

функционирования ЗУ, память в котором организована в виде куба, состоящего из прямоугольных матриц, выполненных из регистров сдвига с циклической перезаписью информации, положен метод контроля по четности по строкам и столбцам каждой матрицы, а также введен контроль по одноименным разрядам соответствующих регистров сдвига всех блоков памяти (т.е. по столбцам куба). 2 з.п. ф-лы, 2 ил.

1

Изобретение относится к вычислительной технике и может быть использовано при разработке высоконадежных запоминающих устройств универсальных и специализированных вычислительных машин.

Цель изобретения - повышение надежности устройства.

На фиг. 1 изображена функциональная схема устройства; на фиг. 2 - функциональные схемы блока памяти и блока коррекции.

Устройство содержит (см. фиг. 1) блоки 1_1-1_{p+1} памяти (где P - целое число), блоки 2_1-2_{k+1} свертки по модулю два, (где K - число информационных выходов каждого блока 1_1-1_{p+1} памяти), триггеры 3_1-3_{k+1} и блок 4 обнаружения некорректируемой ошибки.

Каждый из блоков 1_1-1_{p+1} памяти содержит (см. фиг. 2) регистры 5_1-5_{k+1} сдвига, блок 6 свертки по модулю два, блоки 7_1-7_{k+1} коррекции, счетные триггеры 8_1-8_{k+1} , элемент ИЛИ 9 и триггер 10. Каждый из блоков 7_1-7_{k+1} коррекции содержит (см. фиг. 2) элемент 2И-3ИЛИ 11, первый 12₁ и второй 12₂ элементы И, первый 13₁ и второй 13₂ элементы ИЛИ и сумматор 14 по модулю два. На фиг. 2 обозначены входы 15-20 с первого по шестой блоков 7_1-7_{k+1} коррекции.

Устройство работает следующим образом.

В основу контроля функционирования ЗУ память которого организована в виде куба, состоящего из прямоугольных матриц (матрица-регистры

2

5_1-5_{k+1} , одного блока 1_1-1_{p+1}), положен метод контроля по четности по строкам (измерение X) и столбцам (измерение Y) каждой матрицы, а также по столбцам куба, т.е. по одноименным разрядам соответствующих регистров 5 всех блоков 1_1-1_{p+1} (измерение Z).

Регистр 5_{k+1} каждого блока 1 содержит контрольные биты, дополняющие сумму одноименных разрядов регистров 5_1-5_k до четной (сумма по Y). Младший разряд каждого из регистров 5_1-5_k содержит контрольный бит, дополняющий сумму всех разрядов соответствующего регистра 5 до четной (сумма по X). Блок 1_{p+1} содержит контрольные биты, дополняющие сумму одноименных элементов каждого из накопителей 1_1-1_p до четной (сумма по Z).

Наличие хотя бы двух единичных сигналов X и Z , или Y и Z , или X и Y однозначно определяет расположение ошибочного разряда при всех однократных, двукратных и несимметричных многократных ошибках. В случае возникновения четырехкратной симметричной ошибки формирователь 4 выдает сигнал некорректируемой ошибки, поскольку в данном случае возникает лишь один из сигналов X , Y либо Z . Из этого вытекает функция, выполняемая блоком 4 (см. фиг. 1):

$$F = X' \bar{Y}' \bar{Z}' + Y' \bar{X}' \bar{Z}' + Z' \bar{X}' \bar{Y}'$$

$$X' = X_1 + X_2 + \dots + X_{p+1}$$

$$Y' = Y_1 + Y_2 + \dots + Y_{p+1}$$

$$Z' = Z_1 + Z_2 + \dots + Z_{k+1}$$

где $X = \{X_1, X_2, \dots, X_{p+1}\}$ - множество сигналов с $(K+2)$ -х выходов блоков $1_1 - 1_{p+1}$, $Y = \{Y_1, Y_2, \dots, Y_{p+1}\}$ - множество сигналов с $(K+3)$ -х выходов блоков $1_1 - 1_{p+1}$, $Z = \{Z_1, Z_2, \dots, Z_{k+1}\}$ - множество сигналов с выходов триггеров $3_1 - 3_{k+1}$.

Причем ситуация $X' \bar{Z}' Y'$ возникает тогда, когда четырехкратная симметричная ошибка расположена в плоскости YZ , ситуация $Y' \bar{Z}' \bar{X}'$ - когда ошибка расположена в плоскости ZX , а ситуация $Z' \bar{X}' Y'$ - когда ошибка расположена в плоскости XY .

В каждом такте считывания на выходах регистров $5_1 - 5_{k+1}$ появляются одноименные разряды содержащего каждого из регистров $5_1 - 5_{k+1}$, причем после полного считывания информация занимает свое первоначальное положение, т.е. циклически перезаписывается.

Рассмотрим функционирование устройства в динамике.

Для наглядности, например, допустим, что произошла однократная ошибка b_{23} в третьем разряде регистра 5_2 блока 1_1 (см. фиг. 2). Тогда после полного цикла считывания содержимого регистров $5_1 - 5_{k+1}$ триггер 8 зафиксирует единичный сигнал (сумма по координате X), поскольку количество единиц, хранящихся в регистре 5_2 изменится на единицу в большую или меньшую сторону. При этом на третьем такте считывания блок 6 также сформирует единичный сигнал (сумма по координате Y), который будет зафиксирован триггером 10 , на третьем такте считывания блок 2_2 также сформирует единичный сигнал (сумма по координате Z), который будет зафиксирован триггером 3_2 . Установление в единицу триггера 3_2 и триггера 10 блока 1_1 приводит к запрету режима счета триггера 8_2 и установлению режима коррекции. Триггер 8_2 будет хранить координату X возникшей ошибки.

Коррекция ошибочного разряда осуществляется следующим образом.

Перед началом цикла коррекции на входе 19 блока 7_2 присутствует еди-

ничный сигнал с выхода триггера 8_2 (X), а на входах 18 и 16 будут единичные сигналы с выходов триггеров 10 и 3_2 соответственно. Следовательно, элемент ИЛИ 13_1 открывается. На третьем такте считывания ошибочный разряд появляется на втором выходе регистра 5_2 и блок 6 сформирует единичный сигнал Y . Одновременно с этим блок 2_2 также сформирует единичный сигнал Z . Эти сигналы появляются на входах 18 и 15 блока 7_2 , и элемент 2И-3ИЛИ 11 блока 7_2 открывается, в результате на выходе элемента И 12_1 также появляется единичный потенциал. Ошибочный разряд складывается с единичным потенциалом с выхода элемента И 12_1 , т.е. инвертируется, проходит через элемент ИЛИ 13_2 и на следующем такте считывания, уже исправленный, записывается в регистр 5_2 . Ни в одном другом блоке $7_1, 7_3 - 7_{k+1}$ не возникает ситуации совпадения сигналов X, Y, Z и информация с выходов соответствующих регистров 5 проходит на их входы без изменения (через элементы И $12_2, 13_2$). Аналогичное положение характерно и для остальных блоков $1_2 - 1_{p+1}$, так как ни в одном из них не возникает единичных сигналов X и Y .

В случае возникновения двойной ошибки по оси X (т.е. в разных разрядах одного регистра 5) сигнал X не возникает, т.е. ни один из триггеров $8_1 - 8_{k+1}$ не устанавливается в единицу. Однако единичный сигнал дважды возникает на выходе блока 6 , что фиксируется триггером 10 . Единичные сигналы дважды формируются соответствующим блоком 2 , что приводит к установлению в единицу триггера 3 . В очередном цикле считывания происходит коррекция ошибочных разрядов, причем сигнал Y выявляет момент появления ошибочного разряда на выходе регистра 5 , а сигнал определяет номер выхода, на котором появляется сбойный разряд, и номер блока 7 , который должен активизироваться. Процедура коррекции происходит аналогично описанному, только в данном случае элемент 2И-3ИЛИ 1 открывается при совпадении единичных сигналов Z и Y на его входах 18 и 15 . На входе 19 присутствует нулевой сигнал с выхода соответствующего триггера 8 , так как на его входе 16 присутствует

единичный сигнал, запрещающий режим счета.

В случае возникновения двойной ошибки по оси Y (в одноименных разрядах, например, регистров 5_i и 5_k) сигнал Y не возникает, однако в триггерах 8_i и 8_k будет зафиксирована единичная ситуация. Блоки 2_i и 2_k также сформируют единичные сигналы, которые будут зафиксированы триггерами 3_i и 3_k , единичные сигналы с выходов которых подаются на входы 16 блоков 7_i и 7_k соответственно.

Коррекция ошибочных разрядов в этом случае осуществляется следующим образом.

При появлении ошибочных битов, например, на первом и K-м выходах регистров 5_i и 5_k , блоки 2_i и 2_k выработывают сигналы Z, которые поступают на входы 15 блоков 7_i и 7_k , в которых элементы 2И-3ИЛИ 11 открываются при совпадении сигналов Z и X на их входах 15 и 19 соответственно. Происходит исправление ошибки, причем блоки 7_i и 7_k других блоков 1 не активизируются из-за отсутствия сигнала X на входах 19.

Аналогично выявляются и исправляются двукратные ошибки по оси Z (в одноименных разрядах одноименных регистров 5 разных блоков 1), при этом сигнал коррекции возникает при совпадении единичных сигналов X и Y.

Аналогичным образом выявляются и исправляются многократные ошибки, кроме симметричных по крайней мере по двум осям симметрии, причем все ошибки большей кратности сводятся к описанным выше четырехкратным симметричным ошибкам, а при их отсутствии исправляются полностью.

Самоконтроль и самокоррекция в предлагаемом устройстве осуществляется за счет аналогичных описанным выше процедур применительно к блоку 1_{p+1} и регистрам 5_{k+1} каждого из накопителей 1_i-1_p , причем роль контрольных символов для проведения самоконтроля и самокоррекции выполняет полезная информация, записанная в регистрах 5_i-5_k каждого из блоков 1_i-1_p .

Ф о р м у л а и з о б р е т е н и я

1. Запоминающее устройство с исправлением многократных ошибок, со-

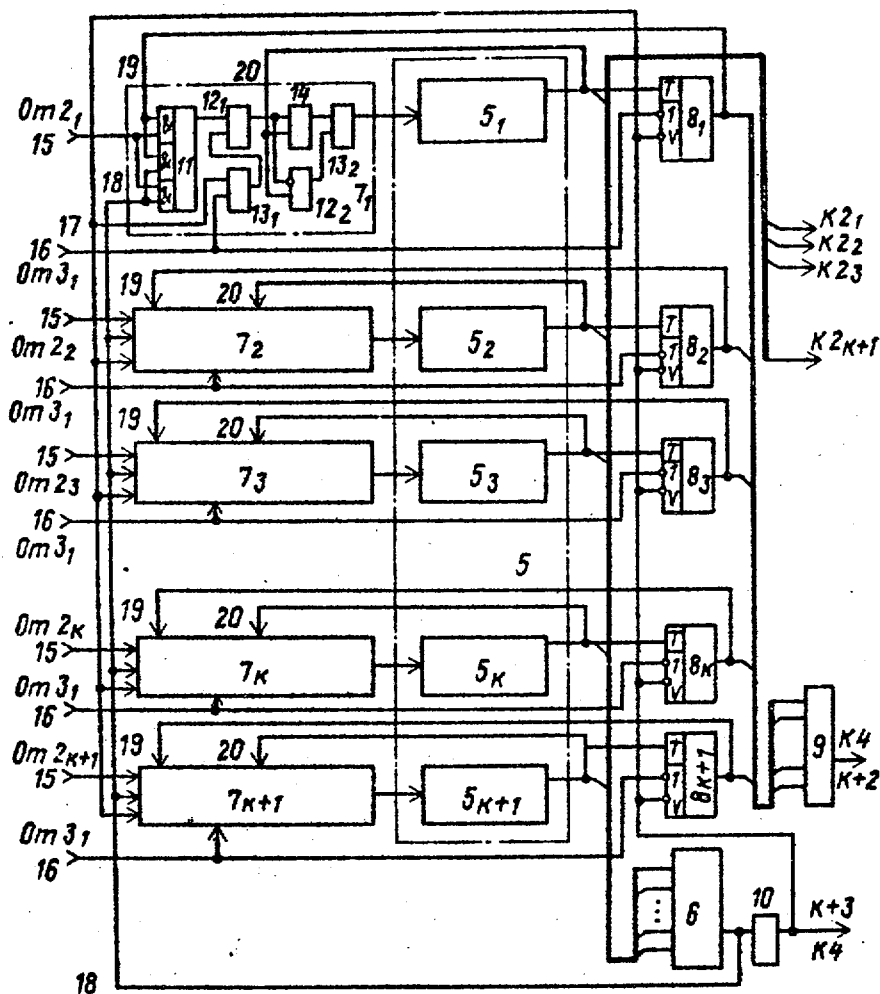
держающее блоки памяти и блок обнаружения некорректируемой ошибки, выход которого является контрольным выходом устройства, о т л и ч а ю щ е е с я тем, что, с целью повышения надежности устройства, в него введены блоки свертки по модулю два и триггеры, причем информационные выходы каждого блока памяти подключены к входам соответствующих блоков свертки по модулю два, выход каждого из которых соединен с соответствующими информационными входами блоков памяти и входом соответствующего триггера, выход которого подключен к входам обращения одноименного блока памяти и соответствующему входу первой группы блока обнаружения некорректируемой ошибки, входы второй и третьей групп которого соединены соответственно с первыми и вторыми контрольными выходами блоков памяти.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что каждый блок памяти содержит регистры сдвига, блок свертки по модулю два, триггер, счетные триггеры, элемент ИЛИ и блоки коррекции, первые и вторые входы которых являются соответственно информационными входами и входами обращения блока памяти, а выходы соединены с входами регистров сдвига, причем третьи входы блоков коррекции и первые управляющие входы счетных триггеров подключены к выходу триггера, единичный вход которого соединен с выходом блока свертки по модулю два и четвертыми входами блоков коррекции, пятый вход каждого из которых подключен к выходу соответствующего счетного триггера и соответствующему входу элемента ИЛИ, выход каждого регистра сдвига соединен с входом блока свертки по модулю два, шестым входом соответствующего блока коррекции и счетным входом соответствующего счетного триггера, второй управляющий вход которого подключен к второму входу соответствующего блока коррекции, выходы регистров сдвига являются информационными выходами блока памяти, первым и вторым контрольными выходами которого являются выход элемента ИЛИ и выход триггера.

3. Устройство по пп. 1 и 2, о т л и ч а ю щ е е с я тем, что каждый блок коррекции содержит элемен-

ты И, элементы ИЛИ, сумматор по модулю два и элемент 2И-3ИЛИ, выход которого соединен с входом первого элемента И, второй вход которого подключен к выходу первого элемента ИЛИ, а выход - к инверсному входу второго элемента И и первому входу сумматора по модулю два, выход которого соединен с первым входом второго элемента ИЛИ, второй вход которого подключен к выходу второго элемента И, а выход является выходом блока, первым

входом которого являются второй и пятый входы элемента 2И-3ИЛИ, причем входы первого элемента ИЛИ являются вторым и третьим входами блока, четвертым входом которого являются четвертый и шестой входы элемента 2И-3ИЛИ, первый и третий входы которого являются пятым входом блока, шестым входом которого являются второй вход сумматора по модулю два и прямой вход второго элемента И.



Фиг. 2

Составитель Г. Зайцева

Редактор Н. Киштулинец

Техред Л. Сердюкова

Корректор М. Шароши

Заказ 1156/53

Тираж 590

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4