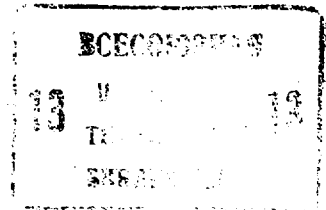




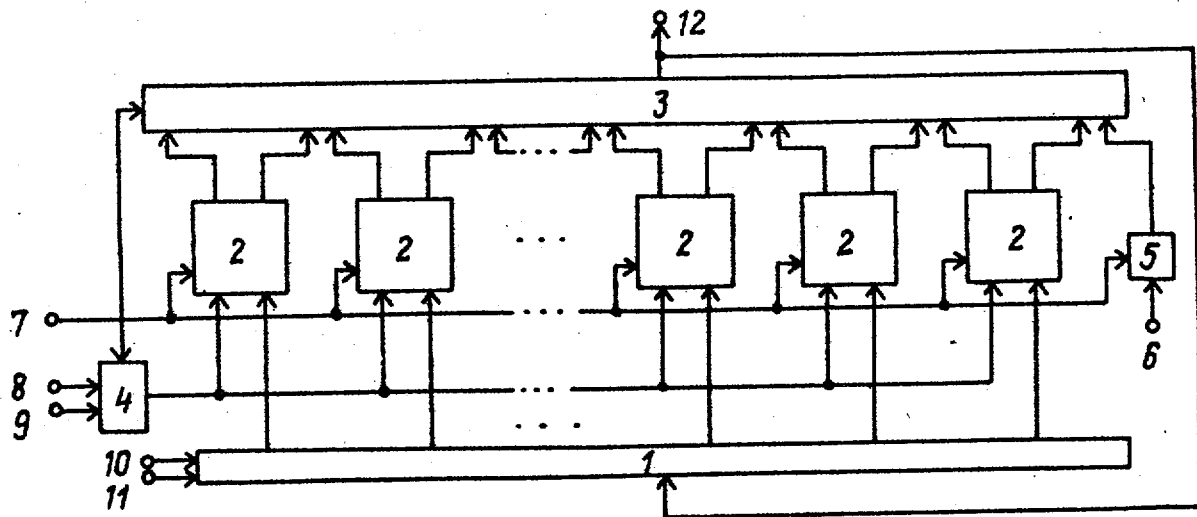
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ



ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3967461/24-24
- (22) 15.08.85
- (46) 30.03.87. Бюл. № 12
- (71) Минский радиотехнический институт
- (72) А.А.Шостак
- (53) 681.325 (088.8)
- (56) Авторское свидетельство СССР № 773616, кл. Н 03 М 7/12, 1979.
Красноголовый Б.Н., Шпидевой Б.Н.
Преобразователи кодов. Минск, 1983, с. 105, рис. 3.21.
- (54) УСТРОЙСТВО ДЛЯ ПРЕОБРАЗОВАНИЯ ДВОИЧНО-ДЕСЯТИЧНОГО КОДА В ДВОИЧНЫЙ
- (57) Предлагаемое устройство относится к области вычислительной техники

и может быть применено для быстрого преобразования двоично-десятичного кода в двоичный и обратно. Особенно целесообразно его использование в процессорах, располагающих средствами быстрого умножения двоичных и десятичных чисел. Цель изобретения - расширение класса решаемых задач за счет возможности обратного преобразования, что достигается введением в устройство, содержащее блоки 2 умножения и сумматор 3, регистра 1 хранения промежуточных результатов, коммутатора 4 и блока 5 промежуточного преобразования с соответствующими связями. 2 ил., 1 табл.



Фиг. 1

(19) **SU** (11) **1300641** **A1**

Изобретение относится к вычислительной технике и может быть применено для быстрого преобразования двоично-десятичного кода в двоичный и обратно, особенно целесообразно его использование в процессорах, располагающих средствами быстрого умножения двоичных и десятичных чисел.

Цель изобретения - расширение класса решаемых задач за счет возможности обратного преобразования.

На фиг.1 приведена структурная схема предложенного устройства; на фиг.2 - один из вариантов реализации блока 5.

Устройство содержит регистр 1 хранения промежуточных результатов, блок 2 умножения, сумматор 3, коммутатор 4, блок 5 промежуточного преобразования, информационный вход 6 устройства, вход 7 задания режима устройства, первый 8 и второй 9 входы задания констант устройства, вход 10 установки и вход 11 разрешения записи устройства, выход 12 устройства.

Регистр 1 предназначен для временного хранения (в течение одного такта работы устройства) значений промежуточных результатов преобразования. Его разрядность зависит от разрядности преобразуемых чисел. Он может быть реализован на двухтактных синхронных D-триггерах с установочными входами, например, на ИС 500 TM 131.

Блоки 2 умножения комбинационного типа и предназначены для перемножения малоразрядных сомножителей. В зависимости от сигнала на их входе настройки они осуществляют либо двоичное умножение, либо десятичное. В общем случае эти блоки могут иметь самую разную конфигурацию. Однако в дальнейшем предполагается, что каждый блок 2 выполняет умножение K-разрядных десятичных сомножителей или 4K-двоичных разрядных сомножителей, где $K = 2, 3, 4, \dots$. Блоки умножения обеспечивают достаточно высокую скорость обработки информации.

Сумматор 3 предназначен для быстрого суммирования с учетом весов разрядов произведений, образованных на выходах блоков 2 умножения. Это сумматор двухвходовой и комбинационного типа. К первой группе его

входов подключены выходы значений младших разрядов произведений блоков 2 умножения (на фиг.3 эти выходы блоков 2 показаны справа), а ко второй группе подключены выходы значений старших разрядов произведений. Входы младших разрядов второй группы сумматора 3 соединены с выходами блока 5 преобразования. В зависимости от значения сигнала на входе настройки сумматора 3 он осуществляет либо десятичное, либо двоичное суммирование.

Коммутатор 4 предназначен для подачи на входы второй группы блоков 2 умножения значения одной из констант. В режиме преобразования двоично-десятичного кода в двоичный на выходы коммутатора 4 с входа 8 первой константы устройства поступает значение двоичного кода величины 10^P , где $P = 2, 3, 4, \dots$ - число одновременно обрабатываемых десятичных цифр исходного операнда. В режиме же преобразования двоичного кода в двоично-десятичный на входы коммутатора 4 с входа 9 второй константы устройства подается значение двоично-десятичного кода величины 2^l , где $l = 4, 5, 6, \dots$ - число одновременно обрабатываемых двоичных цифр исходного операнда. Число одновременно обрабатываемых цифр, например двоичного операнда, может быть и меньше, чем четыре. Однако, в этом случае отпадает надобность применения в устройстве блока 5 преобразования. Коммутатор 4 может быть реализован на логических элементах типа 2И - 2ИЛИ, например, на ИС 5С0ЛС118.

Блок 5 комбинационного типа и предназначен для преобразования P цифр двоично-десятичного кода в двоичный (режим преобразования двоично-десятичного кода в двоичный) или l цифр, двоичного кода в двоично-десятичный код (режим преобразования двоичного кода в двоично-десятичный). Он может быть выполнен в виде композиции двух узлов: узла преобразования двоично-десятичного кода в двоичный код и узла преобразования двоичного кода в двоично-десятичный, выходы которых подключены к двум группам информационных входов коммутатора, управляющий вход которого соединен с входом 7 задания режима устройства. Каждый из узлов может

быть реализован любым из известных методов. На фиг.2 в качестве примера показан вариант реализации блока 5 преобразования на ПЗУ для случая, когда в каждом такте работы устройства преобразуются две цифры десятичного операнда и шесть цифр двоичного операнда, т.е. когда $P = 2$ и $l = 6$. В качестве ПЗУ применены ИС 500PE149 емкостью 256×4 . В режиме преобразования двоично-десятичного кода в двоичный с разрешения сигнала на входе 7 устройства выбирается информация из ПЗУ $13_1, 13_2$, а в случае обратного преобразования - из ПЗУ $13_2, 13_4$. Выходу ПЗУ $13_1, 13_2$ и $13_3, 13_4$ объединены "монтажным ИЛИ". В табл. 1 приведен порядок записи информации в ПЗУ $13_1, 13_3$, а в табл.2 - порядок записи информации в ПЗУ 13_2 и 13_4 .

Работу устройства рассмотрим в двух режимах.

Преобразование двоично-десятичного кода в двоичный. В исходном состоянии на вход 7 задания режима устройства подан управляющий потенциал, который на протяжении всего процесса преобразования настраивает блоки 2 на умножение двоичных чисел, сумматор 3 - на сложение двоичных чисел, коммутатор 4 - на пропуск с входа 8 первой константы двоичного кода величины 10^0 , а блок 5 - на преобразование P десятичных цифр исходного операнда в двоичный код.

В первом такте работы устройства одновременно с записью исходного десятичного операнда в приемный регистр (этот регистр на фиг.1 не показан, а значение его старших P разрядов подается на вход 6 устройства) осуществляется установка регистра 1 в ноль путем подачи импульса на первый управляющий вход 10 устройства. На этом первый такт работы устройства заканчивается.

Во втором такте с помощью блоков 2 и сумматора 3 формируется произведение содержимого регистра 1 (в этом такте содержимое регистра 1 равно нулю) на значение первой константы и подсуммирование к младшим разрядам получившегося при этом произведения двоичного кода P самых старших десятичных цифр исходного операнда (этот код образуется на выходах блока 5). Сформированный на выходах сумматора 3 результат запи-

сывается в регистр 1 с разрешения сигнала на входе 11 устройства. На этом второй такт заканчивается. Фактически в течение этого такта осуществляется формирование с помощью блока 5 двоичного кода P самых старших цифр исходного десятичного операнда и запись его в младшие разряды регистра 1.

В третьем такте, так же как и в предыдущем, осуществляется умножение содержимого регистра 1 на значение первой константы и подсуммирование к младшим разрядам получившегося при этом произведения двоичного кода P следующих десятичных цифр исходного операнда. Сформированный на выходах сумматора 3 результат записывается в регистр 1 с разрешения сигнала на входе 11 устройства.

Так продолжается до тех пор, пока не будет преобразованы все m десятичных цифр исходного операнда. Окончательный результат формируется на выходах сумматора 3 и поступает на выход 12 устройства. Собственно преобразование в устройстве выполняется за m/r тактов.

В предлагаемом устройстве преобразование организовано фактически по схеме Горнера. Пусть исходный десятичный операнд $X = 73521019$, а $P = 2$. Тогда нахождение его двоичного кода сведется к вычислению в предлагаемом устройстве по правилам двоичной арифметики следующего выражения:

$$((1001001 \cdot 1100100 + 110100) \cdot 1100100 + 1010) \cdot 1100100 + 10011.$$

Преобразование двоичного кода в двоично-десятичный. В исходном состоянии на вход 7 задания режима устройства подан управляющий потенциал, который на протяжении всего процесса преобразования настраивает блоки 2 на умножение десятичных чисел, сумматор 3 - на сложение десятичных чисел, коммутатор 4 - на пропуск с входа 9 второй константы двоично-десятичного кода величины $2l$, а блок 5 - на преобразование l двоичных цифр исходного операнда в двоично-десятичный код.

Далее устройство работает аналогично, как при рассмотрении преобразования двоично-десятичного кода в двоичный. Собственно преобразование n -разрядного двоичного операнда вы-

полняется в предлагаемом устройстве за $n/1$ тактов.

Пусть исходный двоичный операнд $Y = \text{IIIIIIII00000IIII 100001}$, а $l=6$. Тогда нахождение его двоично-десятичного кода сведется к вычислению в предлагаемом устройстве по правилам десятичной арифметики следующего выражения:

$$((63 \cdot 64 + 56) \cdot 64 + 15) \cdot 64 + 33$$

Ф о р м у л а и з о б р е т е н и я

Устройство для преобразования двоично-десятичного кода в двоичный, содержащее блоки умножения и сумматор, выходы которого являются выходом устройства, отличается от того, что, с целью расширения класса решаемых задач за счет обеспечения возможности обратного преобразования, в него введены регистр хранения промежуточных результатов, коммутатор и блок промежуточного преобразования, причем входы первого и второго операндов блоков умножения соединены

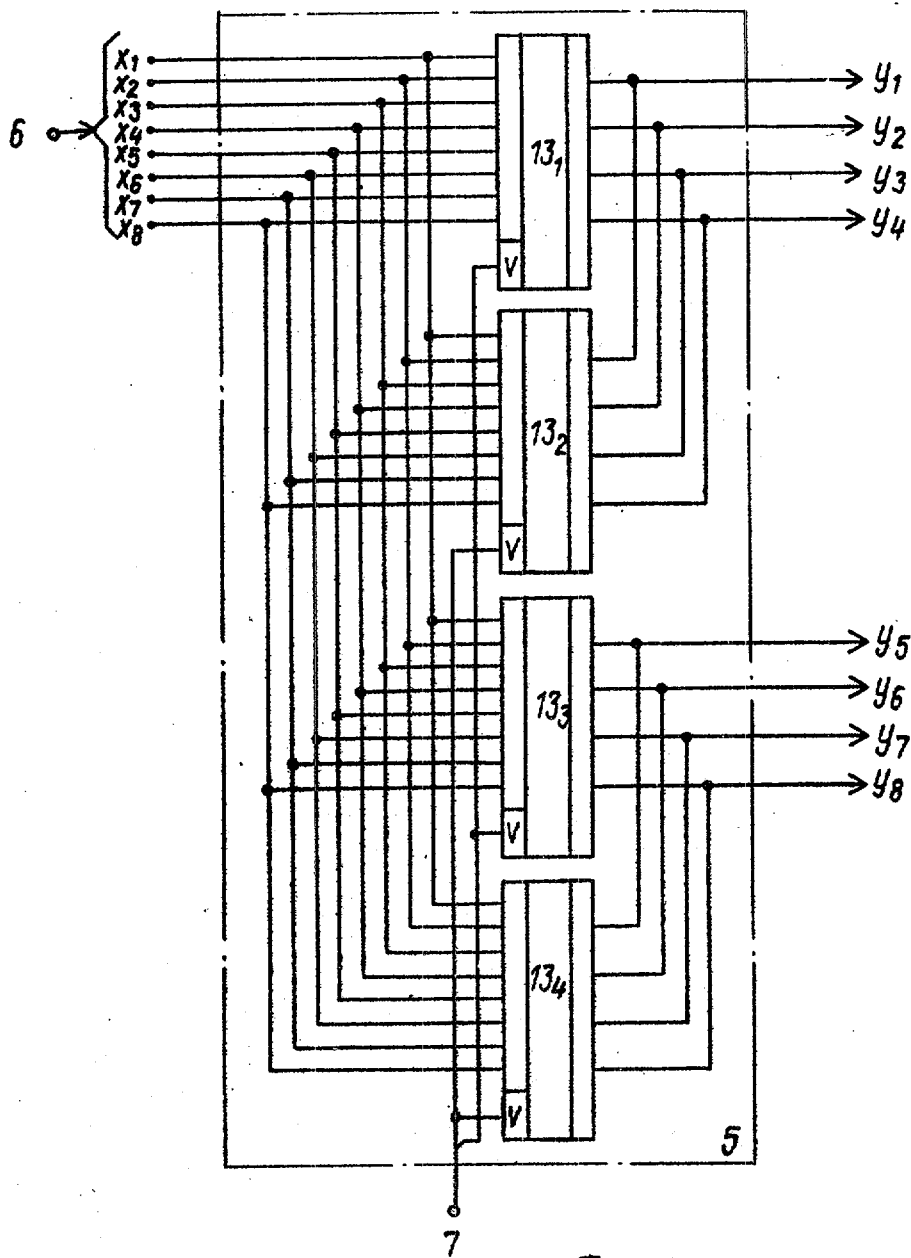
соответственно с выходами разрядов регистра хранения промежуточных результатов и выходом коммутатора, выходы первой и второй групп блоков умножения соединены с равновесными разрядными входами сумматора, выходы которого соединены с информационными входами регистра хранения промежуточных результатов, входы установки и разрешения записи которого подключены к одноименным входам устройства соответственно, первый и второй информационные входы коммутатора соединены с входами задания первой и второй констант устройства соответственно, вход задания режима устройства подключен к управляющему входу коммутатора и входам настройки сумматора, блоков умножения и блока промежуточного преобразования, вход блока промежуточного преобразования соединен с информационным входом устройства, а его выход подключен к равновесным входам младших разрядов сумматора.

Т а б л и ц а 1

Двоично-десятичный код								Двоичный код							
X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
.
0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1
0	0	0	1	0	0	0	0	0	0	0	0	1	0	1	0
0	0	0	1	0	0	0	1	0	0	0	0	1	0	1	1
0	0	0	1	0	0	1	0	0	0	0	0	1	1	0	0
.
1	0	0	1	0	1	1	0	0	1	1	0	0	0	0	0
1	0	0	1	0	1	1	1	0	1	1	0	0	0	0	1
1	0	0	1	1	0	0	0	0	1	1	0	0	0	1	0
1	0	0	1	1	0	0	1	0	1	1	0	0	0	1	1

Т а б л и ц а 2

Двоичный код								Двоично-десятичный код							
X ₁	X ₂	X ₃	X ₄	X ₅	X ₆	X ₇	X ₈	Y ₁	Y ₂	Y ₃	Y ₄	Y ₅	Y ₆	Y ₇	Y ₈
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	1
0	0	0	0	0	0	1	0	0	0	0	0	0	0	1	0
0	0	0	0	0	0	1	1	0	0	0	0	0	0	1	1
.
0	0	0	0	1	0	0	1	0	0	0	0	1	0	0	1
0	0	0	0	1	0	1	0	0	0	0	1	0	0	0	0
0	0	0	0	1	0	1	1	0	0	0	1	0	0	0	1
0	0	0	0	1	1	0	0	0	0	0	1	0	0	1	0
.
0	0	1	1	1	1	0	0	0	1	1	0	0	0	0	0
0	0	1	1	1	1	0	1	0	1	1	0	0	0	0	1
0	0	1	1	1	1	1	0	0	1	1	0	0	0	1	0
0	0	1	1	1	1	1	1	0	1	1	0	0	0	1	1



Фиг. 2

Редактор И.Сегляник Составитель А.Шостак Корректор Г.Решетник
 Техред А.Кравчук

Заказ 1160/56

Тираж 902

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4