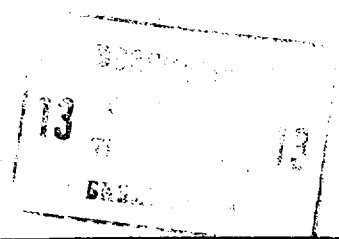




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

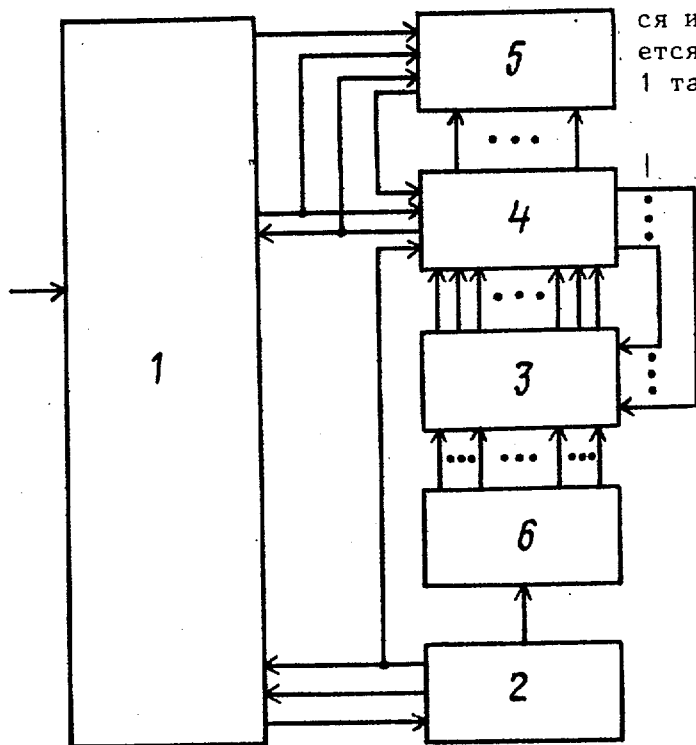
ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3898290/24-24
(22) 21.05.85
(46) 23.04.87. Бюл. № 15
(71) Минский радиотехнический инсти-
тут
(72) И.Н. Гальцов, А.М. Гринкевич,
Е.С. Рогальский и А.М. Суходольский
(53) 681.3(088.8)
(56) Авторское свидетельство СССР
№ 1024924, кл. G 06 F 11/16, 1983.
Авторское свидетельство СССР
№ 1188740, 13.11.84.

(54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ЛОГИЧЕС-
КИХ БЛОКОВ

(57) Изобретение относится к вычисли-
тельной технике и может быть исполь-
зовано для контроля микросхем сред-
ней и большой степени интеграции. Цель
изобретения - повышение производи-
тельности контроля. Устройство содер-
жит блок 1 управления, генератор 2
тестов, коммутатор 3, анализатор 5
сигнатур и мажоритарный блок 4, конт-
ролируемые логические блоки 6. В про-
цессе контроля партии из однотипных
блоков выявленные бракованные логи-
ческие блоки автоматически исключают-
ся из процесса контроля, и не требу-
ется повторного контроля. 7 ил.,
1 табл.



Фиг.1

Изобретение относится к вычислительной технике и может быть использовано для контроля логических микросхем средней и большой степени интеграции.

Цель изобретения - повышение производительности контроля.

На фиг. 1 показана схема устройства; на фиг. 2 - блок управления; на фиг. 3 - генератор тестов; на фиг. 4 - коммутатор; на фиг. 5 - схема реализации коммутатора; на фиг. 6 - схема мажоритарного блока; на фиг. 7 - схема анализатора сигнатур.

Устройство содержит блок 1 управления, генератор 2 тестов, коммутатор 3, мажоритарный блок 4, анализатор 5 сигнатур, контролируемые логические блоки 6.

Блок управления содержит элементы ИЛИ 7 и 8, триггеры 9 - 11, генератор 12 синхроимпульсов, элемент НЕ 13, элементы И 14 и 15, вход 16 пуска, вход 17 разрешения, вход 18 начала контроля, вход 19 конца контроля, синхровыход 20, выход 21 задания режима работы, выход 22 блокировки.

Генератор тестов содержит узел 23 считывания, узел 24 памяти, буферный регистр 25, узел 26 контроля по четности и элемент И 27, выходы генератора 28.

Коммутатор представляет собой комбинационную схему, имеющую N.M информационных входов 29.1.1-29.1.N, 29.M.1-29.M.N (N - число контролируемых выходов одного логического блока (N=1-16), M - количество контролируемых логических блоков в партии), M адресных входов 30.1-30.M, группу выходов коммутатора 31.1.1-31.1.3 - 31.N.1-31.N.3.

Коммутатор содержит элементы НЕ 32, элементы И 33 - 37, элементы РАВНОЗНАЧНОСТЬ 38, элементы ИЛИ 39 - 41, выходы 42 - 49 внутренних ярусов коммутатора.

Мажоритарный блок содержит шифратор 50, дешифратор 51, счетчик 52, группу триггеров 53, узел 54 индикации, выходы 55 узла индикации, вход 56 разрешения, группы входов 57 и 58 шифратора.

Анализатор сигнатур содержит распределитель 59 импульсов, регистр 60 с сумматорами по модулю два, регистр 61 памяти, узел 62 сравнения, узел 63 памяти.

При подаче разрешающего уровня на вход 16 триггеры 9 и 10 устанавливаются в единичное состояние. При этом происходит запуск генератора 12, а через открытый элемент И 14 синхроимпульсы поступают на вход 20 к генератору 2.

При поступлении разрешающего уровня по входу 18 от генератора 2 тестов триггер 11 формирует сигнал высокого уровня на выходе 22. Одновременно триггер 10 устанавливается в нулевое состояние, запрещая тем самым прохождение синхроимпульсов с выхода генератора 12 через открытый элемент И 14 и разрешая прохождение импульсов через элемент И 15 на вход 21 к блоку 4 и анализатору 5.

При поступлении разрешающего уровня по входу 17 от блока 4 триггер 10 устанавливается в единичное состояние, закрывая элемент И 15 и открывая элемент И 14 для пропуска синхроимпульсов на вход 20 к генератору 2.

При поступлении сигнала "Канал контроля" на вход 19 триггер 9 блокирует работу генератора 12, а триггеры 10 и 11 обнуляются, и на выходе 22 формируется блокирующий сигнал низкого уровня.

При поступлении синхроимпульса на вход 20 узел 23 формирует адрес узла 24 памяти и сигнал записи в буферный регистр 25. С шины 24 параллельный код переписывается в регистр 25 по команде записи.

Узел 26 контроля по четности формирует разрешающий уровень при совпадении выходов узла 24 памяти и регистра 25. При несовпадении выходов узел 26 контроля по четности формирует запрещающий уровень, узел 23 блокируется на текущем адресе и по следующему синхроимпульсу по входу 20 производится повторная запись в регистр 25. Этим же уровнем блокируется формирование разрешающего уровня на выходе 18 элемента И 27.

Разрядность используемой двойной комбинации на выходной шине зависит от количества входов контролируемых логических блоков 6. Два старших разряда выходной шины узла 24 выполняют следующие функции. При считывании последней тестовой комбинации появление уровня логического нуля в предпоследнем разряде соответствует выдаче ко-

манды "Конец контроля" на выходе 19. Уровень логического нуля в старшем разряде выходной шины узла 24 блокирует формирование разрешающего уровня на выходе 19. Это необходимо для

организации начальных установок для блоков 6.

Функционирование коммутатора 3 описывается следующими уравнениями алгебры логики:

$$31.i.1 = 29.i.1 \wedge 30.1 \vee (29.i.j \wedge 30.j \wedge \overline{30.k}), \quad i=1..N; \quad (1)$$

$$31.i.2 = \bigvee_{j=2}^{N-1} [29.i.j \wedge 30.j \wedge (\bigoplus_{k=2}^j 30.(k-1))], \quad i=1..N; \quad (2)$$

$$31.i.3 = \bigvee_{j=3}^N [29.i.j \wedge 30.j \wedge \overline{30.(k+1)}], \quad i=1..N. \quad (3)$$

Коммутатор 3 в соответствии с поступающими на группу его адресных входов 30.1-30.М кодовыми комбинациями производит подключение выходов определенных логических блоков 6 к своим трем группам выходов. Кодовые комбинации, поступающие на группу адресных входов 30.1-30.М, могут содержать либо все нули (тогда на выходах 31.1.1-31.Н.3 - все нули), либо три единицы (в этом случае к выходам 31.1.1-31.Н.3 подключены выходы трех контролируемых блоков.

Коммутация выходов контролируемых блоков происходит следующим образом.

Разрешенные кодовые комбинации могут содержать либо все нули, либо три единицы.

Пусть уровень логической единицы присутствует на втором, пятом и седьмом адресных входах коммутатора 3, тогда первый выход второго контролируемого блока подключен к выходу 31.1.1 коммутатора 3, второй выход этого же блока - к выходу 31.2.1 и т.д., N-ый выход второго контролируемого блока подключен к выходу 31.Н.1.

Аналогично выходы пятого контролируемого блока подключены к выходам 31.1.2-31.Н.2 коммутатора 3, а выходы седьмого контролируемого блока - к выходам 3.1.3-31.Н.3.

Синтез коммутатора 3 производится на основании уравнений 1 - 3.

К примеру, если партия состоит из шести блоков (M=6), у каждого блока по одному выходу (N=1), тогда

$$31.1.1 = (29.1.1 \wedge 30.1) \vee (29.2.1 \wedge 30.2 \wedge \overline{30.1}) \vee (29.3.1 \wedge 30.3 \wedge \overline{30.1} \wedge \overline{30.2}) \vee (29.4.1 \wedge 30.4 \wedge \overline{30.1} \wedge \overline{30.2} \wedge \overline{30.3}); \quad (4)$$

$$31.1.2 = (29.2 \wedge 30.2 \wedge 30.1) \vee [29.3.1 \wedge \overline{30.3} \wedge (30.1 \oplus 30.2)] \vee [29.4 \wedge$$

$$\overline{30.4} \wedge (30.1 \oplus 30.2 \oplus 30.3)] \vee [29.5.1 \wedge 30.5 \wedge (30.1 \oplus 30.2 \oplus 30.3 \oplus 30.4)]; \quad (5)$$

$$31.1.3 = (29.3.1 \wedge 30.3 \wedge \overline{30.4} \wedge \overline{30.5} \wedge \overline{30.6}) \vee (29.4.1 \wedge 30.4 \wedge \overline{30.5} \wedge \overline{30.6}) \vee (29.5.1 \wedge 30.5 \wedge \overline{30.6}) \vee (29.6.1 \wedge 30.6). \quad (6)$$

Шифратор 50 осуществляет мажорирование (выбор по большинству).

При этом на выходах 58 формируется информация, присутствующая на большинстве его соответствующих входах 31. На выходах 57 шифратора 50 появляются сигналы при наличии расхождений в информации, поступающей от контролируемых логических блоков 6. Формирование сигналов 57 и 58 происходит по следующим законам:

$$57.j = [(31.1.1) \wedge (31.1.2) \wedge (31.1.3) \vee \overline{(31.1.1) \wedge (31.1.2) \wedge (31.1.3)}] \vee \dots \vee [(31.i.1) \wedge (31.i.2) \wedge (31.i.3) \vee \overline{(31.i.1) \wedge (31.i.2) \wedge (31.i.3)}] \vee \dots \vee [(31.N.1) \wedge (31.N.2) \wedge (31.N.3) \vee \overline{(31.N.1) \wedge (31.N.2) \wedge (31.N.3)}], \quad j = 1, 2, 3; \quad (7)$$

$$58.i = (\overline{31.i.1} \wedge 31.i.2 \wedge 31.i.3) \vee (31.i.1 \wedge \overline{31.i.2} \wedge 31.i.3) \vee (31.i.1 \wedge 31.i.2 \wedge \overline{31.i.3}) \vee (31.i.1 \wedge 31.i.2 \wedge 31.i.3), \quad i = 1..N. \quad (8)$$

Перед началом процедуры контроля все триггеры 53 обнулены и на M информационных входов счетчика 52 присутствует уровень логического нуля. Счетчик 52 также обнулен.

С приходом первого синхриопульса на вход 21 блока 4 на первых трех разрядных выходах счетчика 52 появляются уровни логической единицы, обеспечивающие организацию контроля первых трех логических блоков из партии

первой тестовой комбинации. По второму синхроимпульсу на входе 21 логическая единица присутствует на четвертом, пятом и шестом разрядных выходах счетчика, обеспечивая тем самым контроль логических блоков 4 - 6 в партии по тестовой комбинации. Аналогично производится контроль всех M узлов. Коэффициент пересчета счетчика 52 равен $M/3$. Следует отметить, что число контролируемых блоков M не обязательно должно быть кратно трем. В этом случае коэффициент пересчета счетчика 52 округляется до ближайшего целого в большую сторону, а контроль остающегося одного (в данном случае M -го) или двух ($(M-1)$ -го и M -го) блока производится соответственно с двумя или с одним наиболее близким к началу партии годным логическим блоком. Так, если $M=31$, а при контроле первой тестовой комбинации ни один из первых 31 логических блоков не оказывается бракованным, то при поступлении на вход 21 одиннадцатого синхроимпульса уровни логической единицы устанавливаются на M -м, первом и втором разрядных выходах счетчика 52. Уровень логической единицы на M -м выходе счетчика 52 указывает, что все логические блоки в партии прошли контроль по текущей тестовой комбинации. При этом очередной импульс на входе 21 устанавливает счетчик 52 в нулевое состояние, а на его выходе заема появляется импульс, который "означает", что счетчик 52 готов к организации контроля блоков 6 по следующей тестовой комбинации.

Если отдельные блоки бракованы, соответствующие триггеры 53 устанавливаются в единичное состояние, что приводит к появлению на соответствующих установочных входах счетчика 52 уровней логической единицы. Тем самым логические блоки, признанные бракованными, из дальнейшего контроля исключаются, т.е. на всех последующих тестовых комбинациях на выходах счетчика 52, соответствующих бракованному блоку, уровень логической единицы формироваться не будет.

Так, если при контроле по первой тестовой комбинации второй и пятый логические блоки оказываются бракованными, то при контроле по второй тестовой комбинации счетчик 52 орга-

низует разбиение блоков 6 на триоды следующим образом: (1,3,4); (6,7,8) и т.д.

Контроль идет либо до полной проверки всех блоков по всем тестам, либо до того момента, когда остается не более двух годных логических блоков. В обоих случаях счетчик 52 устанавливается в нулевое состояние, и при каждом импульсе по входу 21 формируется импульс на выходе 17 блока 4 до тех пор, пока на него не поступит импульс с входа 19.

Дешифратор 51 представляет собой комбинационную схему. На одну из групп входов поступают номера трех логических блоков, подвергающихся контролю в данный момент. Дешифратор 51 в зависимости от состояния на входах 57.1, 57.2, 57.3 и 56 признает все логические узлы годными либо указывает на брак одного или нескольких блоков.

Процедура функционирования дешифратора 51 в случае контроля второго, пятого и седьмого блоков в партии, что соответствует логической единице на втором, пятом и седьмом выходах счетчика 52, представлена в табл.1.

Единицы в графах состояния выходов дешифратора 51 означают брак соответствующих блоков. Состояние всех остальных выходов (кроме второго, пятого и седьмого) дешифратора 51 в данном случае имеют уровень логического нуля. Работа дешифратора 51 при контроле любых трех логических блоков аналогична приведенной в таблице. При обнаружении дешифратора 51 бракованных блоков соответствующие триггеры 53 устанавливаются в единичное состояние, фиксируя номера бракованных блоков.

Узел 54 индикации по приходу импульса на вход 21 блока 4 зажигает лампочки "Брак". В конце контроля все триггеры 53 обнуляются по входу 19.

50	Состояние входов дешифратора 51				Состояние выходов дешифратора 51		
	57.1	57.2	57.3	56	2	5	7
55	0	0	0	0	0	0	0
	0	0	1	0	0	0	1

Продолжение таблицы

Состояние входов дешифратора 51				Состояние выходов дешифратора 51		
57.1	57.2	57.3	56	2	5	7
0	1	0	0	0	1	0
0	1	1	0	0	1	1
1	0	0	0	1	0	0
1	0	1	0	1	0	1
1	1	0	0	1	1	0
1	1	1	0	1	1	1
0	0	0	1	1	0	0
0	0	1	1	1	0	1
0	1	0	1	1	1	0
0	1	1	1	1	1	1
1	0	0	1	0	0	0
1	0	1	1	0	0	1
1	1	0	1	0	1	0
1	1	1	1	0	1	1

В анализаторе сигнатур начальная установка производится сигналом высокого уровня на входе 22 и до прихода низкого уровня на вход 22, с каждым синхроимпульсом на входе 21, распределитель 59 формирует импульсы. На входы 58.1-58.N регистра 60 сдвига с элементами сложения по модулю два поступает информация с выходов блока 4. Регистр 60 с элементами сложения по модулю два имеет обратные связи, которые совместно с входами 58.1-58.N соединены с элементами сложения по модулю два. Этот код является сигнатурой, поступающей в регистр 61 для хранения. Перед началом формирования каждой очередной сигнатуры содержимое регистра 60 сдвига обнуляется. Это устраняет влияние предшествующих сигнатур на последующие и препятствует накоплению ошибки при появлении

неправильной сигнатуры. При несовпадении сигнатур формируется команда обмотки на выходе 56.

Устройство работает следующим образом.

При пуске блок 1 формирует синхроимпульсы, поступающие на вход генератора 2, на выходе которого формируется необходимое количество комбинаций, устанавливающих контролируемые блоки в исходное состояние. Затем на выходе генератора 2 появляется разрешающий уровень, и синхроимпульсы поступают в блоки 4 и 5. По каждому синхроимпульсу идет одновременно контроль трех блоков по первому тесту. Подключение выходов к входам шифратора осуществляет коммутатор в соответствии с номерами, задаваемыми счетчиком. При правильном функционировании индикация отсутствует.

Появление неправильной сигнатуры не прерывает процесс контроля, а помогает выявить брак. После прохождения контроля всех блоков по первому тесту счетчик формирует импульс, запрещающий прохождение синхроимпульсов на блок 4 и 5, и разрешает прохождение синхроимпульсов на вход генератора 2 и т.д.

Контроль будет проведен до конца, если количество годных блоков в партии не меньше трех. В противном случае контроль прерывается и горит либо (M-2) лампочки "Брак" (остается два годных блока), или (M-1) лампочки (остается годный один блок), либо M лампочек "Брак" (все остальные блоки признаны бракованными). При этом в первых двух случаях блоки, индикация номеров которых отсутствует (их может быть либо два, либо один) проходят повторный контроль в составе следующей партии.

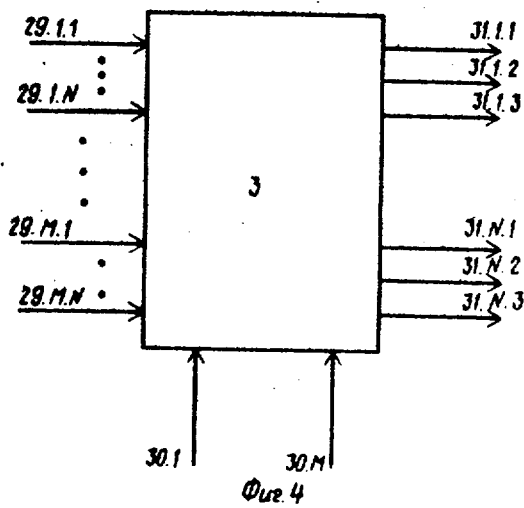
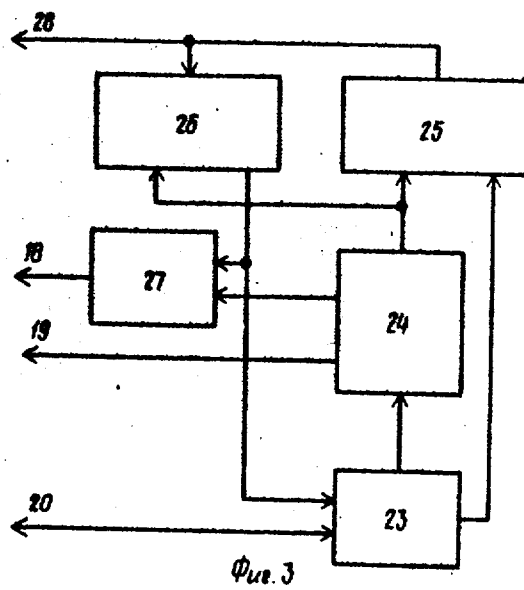
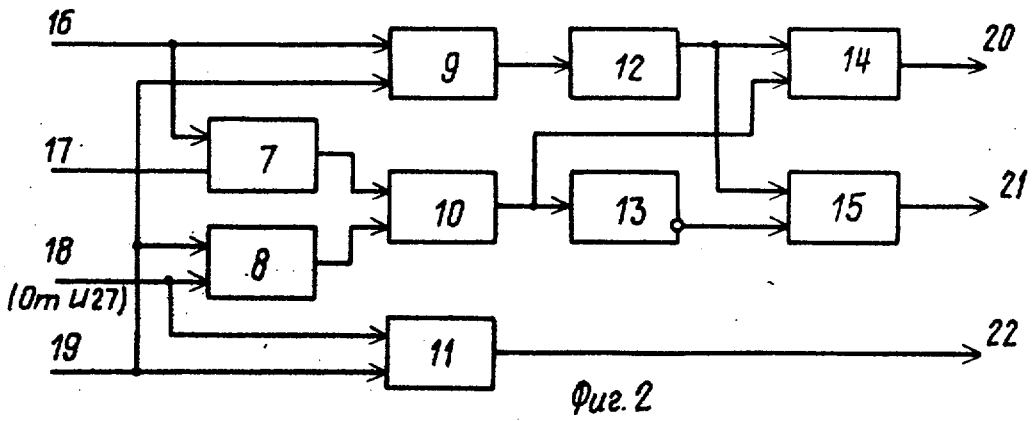
Выявление брака не прерывает процесс контроля.

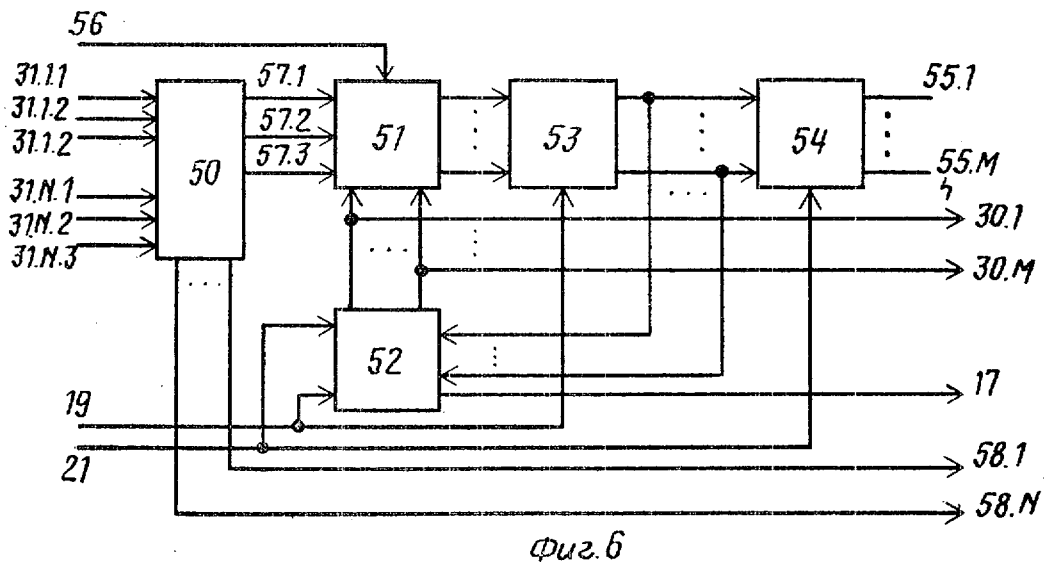
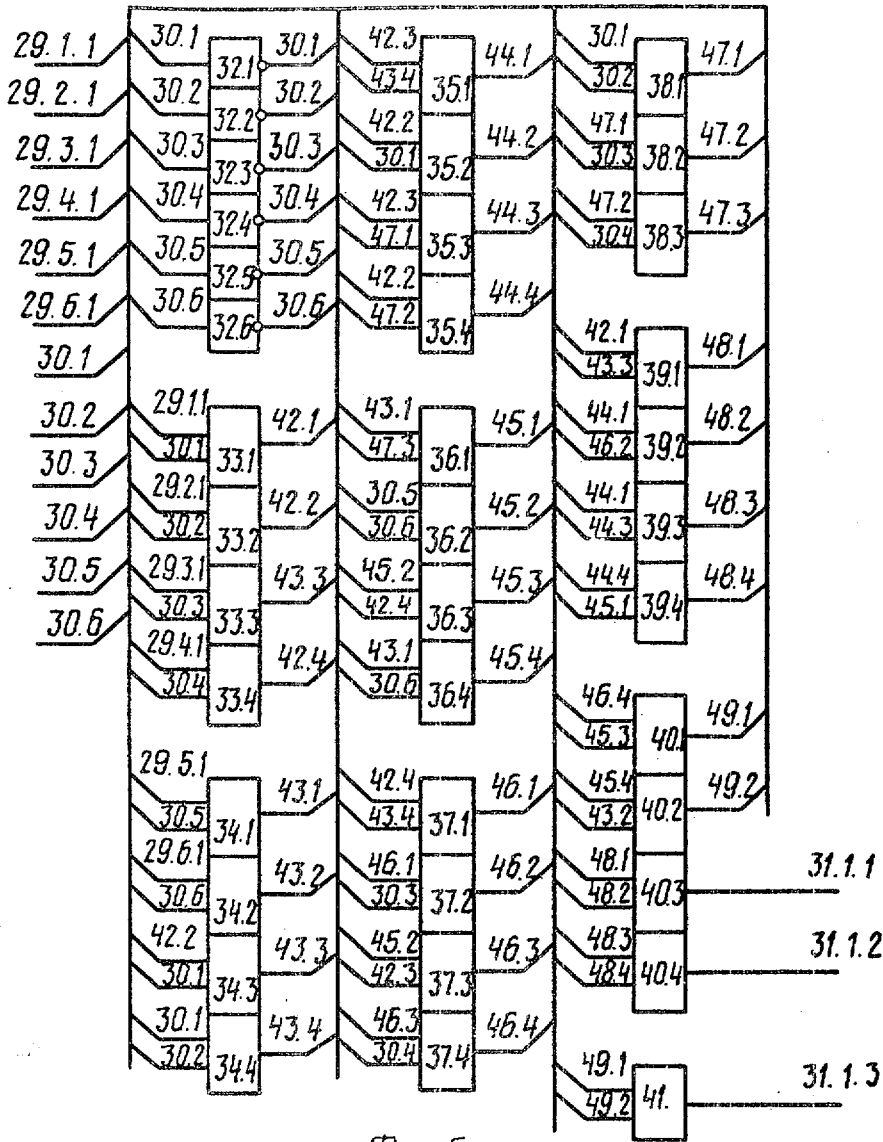
Ф о р м у л а и з о б р е т е н и я

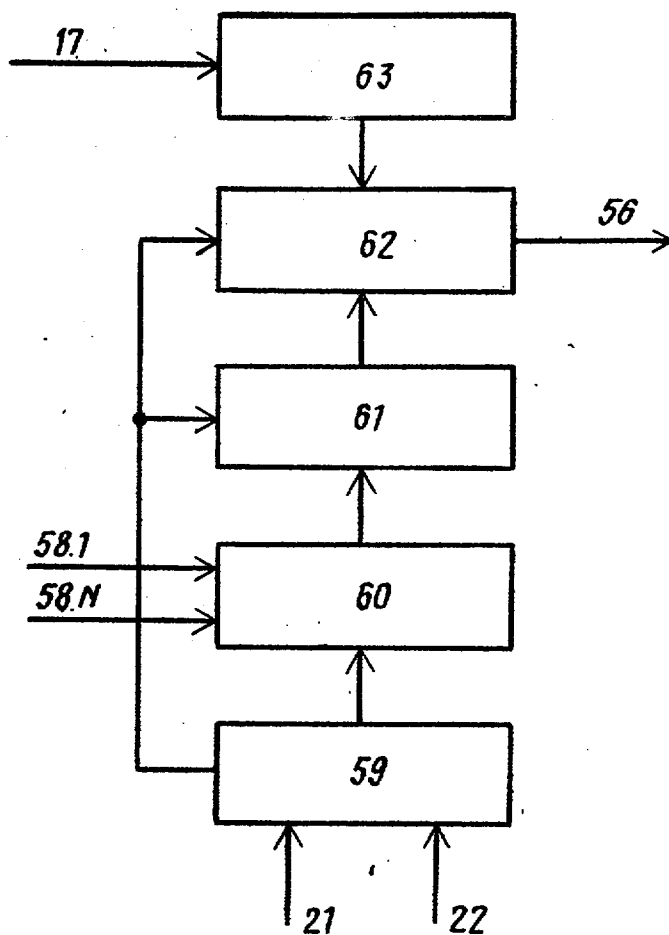
Устройство для контроля логических блоков, содержащее блок управления, анализатор сигнатур, мажоритарный блок, генератор тестов, причем вход пуска устройства соединен с входом пуска блока управления, выход начала работы которого соединен с входом сброса анализатора сигнатур, группа информационных входов которого со-

единена с первой группой выходов мажоритарного блока, вход пуска которого соединен с выходом анализатора сигнатур, вход синхронизации которого соединен с выходом задания режима работы блока управления и с входом синхронизации мажоритарного блока, выходы генератора тестов являются информационными выходами устройства для подключения к информационным входам n контролируемых логических блоков, вход синхронизации генератора тестов соединен с выходом признака синхронизации блока управления, вход начала контроля которого соединен с выходом признака начала контроля генератора тестов, выход признака конца контроля которого соединен с входом блокировки блока управления, при этом блок управления содержит генератор синхроимпульсов, первый и второй триггеры, первый элемент ИЛИ и первый элемент И, а мажоритарный блок содержит дешифратор, причем выход генератора синхроимпульсов соединен с первым входом первого элемента И, выход которого соединен с выходом задания режима работы блока управления, вход пуска которого соединен с входом установки первого триггера, выход которого соединен с входом пуска генератора синхроимпульсов, вход установки второго триггера соединен с входом начала контроля блока управления, выход признака конца контроля которого соединен с выходом второго триггера, вход сброса которого соединен с входом блокировки блока управления, о т л и ч а ю щ е е с я тем, что, с целью повышения производительности контроля, устройство содержит коммутатор, мажоритарный блок содержит счетчик, шифратор, группу триггеров, а блок управления содержит третий триггер, элемент НЕ, второй элемент И и второй элемент ИЛИ, причем n/k групп

информационных входов коммутатора являются n/k ($k \geq 3$) группами информационных входов устройства для подключения к n/k групп выходов контролируемых логических блоков, выходы коммутатора соединены с информационными входами шифратора, группа разрядных выходов счетчика соединена с группой адресных входов коммутатора и с первой группой информационных входов дешифратора, выход признака конца контроля генератора тестов соединен с входом сброса счетчика и входами сброса триггеров группы, выход заема счетчика соединен с вторым входом первого элемента ИЛИ и с входом разрешения анализатора сигнатур, причем вход сброса первого триггера соединен с входом блокировки блока управления и с первым входом второго элемента ИЛИ, выход которого соединен с входом сброса третьего триггера, выход которого соединен с первым входом второго элемента И и через элемент НЕ с вторым входом первого элемента И, второй вход второго элемента И соединен с выходом генератора синхроимпульсов, выход второго элемента И соединен с выходом признака синхронизации блока управления, первый вход первого элемента ИЛИ соединен с входом пуска блока управления, выход первого элемента ИЛИ соединен с входом установки третьего триггера, второй вход второго элемента ИЛИ соединен с входом начала контроля блока управления, вторая группа выходов шифратора соединена с второй группой информационных входов дешифратора, выходы которого соединены с входами установки соответствующих триггеров группы, выходы которых соединены с информационными входами счетчика, вход синхронизации счетчика соединен с синхровходом мажоритарного блока.







Фиг.7

Составитель А. Сиротская

Редактор Г. Гербер

Техред А.Кравчук

Корректор Л. Пилипенко

Заказ 1453/47

Тираж 673

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4