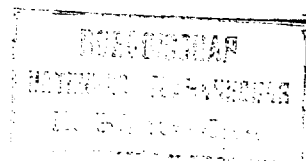




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4161170/24-24
(22) 15.12.86
(46) 07.12.88. Бюл. № 45
(71) Минский радиотехнический институт
(72) А.И.Королев, О.Д.Купеев,
В.А.Овсянников и Э.А.Чуйко
(53) 621.394.14(088.8)
(56) Авторское свидетельство СССР
№ 1185629, кл. Н 03 М 13/00, 1984.

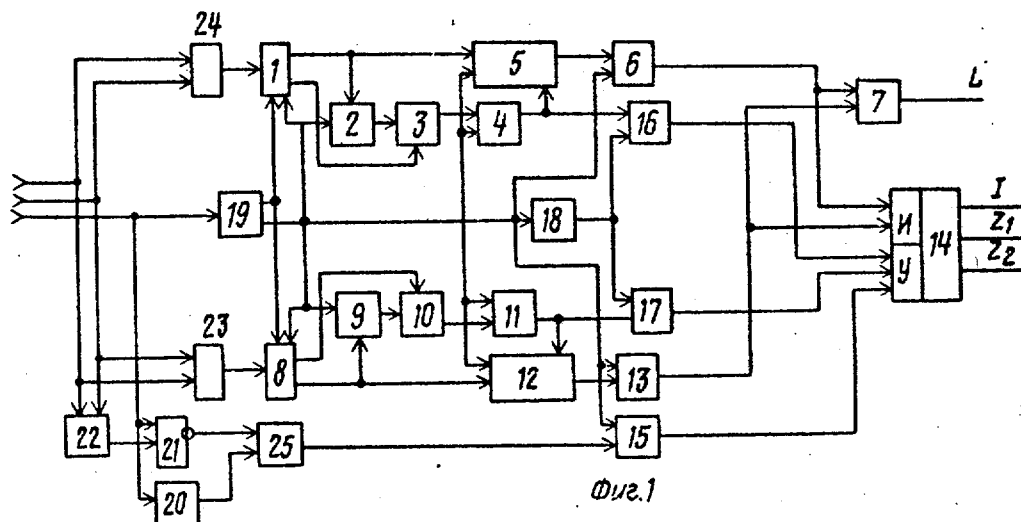
Касама Т. и др. Теория кодирования.
М.: Мир, 1978, с. 236-260, фиг. 5.4.

Авторское свидетельство СССР
№ 1388998, кл. Н 03 М 13/02, 18.04.86.

(54) ПОРОГОВЫЙ ДЕКОДЕР СВЕРТочно-ГО КОДА

(57) Изобретение относится к технике связи и может использоваться в устройствах помехоустойчивого кодирования при передаче двоичной информации.

Изобретение позволяет повысить помехоустойчивость порогового декодера сверточного кода, рассчитанного для коррекции независимых ошибок за счет введения стирания ненадежных кодовых символов, двух каналов декодирования. Пороговый декодер сверточного кода содержит распределители 1 и 8 ветвей, формирователи 2 и 9 проверочной последовательности, формирователи 3 и 10 синдромной последовательности, анализаторы 4 и 11 синдромной последовательности, корректоры 5 и 12 ошибок, регистры 6, 13 и 15 сдвига, сумматоры 7 и 22 по модулю два, коммутатор 14, счетчики 16, 17 и 25 импульсов, формирователи 18 и 20 интервала анализа, блок 19 фазовой автоподстройки частоты, элементы 21 и 24 совпадения, элемент ИЛИ 23. 4 ил.



(19) **SU** (11) **1443180** **A1**

Изобретение относится к технике связи и может использоваться в устройствах помехоустойчивого кодирования при передаче двоичной информации.

Цель изобретения - повышение помехоустойчивости порогового декодера сверточного кода.

На фиг. 1 приведена структурная электрическая схема порогового декодера сверточного кода; на фиг. 2 - область безошибочного декодирования порогового декодера сверточного кода; на фиг. 3 - таблица с корректируемыми и некорректируемыми комбинациями ошибок и стираний; на фиг. 4 - принципиальная электрическая схема формирователя интервала анализа и временные диаграммы, поясняющие принцип работы формирователя интервала анализа.

Пороговый декодер сверточного кода содержит первый распределитель 1 ветвей, первый формирователь 2 проверочной последовательности, первый формирователь 3 синдромной последовательности, первый анализатор 4 синдромной последовательности, первый корректор 5 ошибок, первый регистр 6 сдвига, первый сумматор 7 по модулю два, второй распределитель 8 ветвей, второй формирователь 9 проверочной последовательности, второй 10 формирователь синдромной последовательности, второй анализатор 11 синдромной последовательности, второй корректор 12 ошибок, второй регистр 13 сдвига, коммутатор 14, третий регистр 15, первый и второй счетчики 16 и 17 импульсов, первый формирователь 18 интервала анализа, блок 19 фазовой автоподстройки частоты, второй формирователь 20 интервала анализа, первый элемент 21 совпадения, второй сумматор 22 по модулю два, элемент ИЛИ 23, второй элемент 24 совпадения и третий счетчик 25 импульсов.

Распределитель 1 ветвей предназначен для преобразования входной кодовой последовательности первого канала декодирования из последовательного кода в n_0 выходных параллельных подтоков (в рассматриваемом пороговом декодере $n_0=2$), т.е. разделение кодовой последовательности на поток принятых $1_1(0)$ информационных символов и поток принятых проверочных

$P_{1пр}(0)$ символов. Распределитель 8 ветвей выполняет аналогичную функцию только для второго канала декодирования $1_2(0)$ и $P_{2пр}(0)$, имеет одинаковое функциональное построение полностью взаимозаменяемых.

Формирователь 2 проверочной последовательности предназначен для формирования из принятых $1_1(0)$ информационных символов проверочной последовательности $P_{1сф}(0)$. Функциональная электрическая схема полностью определяется видом порождающего полинома $g(0)=1+g_1(0^1)+g_2(0^2)+\dots+g_m(0^m)$ и представляет собой регистр сдвига либо с вынесенными (схема Возенкрафта-Рейффена), либо с встроенными (схема Месси) сумматорами по модулю два (2).

Формирователь 9 имеет аналогичное построение и принцип работы и предназначен для формирования проверочных символов $P_{2сф}(0)$ из принятых $1_2(0)$ информационных символов второго канала декодирования.

Формирователь 3 синдромной последовательности предназначен для формирования синдромной последовательности $S_1(0)$ путем суммирования по модулю два символов принятой проверочной последовательности $P_{пр}(0)$ и символов сформированной проверочной последовательности $P_{1сф}(0)$, т.е. $S_1 = P_{пр}(0) + P_{1сф}(0)$. В качестве ФСП 3 может быть использован один элемент ИМС К155ЛП5. Формирователь 10 второго канала декодирования имеет аналогичное построение и назначение, только суммирование по модулю два производится символом принятой проверочной последовательности $P_{пр}(0)$ и символом сформированной проверочной последовательности ($P_{2сф}(0)$), т.е. $S_2(0) = P_{пр}(0) + P_{2сф}(0)$.

Анализатор 4 синдромной последовательности предназначен для анализа синдромной последовательности $S_1(0)$ с целью принятия решения о достоверности декодируемой информации по первому каналу декодирования. В качестве анализатора 4 используется регистр сдвига со встроенными сумматорами по модулю два (2). Длина регистра сдвига определяется максимальной степенью m порождающего полинома $g(0)=1+g_1(0^1)+\dots+g_m(0^m)$, а число сумматоров по модулю два равно $(I-1)$.

Аналогичное построение имеет анализатор 11, предназначенный для при-

нятия решения о достоверности декодируемой информации по второму каналу декодирования.

Корректор 5 ошибок предназначен для согласования по времени информационных символов первого канала декодирования и символов коррекции, поступающих с выхода анализатора 4.

Аналогичное построение имеет корректор 12 и предназначен для согласования по времени информационных символов второго канала декодирования и символов коррекции, поступающих с выхода анализатора 11.

Первый сумматор 7 по модулю два предназначен для формирования сигналов, указывающих месторасположение в декодированной информации символов, имеющих различную достоверность в соответствующих каналах декодирования. Это обеспечивает при декодировании получение дополнительной информации как об одном символе, так и о комбинации декодированных символов. Формирование сигналов производится путем поэлементного суммирования по модулю два декодированных символов первого и второго каналов декодирования. При одинаковых значениях декодированных символов на выходе первого сумматора 7 по модулю два формируется низкий потенциал (логический нуль), а при разных значениях символов формируется высокий потенциал (логическая единица).

Коммутатор 14 осуществляет считывание информации с первого или второго каналов декодирования в зависимости от достоверности декодированной информации, а также формирует два сигнала Z_1 и Z_2 , характеризующие достоверность декодированной информации: Z_1 характеризует достоверность декодированной информации в пределах нормы; Z_2 характеризует достоверность декодированной информации ниже нормы.

Третий регистр 15 сдвига предназначен для согласования по времени результатов подсчета числа стираний на длине кодового ограничения n_A , поступивших на входы первого и второго каналов декодирования, и результата подсчета количества исправлений в каждом из каналов декодирования. Третий регистр 15 сдвига реализуется в виде последовательного регистра сдвига и содержит $n_0 \cdot m$

ячеек памяти, где n_A - коэффициент, учитывающий разную скорость поступления информации на входе декодера и скорости записи информации в первом и во втором регистрах 6 и 13 сдвига.

Первый счетчик 16 предназначен для подсчета числа коррекций на длине кодового ограничения n_A первого канала декодирования. Коэффициент счета выбирается равным $K_{сч.1} = \frac{I}{2} + 1$, где I - число ортогональных проверок сверточного кода.

Аналогичное построение и принцип работы имеет второй счетчик 17, предназначенный для подсчета числа коррекций на длине кодового ограничения n_A второго канала декодирования.

Первый формирователь 18 интервала анализа предназначен для формирования интервала анализа, на котором производится подсчет количества исправлений как в первом, так и во втором канале декодирования. Интервал анализа выбирается равным $l_A = m$, где m - максимальная степень порождающих полиномов выбранного сверточного кода, первый формирователь 18 интервала анализа выполняется в виде двоичного счетчика и дешифратора (фиг. 4).

Блок 19 предназначен для формирования тактовых частот, необходимых для нормальной работы декодера, является самостоятельным функциональным узлом декодера, который может иметь различные схемные реализации.

Второй формирователь 20 интервала анализа предназначен для установления интервала анализа, на котором производится определение количества стираний, поступивших на вход декодера. Интервал анализа выбран равный длине кодового ограничения используемого сверточного кода. Второй формирователь 20 интервала анализа реализуется по такому же принципу как первый формирователь 18 интервала анализа, отличие состоит только лишь в фиксируемой длине интервала анализа ($l_A = n_A$).

Второй сумматор 22 по модулю два предназначен для формирования ненулевых символов при фиксировании сигналов стирания.

Рассмотрим алгоритм работы порогового декодера. В соответствии с алгоритмом формирования кодовых символов кодовые символы последовательностей $T_1^{(i)}(0)$ и $T_2^{(i)}(0)$ поступают на входы распределителей 1 и 8 соответственно первого и второго каналов декодирования, где производится их декодирование в соответствии с классическим алгоритмом порогового декодирования.

С выходов корректоров 5 и 12 каждого канала декодирования декодированная информация поступает на входы соответственно первого 6 и второго 13 регистров сдвига. Первым 16 и вторым 17 счетчиками производится подсчет числа исправлений (t) соответственно в первом и во втором каналах декодирования. Выходы первого и второго 13 регистров сдвига подсоединены к соответствующим информационным входам коммутатора 14 и первого сумматора 7 по модулю два. Одновременно на интервале n_A третьим счетчиком 25 производится подсчет числа стираний (t_s), сформированный сигнал которого через третий регистр 15 сдвига поступает на соответствующий управляемый вход коммутатора 14, на два других управляемых входа коммутатора 14 поступают сигналы управления с выходов соответственно первого 16 и второго 17 счетчиков.

Правило принятия декодером решения о достоверности принятой информации состоит в следующем. Если на управляющие входы коммутатора 14 поступают логические нули с выходов первого 16, второго 17 и третьего 25 счетчиков, что свидетельствует о допустимой вероятности ошибочного декодирования $P_{1,2}$ или $Q = 1 - P_{1,2}$, допустимой вероятности правильного приема кодовых символов или $n - N$ информационных символов, то считывание информации может производиться либо с первого, либо с второго регистров 6 и 13 сдвига. В предлагаемом пороговом декодере сверточного кода считывание информации получателю осуществляется с первого регистра 6 сдвига, т.е. с выхода канала декодирования.

Поступление на управляющие входы коммутатора 14 комбинации 001, 010, 011 соответственно с выходов первого 16, второго 17 и третьего 25 счетчиков свидетельствует либо об от-

сутствии ошибок в первом канале декодирования, либо об их наличии в пределах корректирующей способности кода и свидетельствует о наличии ошибок больше корректирующей способности во втором канале декодирования. В этом случае считывание информации также производится с выхода первого регистра 6 сдвига. При поступлении на управляющие входы коммутатора 14 комбинации 100 или 101 считывание информации осуществляется с выхода второго регистра 13 сдвига, т.е. с выхода второго канала декодирования. При поступлении на управляющие входы коммутатора 14 комбинации 111, что свидетельствует о наличии ошибок в принятой кодовой комбинации больше корректирующей способности кода, считывание информации осуществляется с выхода первого регистра 6 сдвига, т.е. с выхода первого канала декодирования. Одновременно со считыванием информации получателю во всех рассмотренных режимах осуществляется поэлементное сравнение (суммирование по модулю два) символов первого и второго каналов декодирования. В случае несовпадения символов получателю информации выдается сигнал (логическая "1"), характеризующей низкую надежность декодированного символа.

Кроме того, использование в схеме третьего счетчика 25, осуществляющего подсчет числа стираний на интервале длины кодового ограничения n_A , позволяет производить оценку надежности принятых кодовых символов до начала декодирования и реализовать адаптивный алгоритм работы порогового декодера сверточного кода путем изменения интервала стираний, т.е. перераспределения количества ошибок и стираний в зависимости от состояния связи или отношения мощности сигнала (P_c) к мощности шума (P_w), P_c/P_w .

Среднюю вероятность ошибочного декодирования порогового декодера сверточного кода, реализующего данный алгоритм, рассчитывают по формуле $P_{0ш} = C_{n_1}^{j_1} P_1^{j_1+1} g^{n_1 - (j_1+1)} + C_{n_1}^{j_2} P_1^{j_2} P_1^{j_2+1} g^{n_1 - j_2}$

где n_1 - эффективная длина кодового ограничения; $P_1 = P_k(1 - P_s)$ - вероятность ошибочного приема двоичного символа с учетом введения стираний;

P_0 - вероятность стираний символа;
 $g = 1 - P_5 - P_7$ - вероятность безошибочного приема двоичного символа.

Из приведенных зависимостей следует, что введение стираний и двух каналов декодирования обеспечивает дополнительно получение энергетического выигрыша кодирования 0,5-1,15 дБ (соответственно при $P_k = 10^{-4}$ - 10^{-2} и $P_5 = 10^{-3}$) и увеличение коэффициента повышения достоверности передачи информации в $S = 1,44$ - $2,53$ раза (соответственно при $P_k = 10^{-4}$ - 10^{-2} и $P_5 = 10^{-3}$).

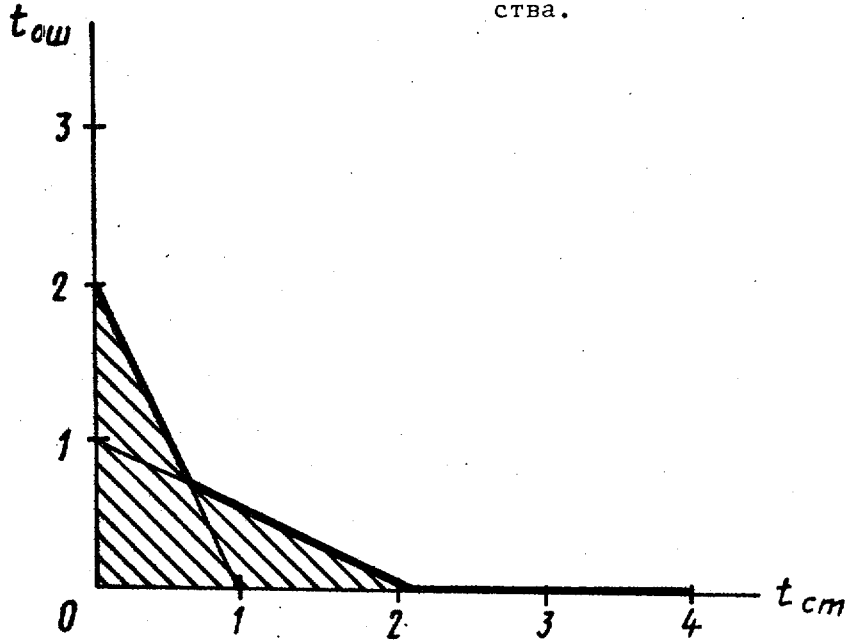
Ф о р м у л а и з о б р е т е н и я

Пороговый декодер сверточного кода, содержащий первый и второй распределители ветвей, первые и вторые управляющие входы которых объединены соответственно, первый выход первого распределителя ветвей подключен к первому информационному входу первого корректора ошибок и первому входу первого формирователя проверочной последовательности, выход которого соединен с первым входом первого формирователя синдромной последовательности, второй вход которого подключен к второму выходу первого распределителя ветвей, выход подключен к первому входу первого анализатора синдромной последовательности, выход которого подключен к второму информационному входу первого корректора ошибок, и коммутатор, выход которого является первым выходом декодера, отличающийся тем, что, с целью повышения помехоустойчивости декодера, в него введены второй корректор ошибок, второй формирователь проверочной последовательности, второй формирователь синдромной последовательности, второй анализатор синдромной последовательности, элемент ИЛИ, элементы совпадения, сумматоры по модулю два, счетчики импульсов, формирователи интервала анализа, регистры сдвига и блок фазовой автоподстройки частоты, первый выход которого подключен к первому управляющему входу первого распределителя ветвей, второй выход подключен непосредственно к второму управляющему входу первого распределителя ветвей, к тактовым входам первого и второго корректоров ошибок, вторым входам первого

формирователя проверочной последовательности и первого анализатора синдромной последовательности, первым входам второго формирователя проверочной последовательности, второго анализатора синдромной последовательности, первого, второго и третьего регистров сдвига и через первый формирователь интервала анализа к первым входам первого и второго счетчиков импульсов, выходы первого элемента совпадения и второго формирователя интервала анализа подключены соответственно к первому и второму входам третьего счетчика импульсов, выход которого соединен с вторым входом третьего регистра сдвига, выход которого соединен с первым управляющим входом коммутатора, выходы второго элемента совпадения и элемента ИЛИ подключены соответственно к информационным входам первого и второго распределителя ветвей, первый выход которого подключен к второму входу второго формирователя проверочной последовательности и первому информационному входу второго корректора ошибок, выход которого подключен к второму входу второго регистра сдвига, выход которого подключен к первому входу первого сумматора по модулю два и первому информационному входу коммутатора, второй выход второго распределителя ветвей и выход второго формирователя проверочной последовательности подключены соответственно к первому и второму входам второго формирователя синдромной последовательности, выход которого соединен с вторым входом второго анализатора синдромной последовательности, выход которого подключен к второму информационному входу второго корректора ошибок и второму входу второго счетчика, выход которого подключен к второму управляющему входу коммутатора, выход первого корректора ошибок подключен к второму входу первого регистра сдвига, выход которого подключен к второму информационному входу коммутатора и второму входу первого сумматора по модулю два, выходы второго сумматора по модулю два и второго анализатора синдромной последовательности подключены соответственно к первому входу первого элемента совпадения и второму входу счетчика импульсов, выход

которого подключен к третьему управляющему входу коммутатора, вход второго формирователя интервала анализа объединен с входом блока фазовой автоподстройки частоты и вторым входом первого элемента совпадения и является синхронизирующим входом устройства, первые входы элемента ИЛИ, второго сумматора по модулю два и второго элемента совпадения объеди-

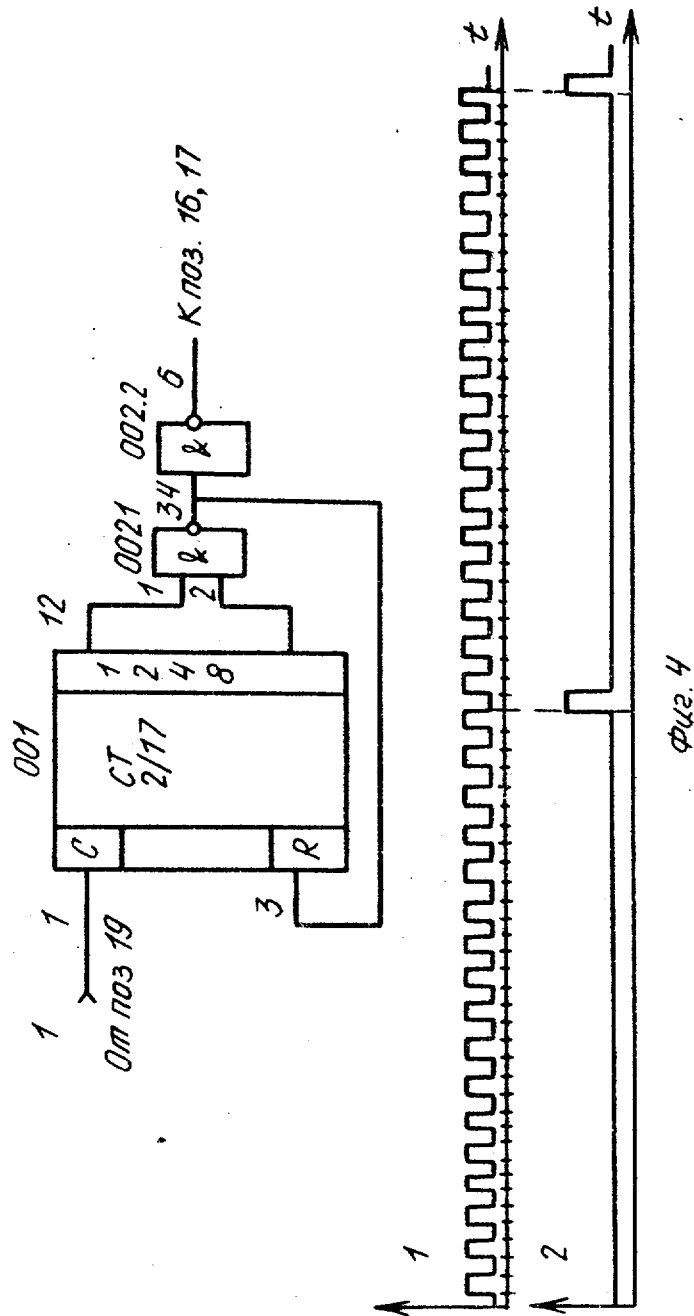
5 нены и являются первым информационным входом устройства, вторые входы элемента ИЛИ, второго сумматора по модулю два и второго элемента совпадения объединены и являются вторым информационным входом устройства, второй и третий выходы коммутатора и выход первого сумматора по модулю два являются соответственно вторым, третьим и четвертым выходами устрой-



Фиг.2

Безошибочное декодирование		Ошибочное декодирование	
(дв. с.м.)	(дв. с.м.)	(дв. с.м.)	(дв. с.м.)
J/2	1	0	J+1
1	J/2	1	J
0	J/2 + 1	J/2	J/2
0	J	J/2 + 1	0

Фиг.3



Фиг. 4

Составитель О.Тюрина
 Редактор В.Бугренкова Техред Л.Олийнюк Корректор М.Васильева

Заказ 6396/55

Тираж 929

Подписное

ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4