

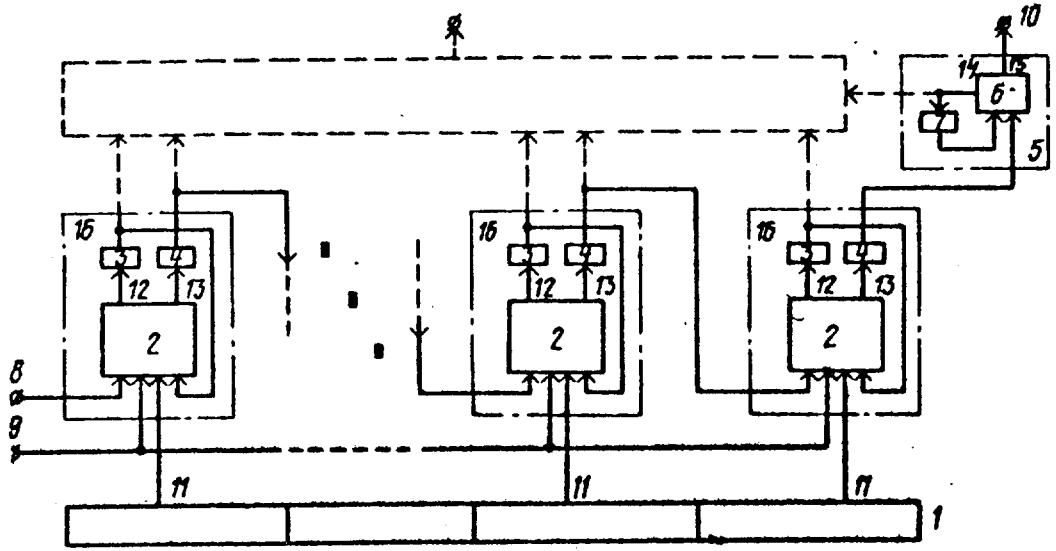


ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3968680/24-24
- (22) 25.10.85
- (46) 07.07.87. Бюл. № 25
- (71) Минский радиотехнический институт
- (72) А.А. Шостак
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 1032453, кл. G 06 F 7/52, 1981.
- Авторское свидетельство СССР № 888109, кл. G 06 F 7/52, 1978.
- (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
- (57) Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в любой позиционной

системе счисления. Особенно эффективно его применение при использовании больших интегральных схем. Целью изобретения является повышение быстродействия устройства за счет обеспечения возможности формирования на выходах блоков вычисления разрядных значений произведения старших и младших цифр их разрядных произведений в многорядном коде. Она достигнута за счет того, что устройство для умножения, содержащее регистр 1 множимого, n блоков вычисления разрядных значений произведения, буферные регистры 3 и 4 первой и второй групп, содержит блок 5 приведения, состоящий из узла 6 суммирования и регистра 7 задержки. 3 ил.



Фиг. 1

(19) SU (11) 1322265 A1

Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения чисел, представленных в любой позиционной системе счисления. Особенно эффективно его применение при использовании больших интегральных схем.

Цель изобретения - повышение быстродействия устройства.

На фиг. 1 изображена структурная схема устройства для умножения; на фиг. 2 - массив слагаемых, для случая двоично-кодированной 64-ричной системы счисления ($b=2$ и $k=6$), который суммируется каждым блоком вычисления разрядных значений произведения до тех пор, пока на его выходах не получаются старшая и младшая цифры разрядного произведения в двухрядном коде; на фиг. 3 - процесс суммирования массива слагаемых по фиг. 2 в каждом блоке вычисления разрядных значений произведения.

Устройство для умножения содержит p -разрядный регистр 1 множимого, p блоков 2 вычисления разрядных значений произведения, p буферных регистров 3 первой группы, p буферных регистров 4 второй группы, блок 5 приведения, состоящий из узла 6 суммирования и регистра 7 задержки, вход 8 коррекции и вход 9 множителя устройства, выход 10 устройства, выход 11 i -го разряда регистра 1 множимого, выход 12 старшего разряда блока 2, выход 13 младшего разряда блока 2, выход 14 переноса узла 6, выход 15 суммы узла 6. Совокупность i -го блока 2 вычисления разрядных значений произведения и i -х буферных регистров 3 и 4 может быть конструктивно выполнена в виде единого модуля 16.

Каждый блок 2 вычисления разрядных значений произведения является комбинационной схемой, выполняющей следующие функции

$$F = X \cdot Y + A + B,$$

где X , Y - значения первого и второго сомножителей блока 2 соответственно; A , B - значения первой и второй групп слагаемых блока 2 соответственно (в общем случае количество слагаемых в группах может быть различным).

На фиг. 2 для случая использования в устройстве двоично-кодированной 64-ричной системы счисления (т.е. когда $b=2$, $k=6$ и $N=2^k=64$) и в

предположении, что старшая и младшая цифры разрядного произведения блока 2 формируются в двухрядном коде, приведен массив слагаемых, который суммируется каждым блоком 2 вычисления разрядных значений произведения устройства. Первая группа слагаемых A блока 2 изображена знаком "+", вторая группа слагаемых B показана знаками "X", а массив частичных произведений, образующийся в блоке 2 в результате перемножения сомножителей X , Y , изображен в виде матрицы точек.

Фиг. 3 иллюстрирует процесс суммирования в блоке 2 массива слагаемых, показанного на фиг. 2. Суммирование осуществляется по так называемому "экономичному" алгоритму сворачивания многорядного кода к двухрядному с использованием одноразрядных двоичных сумматоров. Те двоичные разряды слагаемых массива, которые обрабатываются одним и тем же одноразрядным двоичным сумматором, обведены овальной линией. Как видно из фиг. 3, преобразование исходного девятирядного кода к результирующему двухрядному коду осуществляется за четыре шага I-IV. В результате этого на выходах 12 и 13 блока 2 и старшая 64-ричная, и младшая 64-ричная цифры его разрядного произведения формируются в двухрядном коде.

Блок 5 предназначен для приведения к однорядному коду многорядного кода результата, формируемого в процессе умножения в первом буферном регистре 4 второй группы.

Устройство для умножения работает следующим образом.

В исходном состоянии регистр 7 задержки и буферные регистры 3 и 4 всех модулей 16 обнулены, в регистре 1 множимого хранится без знака p -разрядный 2^k -ичный код множимого ($p \cdot k$ -разрядный двоичный код множимого). Здесь предполагается, что множимое и множитель представлены в двоично-кодированной 2^k -ичной системе счисления, т.е. каждый разряд как множимого, так и множителя, представляет собой набор из k двоичных цифр.

В каждом из p первых тактов работы устройства на его вход 9 поступает параллельно k двоичных разрядов множителя, начиная с младших разрядов. При этом в i -ом блоке 2 вычисления разрядных значений произведения осу-

шествляется умножение k двоичных разрядов множимого, поступающих на его вход первого сомножителя с выхода 11 i -го 2^k -ичного разряда регистра 1 множимого, на k двоичных разрядов множителя, поступающих на его вход второго сомножителя с входа 9 множителя устройства, и прибавление к k младшим двоичным разрядам получившегося при этом $2 \cdot k$ -разрядного произведения слагаемых, поступающих с выхода i -го буферного регистра 3 на вход слагаемых i -го блока 2 , и слагаемых, поступающих с выхода $(i+1)$ -го буферного регистра 4 на вход слагаемых i -го блока 2 .

После этого сформированные в многорядном коде (в частном случае в двухрядном) k старших двоичных разрядов результата i -го блока 2 с его выхода 12 записываются в i -е буферные регистры 3 , а k младших двоичных разрядов результата, также сформированные в многорядном коде (в частном случае в двухрядном), с его выхода 13 записываются в i -й буферный регистр 4 . Одновременно с работой блоков 2 вычисления разрядных значений произведения работает и блок 5 , который осуществляет приведение к однорядному коду многорядного кода, формируемого в процессе умножения в первом буферном регистре 4 .

После выполнения n первых тактов работы устройства на его вход 9 множителя поступает нулевая информация и далее осуществляется еще дополнительно n тактов, в течение которых из устройства выводится с соответствующим преобразованием информация, хранящаяся в регистре 7 задержки блока 5 и в буферных регистрах 3 и 4 всех модулей 16 . Вывод $2 \cdot n$ -разрядного произведения в устройстве осуществляется через его выход 10 в параллельно-последовательном коде (по k двоичных разрядов в каждом такте).

В рассмотренном случае на вход 8 коррекции устройства во всех его $2n$ тактах подавалась нулевая информация. В тех же случаях, когда требуется получить округленное n -разрядное произведение, необходимо в первом такте работы устройства на его вход 8 коррекции подать k -разрядный двоичный код $100 \dots 000$. Это позволяет осуществить округление без дополнительных временных затрат.

Используя определенным образом вход 8 , можно одновременно выполнять в нем операцию умножения двух n -разрядных чисел с подсуммированием k n старшим разрядам произведения некоторого n -разрядного слагаемого или группы слагаемых. Вход 8 может быть эффективно использован также для введения в произведение коррекции при умножении чисел в дополнительном коде.

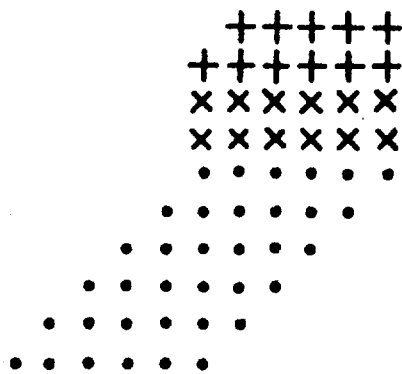
Умножение n -разрядных чисел в устройстве может быть выполнено и за $(n+1)$ тактов, если после выполнения n -го такта содержимое буферных регистров 3 и 4 модулей 16 подать для окончательного суммирования на соответствующие входы быстродействующего многовходового блока суммирования (блок суммирования и соответствующие связи показаны штриховой линией).

Ф о р м у л а и з о б р е т е н и я

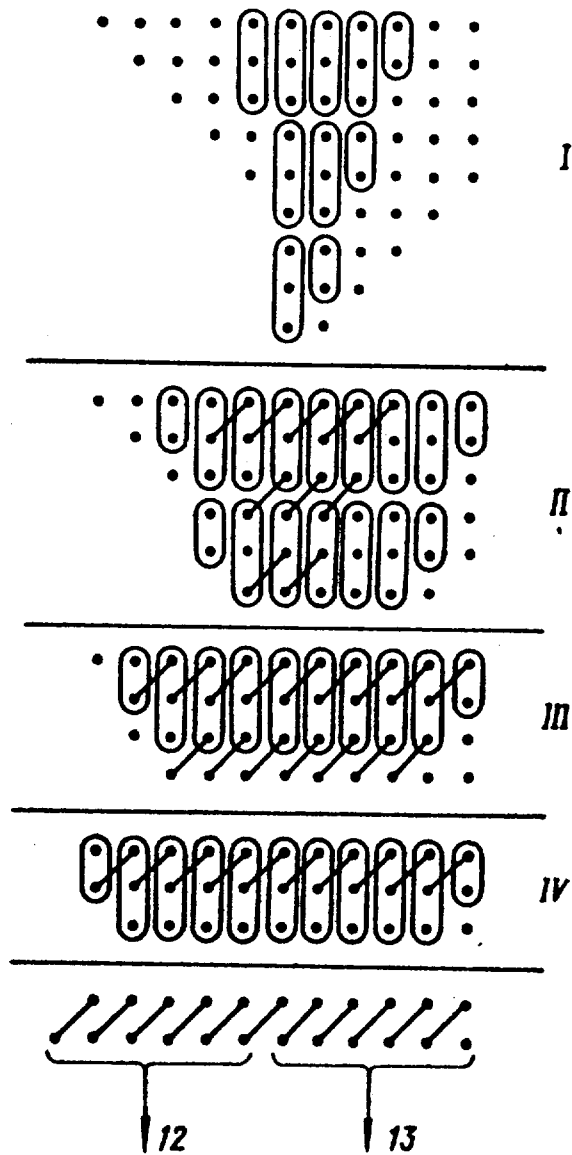
Устройство для умножения, содержащее регистр множимого, n блоков вычисления разрядных значений произведения (n - число разрядов множимого), n буферных регистров первой группы, n буферных регистров второй группы, выход i -го разряда регистра множимого соединен с входом первого сомножителя i -го блока вычисления разрядных значений произведения ($i = 1, 2, \dots, n$), вход второго сомножителя которого соединен с входом множителя устройства, выход i -го буферного регистра первой группы соединен с входом первого слагаемого i -го блока вычисления разрядных значений произведения, вход второго слагаемого которого соединен с выходом $(i+1)$ -го буферного регистра второй группы, вход второго слагаемого i -го блока вычисления разрядных значений произведения соединен с входом коррекции устройства, входы буферных регистров первой и второй групп соединены с выходами старшего и младшего разрядов соответствующих блоков вычисления разрядных значений произведения, отличающееся тем, что, с целью повышения быстродействия, значения младшего и старшего разрядов произведения блока вычисления разрядных значений произведения формируются в многорядном коде, в него введен блок приведения, в состав которого входят узел суммирования и регистр задержки, при этом вы-

ход первого буферного регистра второй группы соединен с входом первого слагаемого узла суммирования, вход второго слагаемого которого соединен с

выходом регистра задержки, вход которого соединен с выходом переноса узла суммирования, выход суммы которого является выходом устройства.



Фиг. 2



Фиг. 3

Составитель Н. Маркелова
 Редактор П. Геречи Техред Л. Олийник Корректор А. Ильин

Заказ 2865/45 Тираж 672 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4.