



ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

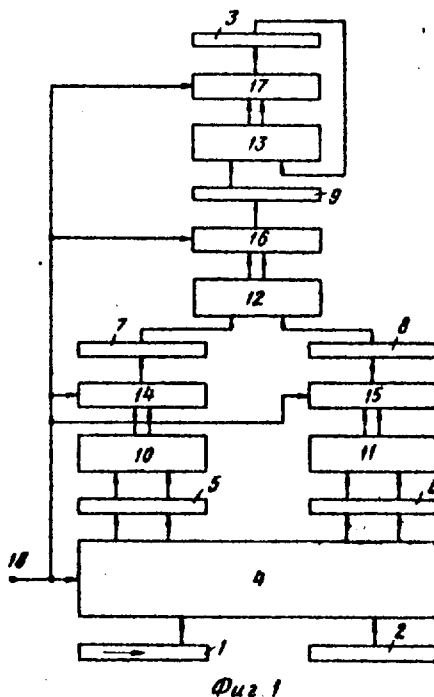
ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 3969376/24-24
- (22) 24.10.85
- (46) 07.07.87. Бюл. № 25
- (71) Минский радиотехнический институт
- (72) В.Л.Богомаз и А.А.Шостак
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 1267408, кл. G 06 F 7/52, 05.03.85.

Авторское свидетельство СССР
№ 842800, кл. G 06 F 7/52, 1979.

- (54) УСТРОЙСТВО ДЛЯ УМНОЖЕНИЯ
- (57) Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения дво-

ичных и десятичных чисел. Целью изобретения является сокращение количества оборудования устройства. Цель достигнута за счет изменения функций второго и третьего корректирующих сумматоров 15 и 16 и связей между узлами устройства, что позволило исключить из устройства два корректирующих сумматора и один регистр задержки. В устройстве применен конвейерный принцип обработки информации с анализом в каждом такте двух десятичных цифр или же восьми двоичных цифр множителя. Устройство содержит регистры 1-3 сомножителей и результата, матрицу 4 умножения, регистры 5-9 задержки, сумматоры 10-13 и корректирующие сумматоры 14-17. 2 ил.



Изобретение относится к вычислительной технике и может быть использовано при разработке быстродействующих устройств для умножения двоичных и десятичных чисел.

Цель изобретения - сокращение количества оборудования устройства.

На фиг.1 приведена структурная схема устройства для случая, когда на выходах матрицы умножения в одном такте формируются четыре слагаемых; на фиг.2 - функциональные схемы тетрад корректирующих сумматоров, используемых в устройстве.

Устройство для умножения содержит регистры 1 и 2 первого и второго сомножителей соответственно, регистр 3 результата, матрицу 4 умножения, регистры 5-9 задержки, сумматоры 10-13, корректирующие сумматоры 14-17 и вход 18 режима работы устройства.

Тетрада корректирующего сумматора содержит трехразрядный двоичный сумматор 19, элемент И 20, вход 21 переноса корректирующего сумматора.

Регистры 1 и 2 первого и второго сомножителей предназначены для хранения цифр множителя и множимого, причем регистр 1 сдвигающий.

В регистре 3 результата после завершения операции умножения формируется старшая часть произведения. В процессе же выполнения умножения в нем временно хранятся промежуточные результаты, а также с этого регистра в каждом такте умножения побайтно выдается из устройства младшая часть произведения.

Матрица 4 умножения выполняет умножение второго сомножителя, находящегося в регистре 2, на 8 двоичных разрядов (или же два десятичных разряда) первого сомножителя, находящегося в регистре 1, причем в зависимости от уровня потенциала на входе 18 режима работы устройства на выходе матрицы 4 умножения формируются четыре слагаемых либо в двоично-десятичном коде, либо в двоичном коде.

Матрицу 4 умножения, как и в известном устройстве, можно реализовать на постоянной полупроводниковой памяти.

Регистры 5-9 задержки являются синхронизируемыми и необходимыми для организации конвейерного метода умножения в устройстве. Они предназначены для временного хранения промежу-

точных результатов. Синхровходы не показаны.

Сумматоры 10-13 предназначены для суммирования промежуточных частичных произведений.

Корректирующие сумматоры 14-17 необходимы для внесения коррекции при работе устройства в режиме десятичного умножения. Корректирующие сумматоры 14 и 17 осуществляют вычитание шести путем прибавления +10. Функциональная схема тетрады этих сумматоров представлена на фиг.2а. Коррекция выполняется следующим образом.

Отсутствие переноса на входе 21 (фиг.2а) разрешает прибавление +10 к тетраде на сумматоре 19, а присутствие переноса на входе 21 позволяет пропускать тетраду через сумматор 19 транзитом. Следовательно, на выходе корректирующих сумматоров 14 и 17 информация формируется в естественном двоично-десятичном коде. Корректирующие сумматоры 15 и 16 осуществляют прибавление +6 (фиг.2б). В этом случае коррекция осуществляется следующим образом.

Присутствие переноса на входе 21 позволяет добавление +6 к тетраде на сумматоре 19, а отсутствие переноса на входе 21 разрешает прохождение информации через сумматор 19 транзитом. Поэтому на выходе корректирующих сумматоров 15 и 16 информация выдается в двоично-десятичном коде с избытком +6.

При умножении десятичных и двоичных чисел устройство работает следующим образом.

Режим десятичного умножения. При десятичном режиме умножения на каждом такте работы устройства осуществляется умножение двух десятичных цифр первого сомножителя, хранящегося в регистре 1, на все цифры второго сомножителя, хранящегося в регистре 2. В первом такте управляющий сигнал на входе 18 режима работы устройства разрешает формирование на выходах матрицы 4 умножения четырех слагаемых, представленных в двоично-десятичном коде, причем слагаемые первой и третьей групп выходов матрицы 4 умножения представлены в двоично-десятичном коде с избытком +6, а слагаемые второй и четвертой групп выходов матрицы 4 умножения представлены в естественном двоично-десятичном коде.

Первый такт заканчивается записью этих слагаемых в регистры 5 и 6 задержки.

На следующем такте эти же четыре слагаемых суммируются на первом и втором сумматорах 10 и 11, после чего результат первого сумматора 10 корректируется на первом корректирующем сумматоре 14 и заносится в третий регистр 7 задержки в естественном двоично-десятичном коде. Результат второго сумматора 11 корректируется на втором корректирующем сумматоре 15 и записывается в четвертом регистре 8 задержки в двоично-десятичном коде с избытком +6.

На следующем третьем такте содержимое третьего регистра 7 задержки и четвертого регистра 8 задержки суммируется на третьем сумматоре 12, результат которого корректируется на третьем корректирующем сумматоре 16 и заносится в пятый регистр 9 задержки в двоично-десятичном коде с избытком +6.

На четвертом такте содержимое пятого регистра 9 задержки суммируется на четвертом сумматоре 13 с содержимым регистра 3 результата (на данном такте оно равно нулю), сдвинутым на восемь разрядов вправо. Результат этого суммирования корректируется на четвертом корректирующем сумматоре 17 и заносится в регистр 3 результата в естественном двоично-десятичном коде. Все вышеописанные ступени устройства работают одновременно (параллельно), т.е. умножение выполняется по конвейерному принципу.

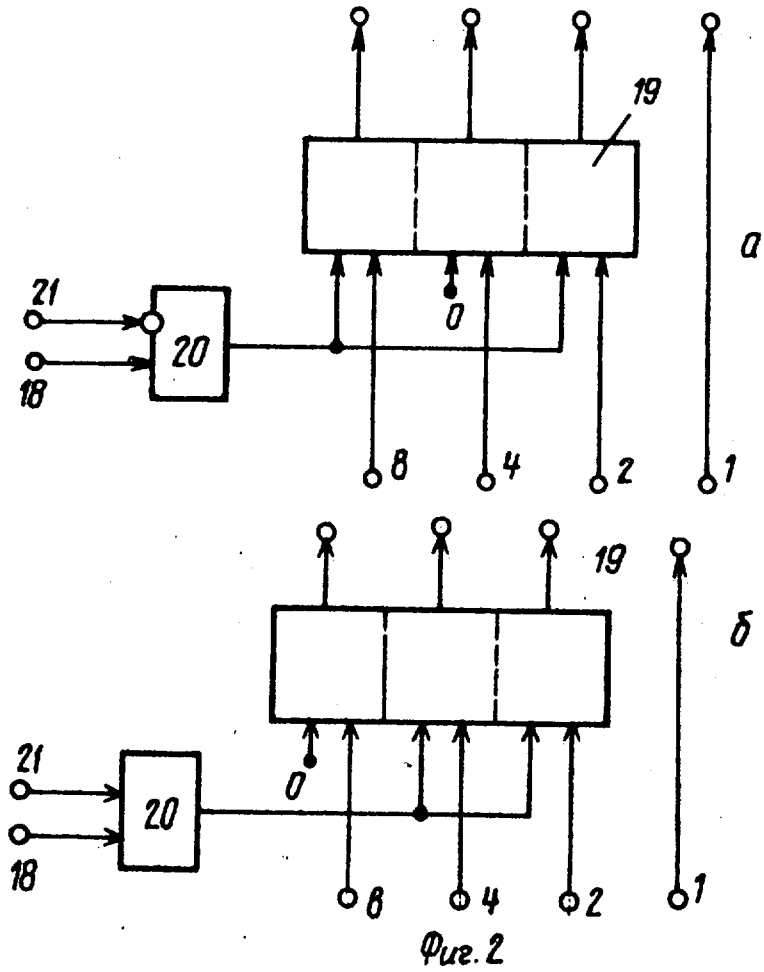
Результат умножения побайтно в каждом такте выдается с регистра 3 результата, причем на заключительном такте умножения в этот регистр заносится старшая часть результата.

Режим двоичного умножения. Работа устройства при режиме двоичного умножения аналогична работе устройства при режиме десятичного умножения. Отличия состоят в том, что управляющий сигнал на входе 18 режима работы устройства настраивает корректирующие сумматоры 14-17 на пропуск через них информации транзитом, а также разрешает формирование на выходах матрицы 4 умножения четырех слагаемых, представленных в двоичном коде. Все ос-

тальные узлы выполняют свои функции без изменения.

Ф о р м у л а и з о б р е т е н и я

Устройство для умножения, содержащее регистры первого и второго сомножителей, регистр результата, матрицу умножения, пять регистров задержки, четыре сумматора и четыре корректирующих сумматора, причем выходы регистров первого и второго сомножителей соединены с входами первого и второго сомножителей соответственно матрицы умножения, первая и вторая группы выходов которой соединены соответственно через первый и второй регистры задержки с входами первого и второго сумматоров, выходы суммы которых соединены с информационными входами корректирующих сумматоров, выходы которых соединены с информационными входами соответственно третьего и четвертого регистров задержки, выход третьего регистра задержки соединен с первым информационным входом третьего сумматора, выходы суммы и переноса которого соединены с информационным входом и входом переноса соответственно третьего корректирующего сумматора, выход которого через пятый регистр задержки соединен с первым информационным входом четвертого сумматора, выходы суммы и переноса которого соединены с информационным входом и входом переноса соответственно четвертого корректирующего сумматора, выход которого соединен с информационным входом регистра результата, выходы переноса первого и второго сумматоров соединены с входами переноса соответственно первого и второго корректирующих сумматоров, входы разрешения коррекции которых соединены с входами разрешения коррекции третьего и четвертого корректирующих сумматоров, с входом задания режима умножения матрицы умножения и входом режима работы устройства, отличающееся тем, что, с целью сокращения количества оборудования, выход четвертого регистра задержки соединен с вторым информационным входом третьего сумматора, выход регистра результата соединен с вторым информационным входом четвертого сумматора.



Редактор П.Герши Составитель Н.Маркелова Техред Л.Олийник Корректор И. Муска

Заказ 2865/45 Тираж 672 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д.4/5

Производственно-полиграфическое предприятие, г.Ужгород, ул.Проектная, 4