

Изобретение относится к радиотехнике и связи, измерительной технике и может быть использовано в цифровых устройствах синхронизации и синтезаторах частоты.

Цель изобретения — повышение точности подстройки фазы генератора.

На чертеже представлена структурная электрическая схема цифрового управляемого генератора.

Цифровой управляемый генератор содержит опорный генератор 1, блок 2 добавления и вычитания импульсов, делитель 3 частоты, первый 4 и второй 5 управляемые дешифраторы, второй формирователь 6 импульсов, счетный триггер 7, первый формирователь 8 импульсов, распределитель 9 импульсов, первый 10 и второй 11 управляемые генераторы, коммутатор 12, фазовый дискриминатор 13, элемент 14 задержки.

Цифровой управляемый генератор работает следующим образом.

Для формирования выходных последовательностей импульсов используются первый 10 и второй 11 управляемые генераторы, выходы которых поочередно коммутируются коммутатором 12, причем сигнал управления коммутатором 12 формируется последовательно подключенными опорным генератором 1, блоком 2 добавления и вычитания с внешними сигналами управления и делителем 3 частоты и поступает на управляющий вход коммутатора 12 с выхода счетного триггера 7. С целью исключения влияния процесса установления генерации первого 10 и второго 11 управляемых генераторов начало генерации осуществляется до момента коммутации. Этот временной интервал от момента начала генерации до момента коммутации регулируется посредством фазовой автоподстройки частоты, где в качестве эталонного сигнала служит последовательность импульсов с выхода делителя 3 частоты, а подстраиваемыми сигналами являются последовательности импульсов с выхода коммутатора 12, поступающие на первый вход фазового дискриминатора 13. На второй вход фазового дискриминатора 13 импульсы поступают с выхода второго формирователя 6 импульсов. Сигнал согласования с выхода фазового дискриминатора 13 поступает на управляющие входы первого 4 и второго 5 управляемых дешифраторов, с выходов которых через распределитель 9 импульсов сигнал начала генерации поступает на входы первого 10 и второго 11 управляемых генераторов.

Второй формирователь 6 импульсов предназначен для предотвращения коммутации выходов первого 10 и второго 11 управляемых генераторов до момента подачи сигнала начала генерации. Последовательность

импульсов со второго формирователя 6 импульсов поступает на счетный триггер 7, с выхода которого импульсы поступают на первый формирователь 8 импульсов, который формирует сигналы прекращения генерации первого 10 и второго 11 управляемых генераторов, а стробирующие импульсы, разрешающие начало генерации, поступают на вход распределителя 9 импульсов через элемент 14 задержки с выхода опорного генератора 1.

Формула изобретения

Цифровой управляемый генератор, содержащий последовательно соединенные опорный генератор, блок добавления и вычитания импульсов и делитель частоты, последовательно соединенные счетный триггер, первый формирователь импульсов, распределитель импульсов, первый управляемый генератор, коммутатор и фазовый дискриминатор, элемент задержки, второй управляемый генератор, управляющий вход которого соединен с другим выходом распределителя импульсов, а выход второго управляемого генератора соединен с другим входом коммутатора, управляющий вход которого соединен с выходом счетного триггера, отличающийся тем, что, с целью повышения точности подстройки фазы генератора, введены первый и второй управляемые дешифраторы, второй формирователь импульсов, выход которого объединен с его первым установочным входом и соединен с входом счетного триггера и другим входом фазового дискриминатора, первые управляющие входы первого и второго управляющих дешифраторов объединены и соединены с первым выходом фазового дискриминатора, вторые управляющие входы первого и второго управляемых дешифраторов объединены и соединены с вторым выходом фазового дискриминатора, первый и второй разрешающие входы распределителя импульсов соединены с выходами соответственно первого и второго управляемых дешифраторов, информационные входы первого и второго управляемых дешифраторов соединены с соответствующими разрядными выходами делителя частоты, счетный выход которого соединен с управляющим входом второго формирователя импульсов, второй установочный вход которого соединен с дополнительным разрешающим выходом распределителя импульсов, третьи управляющие входы первого и второго управляемых дешифраторов соединены с выходом счетного триггера, а стробирующий вход распределителя импульсов соединен с выходом элемента задержки, вход которого соединен с выходом опорного генератора.