



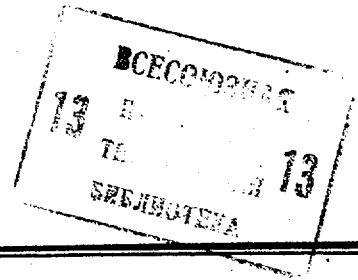
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) SU (11) 1406592 A 1

(51)4 G 06 F 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 3800504/24-24
(22) 13.08.84
(46) 30.06.88. Бюл. № 24
(71) Минский радиотехнический институт
(72) А.Т.Пешков, Л.А.Глухова,
И.В.Левицкая и А.А.Пешков
(53) 681.33(088.8)
(56) Авторское свидетельство СССР
№ 1148026, кл. G 06 F 7/52, 1982.
Авторское свидетельство СССР
№ 1198513, кл. G 06 F 7/52, 1983.
Авторское свидетельство СССР
№ 1229757, кл. G 06 F 7/52, 1982.
Авторское свидетельство СССР
№ 1229758, кл. G 06 F 7/52, 1982.
Авторское свидетельство СССР
№ 1200282, кл. G 06 F 7/52, 1983.

(54) ОПЕРАЦИОННЫЙ МОДУЛЬ

(57) Изобретение относится к вычислительной технике и предназначено для формирования тетрады суммы частичных произведений при умножении двоичных и двоично-десятичных (в коде 8-4-2-1) чисел. Целью изобретения является повышение быстродействия. Операционный модуль содержит четыре четырехразрядных сумматора, двадцать шесть двухходовых элементов И, шесть трехходовых элементов И, семь четырехходовых элементов И, девять элементов НЕ, одиннадцать элементов ИЛИ с соответствующими связями между ними. 2 ил. 2 табл.

(19) SU (11) 1406592 A 1

Изобретение относится к вычислительной технике и предназначено для формирования тетрады суммы частичных произведений при умножении двоичных и двоично-десятичных (в коде 8-4-2-1) чисел. Модуль целесообразно применять в быстродействующих операционных устройствах.

Цель изобретения - повышение быстродействия.

На фиг. 1 приведена структурная схема операционного модуля; на фиг. 2 - вариант использования модуля в составе матрицы умножения.

Операционный модуль содержит четырехразрядные сумматоры 1-4, элементы И 5-44, элементы НЕ 45-53, элементы ИЛИ 54-74, первый-четвертый разряды 75-78 входа множителя, первый-седьмой 20 разряды 79-85 входа множимого, входы 86-89 переноса, четырехразрядный выход 90 суммы, выход 91-94 переноса, четырехразрядный вход 95 суммы, парафазные входы двоичного 96 и десятичного 25 97 умножения, входы 98-100 поправки кратных, выход 101 переполнения коррекции суммы, выходы 102-104 поправки кратных, вход 105 переполнения коррекции суммы, вход 106 переноса входной суммы.

Операционный модуль выполняет умножение тетрады множителя на тетраду множимого (с учетом значений трех старших разрядов соседней младшей его тетрады) и прибавление полученного значения к сформированной сумме частичных произведений. Результат на выходе модуля формируется в виде тетрады суммы, четырех тетрадных переносов и трех поправок кратных.

При обработке двоично-десятичных операндов для прибавления к тетраде предыдущей суммы частичных произведений кратных множимого M (однократного M , двукратного $2M$, четырехкратного $4M$, восьмикратного $8M$) используются сумматоры 1-3. Достигается это за счет того, что $8M$ и $4M$ учитываются на одном сумматоре 3 (в коде 8, 4, 2, 1 десятичная цифра не может содержать одновременно единицу в разрядах с весами 2^3 и 2^2). Освободившийся сумматор 4 используется для прибавления к результату двоичного суммирования на сумматорах 1-3 суммарной коррекции. Суммарный код коррекции формируется по правилу $6 \times S$, где S - количество переносов,

возникающих при двоичном сложении кратных M , $2M$, $4M$ или $8M$. В модуле при работе с десятичными операндами допускается представление цифр промежуточных результатов в диапазоне 0-15.

Формирование $2M$, $4M$ и $8M$ осуществляется на основе сдвига множимого соответственно на 1, 2, 3 разряда влево с последующей коррекцией сдвинутого кода. При этом допускается представление цифр кратных множимого (как и сумм на выходе сумматоров) в диапазоне 0-15 (т.е. используются недействительные комбинации для представления десятичных цифр). Коррекция кратных выполняется с помощью схемы коррекции, представленной логическими элементами И 35-43, НЕ 48-53 и ИЛИ 65-74.

Коррекция кратных осуществляется путем поправки сдвинутых десятичных кодов внутри данного модуля ($K_{1,2}$; $K_{1,4}$; $K_{1,-4}$; $K_{2,2}$; $K_{2,4}$; $K_{2,8}$) и выработки трех поправок кратных ПК1, ПК2, ПК3 на выходах 102-104 для ближайшего старшего модуля, обслуживающего ту же цифру множителя, что и данный модуль. Поправки $K_{1,2}$; $K_{1,4}$; $K_{1,8}$ осуществляют ввод в однократное множимое единицы в разряды соответственно с весами 2, 4, 8. Поправки $K_{2,2}$, $K_{2,4}$, $K_{2,8}$ осуществляют ввод в двукратное множимое единицы в разряды с весами соответственно 2, 4, 8. Поправка $K_{1,4}$ блокирует единицу в разряде с весом 4 однократного множимого. Поправки ПК1, ПК2, ПК3 с выходов 102-104 поступают в соседний старший модуль и вводят единицы:

ПК1 - в разряд с весом 2 четырехкратного множимого (вход 98 соседнего модуля);

ПК3 - в разряд с весом 1 четырехкратного множимого (вход 100 соседнего модуля);

ПК2 - в разряд с весом 1 двукратного множимого (вход 99 соседнего модуля). Особенностью реализации коррекции кратных является то, что поправка сдвинутых множимых осуществляется за счет введения или блокировки единиц в их отдельных разрядах, т.е. без суммирования.

Возможные виды коррекции кратных множимого приведены в табл. 1.

Формирование коррекции суммы в модуле осуществляется на основании

сигнала на входе 106 переноса для входной суммы (ПО), поступающего с выхода 94 соседнего модуля, выход 90 суммы которого связан с входом 95 суммы данного модуля, а также сигналов тетрадного переноса сумматоров 1-3 (соответственно выходы 91, 92, 93 (П1, П2, П3)).

В табл. 2 приведены возможные виды коррекции суммы. Возникновение случая $ПО \cdot П1 \cdot П2 = 1$ невозможно.

Коррекция суммы и сигнал на выходе 101 переполнения коррекции суммы формируется логической цепью, включающей элементы 22-30, 44-47, 54-60.

Модуль используется в качестве составной части матричного устройства умножения шестнадцатеричных и двоично-десятичных чисел. При применении способа умножения, начиная с младших разрядов множителя со сдвигом множимого и с распространением тетрадных переносов по столбцам, связь I, i- модуля (модуля умножения I-й цифры множителя на i-ю цифру множимого) с соседними модулями матрицы приведена на фиг. 2. На разряды 79-85 входа множимого I, i-модуля поступают соответственно двоичные разряды с внутритетрадными весами $2^0, 2^1, 2^2, 2^3$ i-й цифры множимого Ii и три старших разряда с внутритетрадными весами $2^1, 2^2, 2^3$ соседней младшей (i-1)-й цифры множимого Ii-1. На разряды 75-78 входа множителя I, i-модуля поступают разряды с внутритетрадными весами $2^0, 2^1, 2^2, 2^3$ I-й цифры множителя Xj. Для случая двоичных кодов цифре операнда модуля соответствует группа из четырех двоичных разрядов, т.е. 16-ричная цифра.

На вход суммы 95 и переноса входной суммы 106 I, i-модуля поступают соответственно сумма и перенос с выходов 90 и 94 (I-1), (i+1)-модуля, на входы 86-89 переноса I, i-модуля поступают соответственно сигналы с выхода 94 переноса (I-1), i-модуля, с выходов 91-93 I, (i-1)-модуля.

На входы 98-100 поправки кратных, вход 105 переполнения коррекции суммы I, i-модуля поступают сигналы с выходов 102-104 поправки и выхода 101 переполнения коррекции суммы I, (i-1)-модуля.

I, i-модуль работает в режиме двоичного или десятичного умножения.

Режим двоичного умножения устанавливается для случая двоичных (шестнадцатеричных) операндов за счет формирования единичного сигнала на входе 96 двоичного умножения и нулевого сигнала на входе 97 десятичного умножения. В этом случае сдвинутые на нуль, один, два, три разряда (в сторону старших) коды i-й цифры с учетом трех старших разрядов (i-1)-й цифры множимого проходят на выходы (в зависимости от значений соответствующих разрядов I-й цифры множителя) групп логических элементов И 5-8, 9-12, 13-16, 17-20. С выходов указанных групп двоичные кратные множимого поступают соответственно через элементы ИЛИ 74-71, 70-66, 64-61, 60-57 на разряды с весами $2^0, 2^1, 2^2, 2^3$ первого входа сумматоров 1-4. Таким образом, код, поступивший на вход 95 I, i-модуля, складывается в сумматоре 1 с переносом, поступившим на вход 86 I, i-модуля, и (если разряд 75 с весом 2^0 I-й цифры множителя равен единице, $B1 = 1$) с кодом однократного множимого M. Сумма с выхода сумматора 1 поступает на сумматор 2 и складывается с переносом, поступившим на вход 87 I, i-модуля, и (если $B2 = 1$) с двукратным множимым 2M. Сумма с выхода сумматора 2 поступает на сумматор 3 и складывается с переносом, поступившим на вход 88 I, i-модуля, и (если $B3 = 1$) с четырехкратным множимым 4M. Сумма с выхода сумматора 3 поступает на сумматор 4, где складывается с переносом, поступившим на вход 89 I, i-модуля, и (если $B4 = 1$) с восьмикратным кодом множимого 8M. С выхода сумматора 4 сумма передается на выход 90 I, i-модуля, где вместе с сигналами на выходах 91-94 переноса будет представлять результат умножения I-й цифры множителя на i-ю цифру множимого.

При работе в режиме десятичного умножения "1" поступает на вход 97 десятичного умножения, "0" - на вход 96 двоичного умножения. В этом случае запрещается прохождение сдвинутого на 3 разряда множимого через логические элементы И 17-20 и далее через ИЛИ 60-57 на первый вход сумматора 4, разрешается прохождение сдвинутого на 3 разряда множимого через логические элементы И 31-34, ИЛИ 64-61 на первый вход сумматора

3, разрешается учет сигналов с выходов логических элементов И 25-27, 30 (разрешается коррекция суммы) и 35-43 (разрешается коррекция кратных).

В десятичном режиме с помощью элементов 5-16, 21, 31-43, 48-53, 61-74 формируются коды, сумма которых равна сумме десятичных кратных множимого, которые необходимо прибавить к коду на входе 95 I, i-модуля при данном значении цифры множителя. Эти коды формируются путем изменения значений некоторых из двоичных разрядов множимого, сдвинутого на 0, 1, 2 или 3 разряда, в соответствии с табл. 1. При этом учитываются сигналы на входах 98-100 I, i-модуля и вырабатываются сигналы на его выходах 102-104.

Сумма, полученная на выходе сумматора 3, складывается в сумматоре 4 с кодом коррекции суммы, сформированным на выходах элементов ИЛИ 57-60. Данный код формируется на основании сигнала, присутствующего на входе 105, и сигналов на выходе логических элементов И 26-30, каждый из которых соответствует определенным комбинациям сигналов на входе 106 и на выходах 91-93 I, i-модуля. Кроме того, на основании сигналов на выходах элементов И 26-28 формируется сигнал на выходе 101 переполнения коррекции суммы, I, i-модуля. Условия коррекции суммы приведены в табл. 2.

При построении из операционных модулей множительной матрицы с распространением переносов по столбцам (фиг. 2) результат, формируемый на выходах K, i-модулей (K - последняя обрабатываемая цифра множителя), представлен в виде двухрядного кода (цифр, значения которых изменяются в диапазоне 0-15, и межтетрадных переносов). Для получения результата в однорядном коде на выходе матрицы, как и в прототипе, необходимо предусмотреть двоично-десятичный сумматор с блокируемыми в двоичном режиме цепями коррекции, выполняющий сложение межтетрадных переносов, тетрадных сумм и кодов коррекции "6" (код "6" в i-й тетраде двоично-десятичного сумматора прибавляется в десятичном режиме, если перенос на выходе 94 K, i-модуля равен единице).

Ф о р м у л а и з о б р е т е н и я

Операционный модуль, содержащий четыре четырехразрядных двоичных сум-

матора, тридцать один элемент И, четырнадцать элементов ИЛИ, два элемента НЕ, причем выходы переноса первого-четвертого сумматоров соединены соответственно с первым-четвертым выходами переноса модуля, четырехразрядный вход суммы которого соединен с первым входом первого сумматора, выход которого подсоединен к первому входу второго сумматора, выход которого подключен к первому входу третьего сумматора, выход которого подключен к первому входу четвертого сумматора, выход которого соединен с четырехразрядным выходом суммы операционного модуля, первый разряд входа множителя которого соединен с первыми входами первого-четвертого элементов И, выходы которых подключены соответственно к первым входам первого-четвертого элементов ИЛИ, выходы которых соединены соответственно с первым-четвертым разрядами второго входа первого сумматора, вход переноса которого соединен с первым входом переноса операционного модуля, второй разряд множителя которого подключен к первым входам пятого-девятого элементов И, выход последнего из которых соединен с вторыми входами второго и третьего элементов ИЛИ, третьи входы которых подключены к выходу десятого элемента И, выходы шестого-восьмого элементов И подсоединены соответственно к первым входам пятого-седьмого элементов ИЛИ, выходы которых соединены соответственно с вторым, третьим и четвертым разрядами второго входа второго сумматора, вход переноса которого соединен с вторым входом переноса операционного модуля, третий разряд множителя которого подсоединен к первым входам одиннадцатого-шестнадцатого элементов И, выходы одиннадцатого-четырнадцатого элементов И соединены соответственно с первыми входами восьмого-одиннадцатого элементов ИЛИ, выходы которых соединены соответственно с первым-четвертым разрядами второго входа третьего сумматора, вход переноса которого подключен к третьему входу переноса операционного модуля, четвертый разряд входа множителя которого соединен с первыми входами семнадцатого-двадцать первого элементов И, второй вход семнадцатого элемента И соединен с выходом первого элемента НЕ, вход

которого подключен к второму разряду входа множимого и к вторым входам второго, седьмого, четырнадцатого, восемнадцатого и девятнадцатого элементов И, третий вход которого соединен с третьим разрядом входа множимого, вторыми входами третьего, восьмого и шестнадцатого элементов И, третьим входом семнадцатого элемента И и с входом второго элемента НЕ, выход которого подключен к третьему входу восемнадцатого элемента И, четвертый вход которого подсоединен к вторым входам девятого, пятнадцатого, двадцатого элементов И, третьему входу шестнадцатого элемента И, четвертым входам семнадцатого и девятнадцатого элементов И и к входу десятичного умножения операционного модуля, первый разряд входа множимого которого соединен с вторыми входами первого, шестого, тринадцатого элементов И и первым входом двадцать второго элемента И, выход которого соединен с четвертым разрядом второго входа четвертого сумматора, третий и второй разряды которого подключены соответственно к выходам тринадцатого и четырнадцатого элементов ИЛИ, первые входы которых соединены соответственно с выходами двадцать третьего и двадцать четвертого элементов И, четвертый разряд входа множимого операционного модуля подключен к второму входу четвертого элемента И, третьим входам девятого, двадцатого элементов И и пятнадцатого элемента И, выход которого соединен с вторым входом седьмого элемента ИЛИ, первый вход двадцать пятого элемента И подключен к пятому разряду входа множимого операционного модуля, шестой разряд которого соединен с вторым входом одиннадцатого и первым входом двадцать четвертого элементов И, седьмой разряд входа множимого операционного модуля подсоединен к вторым входам пятого и двенадцатого элементов И и к первому входу двадцать третьего элемента И, выходы двадцать шестого и двадцать седьмого элементов И соединены соответственно с вторыми входами одиннадцатого и десятого элементов ИЛИ, третий выход переноса операционного модуля соединен с первым входом двадцать восьмого элемента И,

выход которого подключен к второму входу тринадцатого элемента ИЛИ, первые входы двадцать девятого и тридцатого элементов И соединены соответственно с первым и вторым выходами переноса операционного модуля, первый вход поправки кратных которого соединен с вторым входом восьмого элемента ИЛИ, выход тридцать первого элемента И подключен к второму входу пятого элемента ИЛИ, от л и ч а ю щ и й с я тем, что, с целью повышения быстродействия, он содержит девять элементов И, семь элементов ИЛИ, семь элементов НЕ, причем вход переноса входной суммы операционного модуля подключен к вторым входам двадцать девятого и тридцатого элементов И и к первому входу пятнадцатого элемента ИЛИ, выход которого соединен с первым входом тридцать второго элемента И и с входом третьего элемента НЕ, выход которого подключен к второму входу двадцать восьмого элемента И, третий вход которого соединен с входом десятичного умножения операционного модуля, первыми входами десятого, тридцать первого, тридцать третьего, тридцать четвертого и тридцать пятого элементов И и вторым входом тридцать второго элемента И, третий вход которого подключен к выходу четвертого элемента НЕ, вход которого соединен с вторыми входами тридцать третьего и тридцать четвертого элементов И и с выходом шестнадцатого элемента ИЛИ, входы которого соединены соответственно с выходами двадцать девятого, тридцатого и тридцать шестого элементов И, первый вход последнего из которых соединен с первым входом двадцать девятого элемента И и вторым входом пятнадцатого элемента ИЛИ, третий вход которого подсоединен к второму входу тридцать шестого элемента И и второму выходу переноса операционного модуля, третий выход переноса которого соединен с третьим входом тридцать третьего элемента И, первым входом тридцать седьмого элемента И и с входом пятого элемента НЕ, выход которого подключен к третьему входу тридцать четвертого элемента И и первому входу тридцать восьмого элемента И, второй вход которого соединен с выходом тридцать второго элемента И и вторым входом тридцать седьмого элемента И, выход

которого подсоединен к первому входу семнадцатого элемента ИЛИ и второму входу четырнадцатого элемента ИЛИ, третий вход которого соединен с вы- 5
 ходом тридцать четвертого элемента И и вторым входом семнадцатого элемен- 10
 та ИЛИ, третий вход которого соединен с выходом тридцать третьего элемента И и вторым входом двенадцатого эле- 15
 мента ИЛИ, выход семнадцатого элемен- та ИЛИ подключен к выходу переполне- ния коррекции суммы операционного модуля, вход переполнения коррекции суммы которого соединен с первым вхо- 20
 дом восемнадцатого элемента ИЛИ, вто- рой вход которого подсоединен к выхо- ду двадцать пятого элемента И, вто- рой вход которого соединен с вторыми 25
 входами двадцать второго, двадцать третьего и двадцать четвертого эле- ментов И и с выходом двадцать первого элемента И, второй вход которого сое- 30
 динен с входом двоичного умножения операционного модуля, второй вход поп- равки кратных которого соединен с пер- 35
 вым входом девятнадцатого элемента ИЛИ, второй вход которого подключен к выходу пятого элемента И, выход во- семнадцатого элемента И соединен с 40
 вторым входом шестого элемента ИЛИ и третьим входом пятого элемента ИЛИ, второй вход которого подсоединен к первому входу двадцатого элемента ИЛИ, второй вход которого соединен с выходом пятнадцатого элемента И, четвертый вход которого подсоединен к первому входу девятого элемента И и к входу шестого элемента НЕ, выход которого соединен с вторым входом 45
 тридцать первого элемента И, третий вход которого подключен к второму входу десятого элемента И, первому входу шестнадцатого элемента И и входу седьмого элемента НЕ, выход ко- 50
 торого соединен с четвертым входом девятого элемента И, третий вход ко- торого подключен к четвертому входу тридцать первого элемента И, выход двадцатого элемента ИЛИ соединен с первым выходом поправки кратных опе- рационного модуля, первый разряд вхо-

да множителя которого подсоединен к четвертому входу шестнадцатого эле- мента И и входу восьмого элемента НЕ, выход которого соединен с третьим 5
 входом десятого элемента И, четвертый вход которого подключен к третьему входу семнадцатого элемента И, выход которого соединен с четвертым входом 10
 второго элемента ИЛИ и первым входом двадцать первого элемента ИЛИ, выход которого соединен с вторым выходом поправки кратных операционного моду- ля, третий выход поправки кратных ко- 15
 торого подсоединен к выходу двадцато- го элемента И и четвертому входу тре- тьего элемента ИЛИ, выход шестнадца- того элемента И подключен к второму входу двадцать первого элемента ИЛИ и через девятый элемент НЕ к третье- 20
 му входу третьего элемента И, второй вход четвертого элемента ИЛИ соеди- нен с третьим входом двадцать перво- го элемента ИЛИ и выходом девятнад- 25
 цатого элемента И, первый вход кото- рого подключен к второму входу трид- цать пятого элемента И, выход которо- го соединен с первыми входами двад- цать шестого, двадцать седьмого, трид- 30
 цать девятого и сорокового элементов И, вторые входы которых подключены соответственно к первому, седьмому, шестому и пятому разрядам входа мно- жимого операционного модуля, третий 35
 вход поправки кратных которого под- соединен к второму входу девятого элемента ИЛИ, третий вход которого соединен с выходом тридцать девятого элемента И, выход сорокового элемен- 40
 та И подключен к третьему входу вось- мого элемента ИЛИ, выход тридцать восьмого элемента И соединен с тре- тьим входом тринадцатого элемента ИЛИ и с четвертым входом четырнадцатого 45
 элемента ИЛИ, пятый вход которого соединен с выходом двадцать восьмого элемента И, выходы восемнадцатого и девятнадцатого элементов ИЛИ соеди- 50
 нены соответственно с первыми разря- дами второго входа четвертого и вто- рого сумматоров.

Т а б л и ц а 1

№ пп	Коды множимого множителя							Величина коррек- ции крат- ных	Логическое условие	№ лог. эл.	Вид поп- равки	Вых. лог. эл.
	A8	A4	A2	B8	B4	B2	B1					
1	0	0	1	1	0	0	X	6	$A2 \cdot \overline{A4} \cdot B8 = 1$	38	$K_{2,2} = 1$ $K_{2,4} = 1$	68 67
2	0	1	X	0	1	X	0	6	$A4 \cdot B4 \cdot \overline{B1} = 1$	43	$K_{1,4} = 1$ $K_{1,2} = 1$	72 73
3	0	1	X	0	1	X	1	$6 = 10 - 4$	$A4 \cdot B4 \cdot B1 = 1$	35	$K_{1,4} = 1$ $ПК_2 = 1$	блок И7 70
4	0	1	0	1	0	0	X	$12 = 10 + 2$	$A4 \cdot \overline{A2} \cdot B8 = 1$	42	$K_{1,2} = 1$ $ПК_2 = 1$	73 70
5	0	1	1	1	0	0	X	$18 = 10 + 8$	$A4 \cdot A2 \cdot B8 = 1$	39	$K_{1,8} = 1$ $ПК_2 = 1$	71 70
6	1	0	0	0	0	1	X	6	$A8 \cdot \overline{B4} \cdot B2 = 1$	41	$K_{1,4} = 1$ $K_{1,2} = 1$	72 73
7	1	0	0	0	1	0	X	$12 = 10 + 2$	$A8 \cdot B4 \cdot \overline{B2} = 1$	37	$K_{2,2} = 1$ $ПК_3 = 1$	68 65
8	1	0	0	0	1	1	X	$18 = 10 + 8$	$A8 \cdot B2 \cdot B4 = 1$	36	$K_{2,8} = 1$ $ПК_3 = 1$	66 65
9	1	0	0	1	0	0	X	$24 = 20 + 4$	$A8 \cdot B8 = 1$	40	$K_{1,4} = 1$ $ПК_1 = 1$	72 40

Т а б л и ц а 2

№ пп	ПО (вход 106)	П1	П2	П3	Вид коррекции	Выход 101 перепол- нения коррекции суммы	Элемент, определя- ющий ус- ловие
1	0	0	0	1	+6		30
2	0	0	1	0	+6		29
3	0	0	1	1	$+12 = 2 + 10$	1	28
4	0	1	0	0	+6		29
5	0	1	0	1	$+12 = 2 + 10$	1	28
6	0	1	1	0	$+12 = 2 + 10$	1	27
7	0	1	1	1	$18 = 8 + 10$	1	26
8	1	0	0	0	6		29
9	1	0	0	1	$12 = 2 + 10$	1	28
10	1	0	1	0	$12 = 2 + 10$	1	27
11	1	0	1	1	$18 = 8 + 10$	1	26
12	1	1	0	0	$12 = 2 + 10$	1	27
13	1	1	0	1	$18 = 8 + 10$	1	26

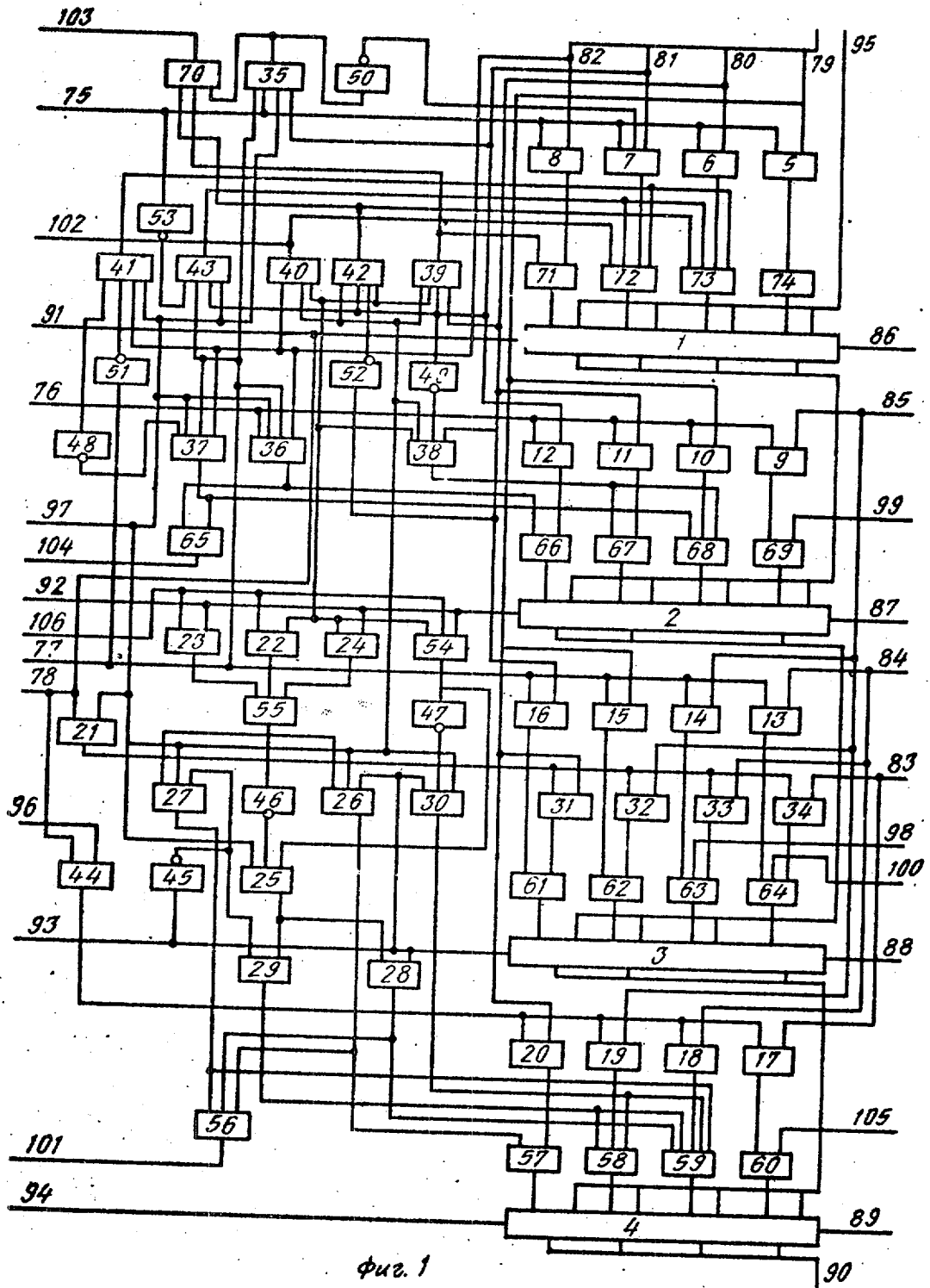
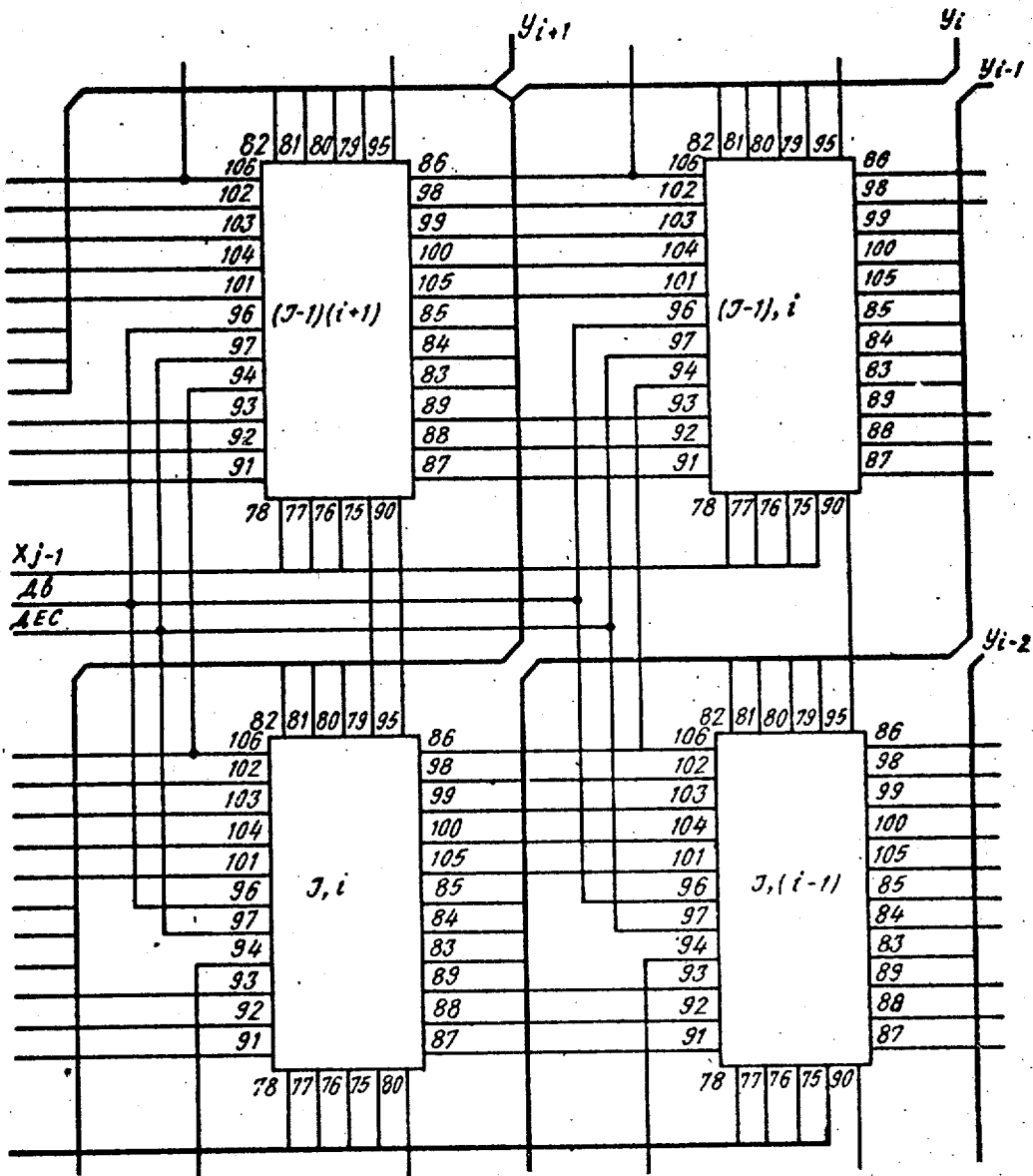


Fig. 1



Фиг. 2

Редактор А.Маковская Составитель Л.Глухова Техред М.Ходанич Корректор А.Тяско

Заказ 3194/44 Тираж 704 Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4