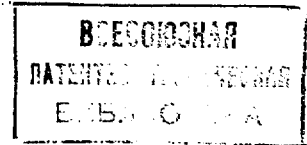




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР



ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4161169/24-24
- (22) 15.12.86
- (46) 07.05.89. Бюл. № 17
- (71) Минский радиотехнический институт
- (72) А.Г. Батюков и А.А. Шостак
- (53) 681.325(088.8)
- (56) Авторское свидетельство СССР № 1357947, кл. G 06 F 7/52, 1986.
Авторское свидетельство СССР № 1282117, кл. G 06 F 7/52, 1985.
- (54) УСТРОЙСТВО ДЛЯ ДЕЛЕНИЯ
- (57) Изобретение относится к вычис-

лительной технике и может быть использовано для быстродействующих арифметических устройств для выполнения операции деления чисел. Цель изобретения - сокращение объема оборудования, необходимого для реализации устройства. Устройство для деления содержит регистры 1, 2 остатка, регистр 3 делителя, сумматор 4 частного, блок 5 деления усеченных чисел, компараторы 6, 11, блок 7 умножения, вычитатель 8, сумматор 9, элемент ИЛИ 10, блок 12 управления с соответствующими связями. 3 ил.

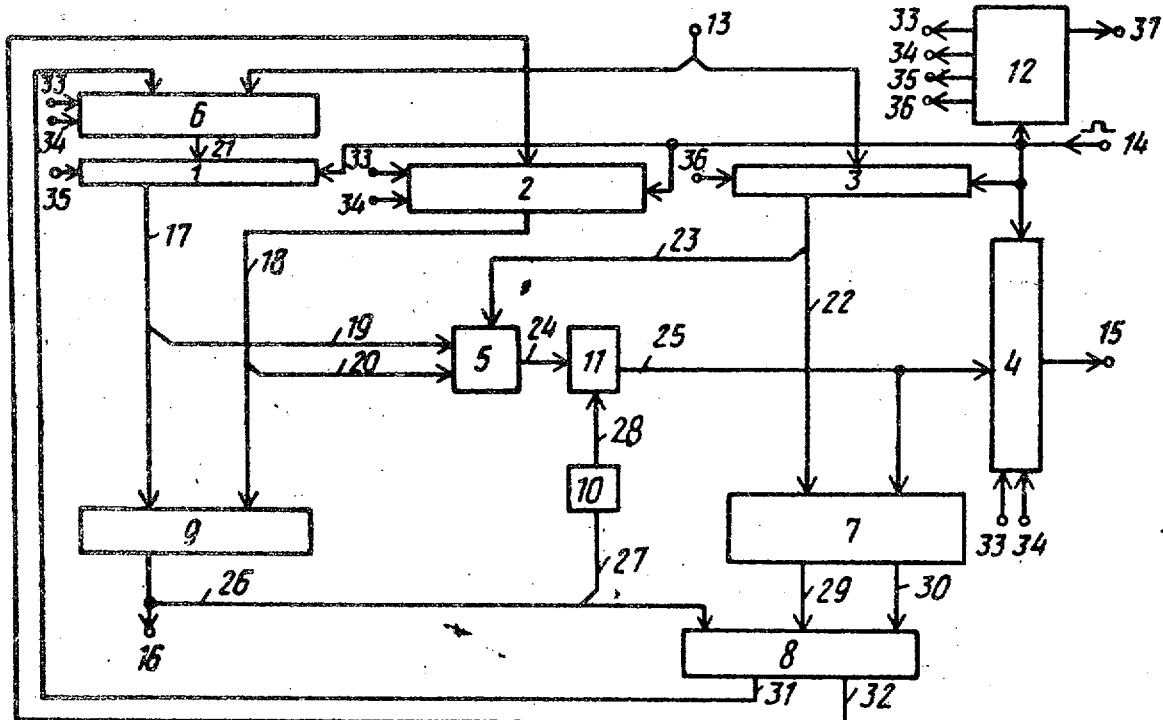


Fig. 1

Изобретение относится к вычислительной технике и может быть использовано для быстродействующих арифметических устройств для выполнения операции деления чисел.

Цель изобретения - сокращение объема оборудования, необходимого для реализации устройства.

На фиг.1 приведена структурная схема устройства для деления; на фиг.2 - функциональная схема блока управления; на фиг.3 - микропрограмма работы устройства.

Устройство для деления содержит (фиг.1) первый 1 и второй 2 регистры остатка, регистр 3 делителя, сумматор 4 частного, блок 5 деления усеченных чисел, первый коммутатор 6, блок 7 умножения, вычитатель 8, сумматор 9, элемент ИЛИ 10, второй коммутатор 11, блок 12 управления, входы 13 и 14 данных и синхронизации соответственно, выходы 15 и 16 частного и остатка соответственно, выходы 17 разрядов регистра 1, выходы 18 разрядов регистра 2, выходы 19 старших разрядов регистра 1, выходы 20 старших разрядов регистра 2, выходы 21 коммутатора 6, выходы 22 разрядов регистра 3, выходы 23 старших разрядов регистра 3, выходы 24 блока 5, выходы 25 коммутатора 11, выходы 26 разрядов сумматора 9, выходы 27 старших разрядов сумматора 9, выход 28 элемента ИЛИ 10, выходы 29 и 30 первой и второй групп блока 7, выходы 31 и 32 первой и второй групп вычитателя 8, выходы 33-37 блока 12 управления. Блок 12 (фиг.2) содержит счетчик 38 и память 39 микрокоманд.

Вход 13 данных устройства соединен с информационными входами регистра 3 делителя и с информационными входами первой группы первого коммутатора 6, выходы 21 которого соединены с информационными входами первого регистра 1 остатка, выходы 17 которого соединены с входами первого слагаемого сумматора 9, входы второго слагаемого которого соединены с выходами 18 второго регистра 2 остатка, выходы 26 сумматора 9 являются выходом 16 остатка устройства и соединены с входами уменьшаемого вычитателя 8, выходы 31 и 32 первой и второй групп которого соединены с информационными входами второй группы первого коммутатора 6 и информационными

входами второго регистра 2 остатка соответственно, выходы 22 регистра 3 делителя соединены с входами первой группы блока 7 умножения, выходы 29 и 30 соответственно первой и второй групп которого соединены с входами вычитаемого первой и второй групп вычитателя 8, выходы 19 и 20 старших разрядов соответственно первого и второго регистров 1 и 2 остатка соединены с входами делимого первой и второй групп блока 5 деления усеченных чисел соответственно, входы делителя которого соединены с выходами 23 старших разрядов регистра 3 делителя, выходы 24 блока 5 деления усеченных чисел соединены с информационными входами второго коммутатора 11, выходы 25 которого соединены с входами второй группы блока 7 умножения и с входами младших разрядов сумматора 4 частного, выходы которого являются выходом 15 частного устройства, выходы 27 старших разрядов сумматора 9 соединены с входами элемента ИЛИ 10, выход 28 которого соединен с управляющим входом второго коммутатора 11, синхровходы первого 1 и второго 2 регистров остатка, регистра 3 делителя, сумматора 4 частного и блока 12 управления соединены с входом 14 синхронизации устройства, первый выход 33 блока 12 управления соединен с первым управляющим входом первого коммутатора 6 и с входами установки в "0" второго регистра 2 остатка и сумматора 4 частного, второй выход 34 блока 12 управления соединен с вторым управляющим входом первого коммутатора 6 и с входами разрешения записи второго регистра 2 остатка и сумматора 4 частного, третий 35 и четвертый 36 выходы блока 12 управления соединены с входами разрешения записи первого регистра 1 остатка и регистра 3 делителя соответственно, пятый выход 37 блока 12 управления является выходом синхронизации окончания деления устройства.

Рассмотрим функциональное назначение и реализацию основных узлов и блоков устройства для деления.

Первый регистр 1 остатка (n+1)-разрядный, из которых один разряд расположен слева от запятой и n разрядов - справа от запятой. В исходном состоянии в этом регистре хранится n-разрядный двоичный код делимого

без знака, а в процессе деления в него записываются значения сумм очередных остатков, формируемых в устройстве в двухрядном коде (в виде двух чисел; первое число является поразрядной суммой, а второе - его поразрядными переносами). Второй регистр 2 остатка содержит n разрядов, из которых один расположен слева от запятой, а остальные - справа. В исходном состоянии этот регистр обнулен. Регистр 3 делителя n -разрядный, причем все разряды расположены справа от запятой. В регистре 3 делителя в исходном состоянии хранится n -разрядный двоичный код делителя без знака. Предполагается, что регистры реализованы на основе двухтактных синхронных DV-триггеров. Запись информации в регистры производится по синхроимпульсу при наличии разрешающего потенциала на их V-входах.

Сумматор 4 частного предназначен для хранения частного и участвует в процессе формирования правильного значения частного. В первом такте деления сумматор 4 частного обнуляется путем подачи импульса с входа 14 синхронизации устройства на его синхровходы и разрешающего потенциала с первого выхода 33 блока 12 управления на вход разрешения установки в "0" сумматора 4 частного. Во всех других тактах работы устройства в сумматоре 4 частного накапливается значение частного. Для этого к значению частного, сформированному на предыдущих тактах работы устройства и сдвинутому на $(k-1)$ разряд влево (в сторону старших разрядов), прибавляется значение k цифр частного, сформированных на выходах 25 второго коммутатора 11 в текущем такте. Запись результата этого суммирования в сумматор 4 частного производится по синхроимпульсу при наличии разрешающего потенциала на входе разрешения записи, который подключен к второму входу 34 блока 12 управления. После завершения деления образованное в сумматоре 4 частного поступает на выход 15 частного устройства. Предполагается, что сумматор 4 частного реализован на основе комбинационного сумматора и регистра.

Формирование k цифр частного на каждом такте работы устройства производится путем деления значения стар-

ших разрядов неприведенного остатка на значение старших разрядов делителя, увеличенное на единицу младшего разряда. Увеличение значения старших разрядов делителя на единицу младшего разряда устраняет возможность получения в устройстве k цифр частного с избытком. Так как в предлагаемом устройстве при формировании k цифр частного используются только старшие разряды остатка, не приведенного к однорядному коду, то становится возможным образование неправильного значения k цифр частного. Так, если значение старших разрядов приведенного остатка, полученного на выходах 26 сумматора 9, равно нулю, то значение старших разрядов остатка на выходах 19 и 20 старших разрядов первого 1 и второго 2 регистров остатка может быть меньше, чем нуль на единицу младшего разряда, т.е. значение

$\underbrace{1, 11 \dots 1}_1$, где 1 - количество стар-

ших разрядов остатка, участвующих в формировании k цифр частного. Для исключения возможности получения в этом случае неверного значения k цифр частного в устройстве предусмотрена блокировка (формирование значения k цифр частного, равного нулю) цифр частного, полученных на выходах 24 блока 5 деления усеченных чисел, путем подачи на управляющий вход второго коммутатора 11 уровня логического "0" с выхода 28 элемента ИЛИ 10. Уровень логического "0" на его выходе 28 устанавливается в том случае, если значение k старших разрядов однорядного кода остатка, полученного на выходах 27 старших разрядов сумматора 9, равно нулю. Во всех других случаях на выходы 25 второго коммутатора 11 пропускается значение k цифр частного с выходов 24 блока 5 деления усеченных чисел.

В блоке 5 деления усеченных чисел производится деление значения старших $(k+3)$ разрядов неприведенного остатка, поступающего на входы делителя первой и второй групп блока 5 деления усеченных чисел с выходов 19 и 20 старших разрядов первого 1 и второго 2 регистров остатка соответственно, на значение старших $(k+2)$ разрядов делителя, поступающего на входы делителя блока 5 деления усеч-

ченных чисел с выходов 23 старших разрядов регистра 3 делителя, увеличенное на единицу младшего разряда. При этом значение k -разрядного частного, получаемого на выходах 25 второго коммутатора, может быть либо равно значению старших k разрядов частного, получаемого при делении p -разрядных чисел, либо меньше его на единицу младшего разряда с весом $2^{-(k-1)}$. Предполагается, что блок 5 деления усеченных чисел реализован в виде однократной делительной матрицы, выполняющей деление $(k+3)$ -разрядного делимого, представленного в двухрядном коде, на $(k+2)$ -разрядный делитель по методу без восстановления остатка и без приведения переносов в остатках.

С помощью первого коммутатора 6 осуществляется передача на информационные входы первого регистра 1 остатка либо делимого с входа 13 данных устройства, когда на первом выходе 33 блока 12 управления формируется сигнал логической "1", либо результата, образованного на выходах 31 первой группы вычитателя 8, когда на втором выходе 34 блока 12 управления формируется сигнал логической "1". Первый коммутатор 6 может быть реализован на элементах 2И-2ИЛИ.

С помощью второго коммутатора 11 осуществляется передача на выходы 25 либо k разрядов частного, сформированного на выходах 24 блока 5 деления усеченных чисел, когда на управляющем входе второго коммутатора 11 присутствует сигнал логической "1", подаваемый с выхода 28 элемента ИЛИ 10, либо "0", когда на управляющем входе второго коммутатора 11 присутствует сигнал логического "0". Вторым коммутатор 11 может быть реализован на элементах И.

В блоке 7 умножения осуществляется перемножение k -разрядного частного, сформированного на выходах 25 второго коммутатора 11 и поступающего на вторую группу входов блока 7 умножения, и p -разрядного делителя, хранящегося в регистре 3 делителя и поступающего на первую группу входов блока 7 с выходов 22 регистра 3 делителя. На выходах 29 и 30 первой и второй групп блока 7 умножения образуется произведение в двухрядном коде (в виде двух чисел). Блок 7 умножения ком-

бинационного типа может быть реализован хорошо известными методами и средствами. Он может быть также реализован в виде совокупности из p/k k -разрядных двоичных умножителей.

В вычитателе 8 осуществляется вычитание из остатка, сформированного в однорядном коде на выходах 26 сумматора 9, произведения делителя на k цифр частного, образованного в двухрядном коде на выходах 29 и 30 первой и второй групп блока 7 умножения. Результат этого вычитания является очередным остатком и получается на выходах 31 и 32 первой и второй групп вычитателя 8 в двухрядном коде.

С помощью сумматора 9 двухрядный код остатка, хранимый в первом 1 и втором 2 регистрах остатка, преобразуется в однорядный код. Если вычитатель 8 реализован на одноразрядных двоичных вычитателях и в нем формируется остаток в двухрядном коде в виде разности и займа, то сумматор 9 фактически осуществляет операцию вычитания. Предполагается, что эта операция выполняется через суммирование. Для этого необходимо информацию, поступающую на его вход с выходов 18 второго регистра 2 остатка, проинвертировать, а на вход переноса сумматора 9 подать сигнал логической "1". Сумматор 9 - комбинационного типа с ускоренным распространением переноса. На выходы 27 старших разрядов сумматора 9 поступают старшие k разрядов результата, образованного в сумматоре 9.

Блок 12 управления координирует работу узлов и блоков устройства при выполнении в нем операции деления чисел. Он может быть реализован (фиг.2) на основе счетчика 38 и памяти 39 микрокоманд. Счетчик 38 накапливающего типа и предназначен для естественной адресации микрокоманд. Вход счета счетчика соединен с входом 14 синхронизации устройства. В качестве памяти 39 микрокоманд может быть применена быстродействующая постоянная память емкостью $(m+2) \times 5$, где $m = p/(k-1)$. В самом начале работы устройства счетчик 38 устанавливается в некоторое исходное состояние, например в "0" (на фиг.2 цепь установки счетчика 38 в исходное состояние не показана).

Устройство для деления работает следующим образом.

Пусть на вход 13 устройства уже поступили n -разрядные двоичные коды делимого x и делителя y (здесь предполагается, что делимое и делитель правильные положительные дроби), а счетчик 38 блока 12 управления установлен в исходное нулевое состояние. По содержимому счетчика 38, которое служит адресом обращения к памяти 39 микрокоманд блока 12 управления, из памяти 39 считывается микрокоманда 1, которой соответствуют управляющие сигналы У33, У35, У36 (фиг.3). В результате этого соответственно на первом 33, третьем 35 и четвертом 36 выходах блока 12 управления устанавливаются уровни логической "1". Под действием этих управляющих сигналов первый коммутатор 6 пропускает на информационные входы первого регистра 1 остатка делимое x с входа 13 данных устройства, регистр 1 остатка и регистр 3 делителя подготовлены к приему информации, так как на их входах разрешения записи присутствуют потенциалы логической "1", а второй регистр 2 остатка и сумматор 4 частного настроены на обнуление. С приходом первого импульса на вход 14 синхронизации устройства производится запись двоичных кодов делимого x и делителя y в регистры 1 и 3 соответственно, а также обнуление второго регистра 2 остатка и сумматора 4 частного и установка счетчика 38 блока 12 управления в состояние "1". С момента окончания действия первого импульса на входе 14 синхронизации устройства заканчивается подготовительный этап и начинается собственно деление, в процессе которого в течение m тактов формируется $m(k-1) + 1$ двоичная цифра частного.

В первом такте собственно деления по значению старших разрядов делимого x (на следующих тактах в роли делимого выступает остаток, хранящийся в регистрах 1 и 2 в двухрядном коде) и делителя y на выходах 24 блока 5 деления усеченных чисел формируется k двоичных цифр частного. Параллельно с работой блока 5 деления усеченных чисел работает сумматор 9, который преобразует двухрядный код текущего остатка в однорядный. Старшие k разрядов образованного в сумматоре

9 результата поступают с выходов 27 старших разрядов сумматора 9 на входы элемента ИЛИ 10. Если значение старших k разрядов результата равно нулю, на выходе 28 элемента ИЛИ 10 формируется сигнал логического "0", в противном случае - сигнал логической единицы. Сигнал с выхода 28 элемента ИЛИ 10 поступает на управляющий вход второго коммутатора 11. Если этот сигнал соответствует уровню логической "1", то в качестве k -разрядного частного в устройстве используется значение k цифр частного, образованного на выходах блока 5 деления усеченных чисел, а если этот сигнал соответствует уровню логического "0", то во втором коммутаторе 11 производится блокировка k цифр частного, поступающих с выходов 24 блока 5 деления усеченных чисел, и в устройстве используется значение частного, равное нулю. Сформированное на выходах 25 второго коммутатора 11 k -разрядное частное s_1 (на следующих тактах s_i , где i - номер такта собственно деления) поступает на информационные входы младших разрядов сумматора 4 частного и на входы второй группы блока 7 умножения, на выходах 29 и 30 которого образуется в двухрядном коде произведение us_i , а с помощью вычитателя 8 формируется разность $x - us_i$ в двухрядном коде, которая в дальнейшем служит остатком и подается на входы второй группы первого коммутатора 6 и второго регистра 2 остатка со сдвигом на $(k-1)$ разрядов влево (в сторону старших разрядов). Одновременно с этим из памяти 39 микрокоманд блока 12 управления считывается микрокоманда 2, которой соответствуют управляющие сигналы У34, У35 и соответственно на втором 34 и третьем 35 выходах блока 12 управления устанавливаются уровни логической "1". Под действием управляющих сигналов первый коммутатор 6 пропускает на информационные входы первого регистра 1 остатка результат с выходов 31 вычитателя 8, регистры 1 и 2 остатка и сумматор 4 частного подготовлены к приему информации. С приходом второго импульса на вход 14 синхронизации устройства в регистры 1 и 2 остатка записывается сформированный на выходах 31 и 32 вычитателя 8 двухрядный код остатка, в младшие

разряды сумматора 4 частного заносятся к цифр частного, а счетчик 38 блока 12 управления устанавливается в состояние "2".

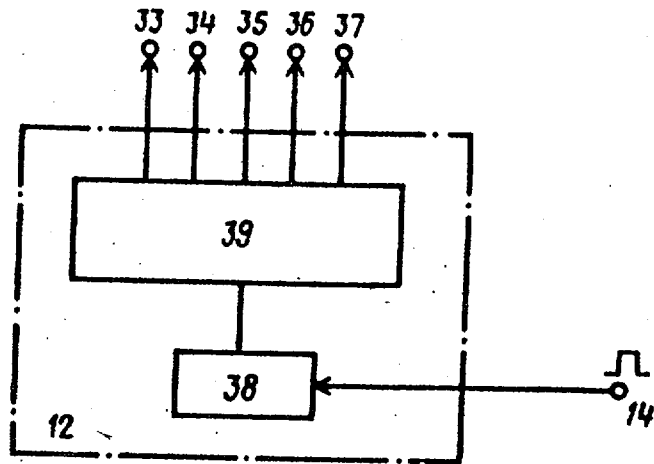
Аналогичным образом устройство функционирует и в других тактах. В каждом такте старшая двоичная цифра из очередных k цифр частного, образованных на выходах 25 второго коммутатора 11 и поступающих на информационные входы младших разрядов сумматора 4 частного, подсуммируется к младшему двоичному разряду содержимого сумматора 4 частного, сдвинутому на $(k-1)$ разрядов в сторону его старших разрядов.

После выполнения последнего $(m+1)$ такта на выходе 15 частного устройства образуется n -разрядное частное, на выходе 16 остатка устройства образуется n -разрядный остаток. Одновременно с этим из памяти 39 микрокоманд блока 12 управления считывается микрокоманда $(m+2)$, которой соответствует управляющий сигнал У37 и соответственно на пятом выходе 37 блока 12 управления устанавливается уровень логической "1", сигнализирующий об окончании операции деления.

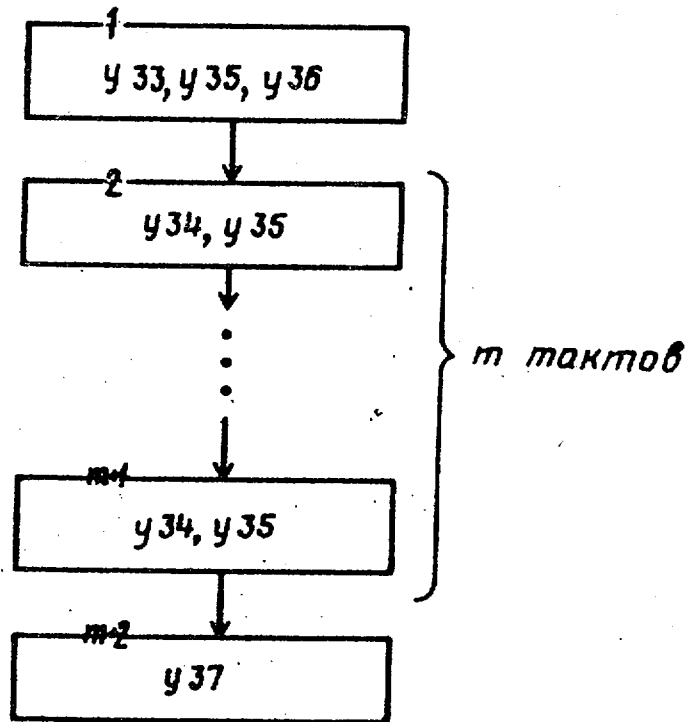
Ф о р м у л а и з о б р е т е н и я

Устройство для деления, содержащее первый и второй регистры остатка, регистр делителя, сумматор частного, блок деления усеченных чисел, первый и второй коммутаторы, блок умножения, вычитатель, сумматор и блок управления, причем вход данных устройства соединен с информационными входами разрядов регистра делителя и с информационными входами первой группы первого коммутатора, выходы которого соединены с информационными входами разрядов первого регистра остатка, выходы которого соединены с входами разрядов первого слагаемого сумматора, входы разрядов второго слагаемого которого соединены с выходами разрядов второго регистра остатка, выходы разрядов сумматора являются выходом остатка устройства и соединены с входами разрядов уменьшаемого вычитателя, выходы

разрядов первой и второй групп которого соединены с информационными входами второй группы первого коммутатора и информационными входами разрядов второго регистра остатка соответственно, выходы разрядов регистра делителя соединены с входами первой группы блока умножения, выходы первой и второй групп которого соединены с входами разрядов вычитаемого первой и второй групп вычитателя, выходы старших разрядов первого и второго регистров остатка соединены с входами разрядов делимого первой и второй групп блока деления усеченных чисел соответственно, входы разрядов делителя которого соединены с выходами старших разрядов регистра делителя, выходы разрядов блока деления усеченных чисел соединены с информационными входами второго коммутатора, выходы которого соединены с входами второй группы блока умножения и с входами младших разрядов сумматора частного, выходы разрядов которого являются выходом частного устройства, синхровходы первого и второго регистров остатка, регистра делителя, сумматора частного и блока управления соединены с входом синхронизации устройства, первый выход блока управления соединен с первым управляющим входом первого коммутатора и с входами установки в "0" второго регистра остатка и сумматора частного, второй выход блока управления соединен с вторым управляющим входом первого коммутатора и с входами разрешения записи второго регистра остатка и сумматора частного, третий и четвертый выходы блока управления соединены с входами разрешения записи первого регистра остатка и регистра делителя, пятый выход блока управления является выходом сигнализации окончания деления устройства, о т л и ч а ю щ е е с я тем, что, с целью сокращения объема оборудования, устройство содержит элемент ИЛИ, причем входы элемента ИЛИ соединены с выходами старших разрядов сумматора, а выход элемента ИЛИ соединен с управляющим входом второго коммутатора.



Фиг.2



Фиг.3

Редактор О. Головач Составитель В. Березкин Корректор Н. Король
 Техред М. Ходанич

Заказ 2364/48 Тираж 669 Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101