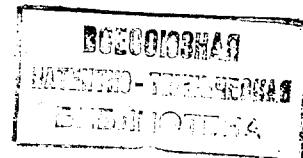




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГКНТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



1

2

(21) 4719275/24

(22) 14.07.89

(46) 07.07.91. Бюл. № 25

(71) Минский радиотехнический институт

(72) В.Г. Левашенко, Г.А. Кухарев,

В.П. Шмерко и С.Н. Янушкевич

(53) 681.325(088.8)

(56) Авторское свидетельство СССР

№ 1269146, кл. G 06 F 15/31, 1985.

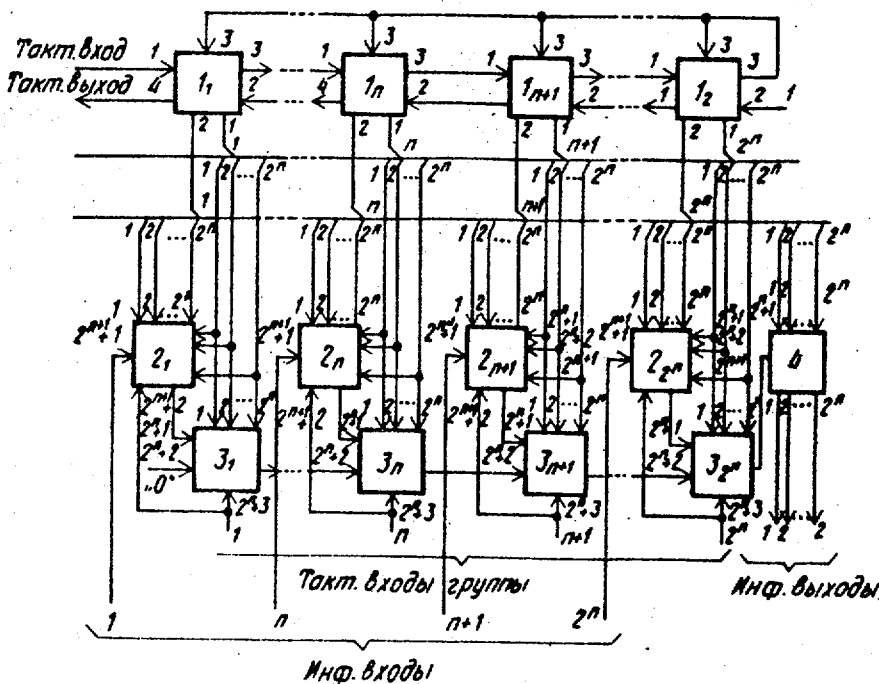
Авторское свидетельство СССР

№ 1001107, кл. G 06 F 15/332, 1982.

(54) УСТРОЙСТВО ДЛЯ РЕШЕНИЯ БУЛЕВЫХ ДИФФЕРЕНЦИАЛЬНЫХ УРАВНЕНИЙ

(57) Изобретение относится к цифровой вычислительной технике и может быть использовано в качестве аппаратной поддержки вычислений в системах автоматизированно-

го проектирования цифровых автоматов, при анализе и диагностике комбинационных схем, в системах логического управления роботами-манипуляторами, ... гибкими автоматизированными производствами. Цель изобретения – расширение функциональных возможностей за счет решения булевых дифференциальных уравнений. Поставленная цель достигается тем, что устройство содержит 2^n блоков 1 управления, где n – число булевых переменных, 2^n блоков 2 дешифрации, 2^n вычислительных блоков 3 и коммутатор 4. Исходное булево дифференциальное уравнение, представляемое как система булевых уравнений в форме Жегалкина, решается посредством быстрого дискретного преобразования Фурье в конъюнктивном базисе. 4 ил.



Фиг. 1

(19) SU (11) 1661791 A1

Изобретение относится к цифровой вычислительной технике и может быть использовано в качестве аппаратной поддержки вычислений в системах автоматизированного проектирования цифровых автоматов, при анализе и диагностике комбинационных схем, в системах логического управления роботами-манипуляторами, гибкими автоматизированными производствами.

Цель изобретения – расширение функциональных возможностей за счет решения булевых дифференциальных уравнений.

Устройство (фиг. 1) содержит 2^n блоков 1 управления, 2^n блоков 2 дешифрации, 2^n вычислительных блоков 3 и коммутатор 4. Каждый блок 1 управления (фиг. 2) содержит первый 5 и второй 6 триггеры и элемент И 7. Каждый блок 2 дешифрации (фиг. 3) содержит дешифратор 8, регистры 9, элементы И 10 первой группы, элементы И 11 второй группы и элемент ИЛИ 12. Каждый вычислительный блок 3 (фиг. 4) содержит сумматор 13 по модулю два, элементы И 14, сдвигающие регистры 15, первый 16 и второй 17 элементы ИЛИ и элемент 18 задержки.

Устройство имеет следующий алгоритм работы.

На первом этапе выполняют усеченное дискретное преобразование Фурье в конъюнктивном базисе согласно матричному соотношению:

$$X = \bar{K}_2 2^n F_2^n \pmod{2},$$

где $F_2^{(1)}$ – матрица дифференцирования размерности $2^n \times 2^n$, формируемая по соотношению

$$F_2^{(1)} = |2^i - 1| \otimes \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix} \otimes |2^{n-i} - 1|, i = \overline{1, n},$$

где $|2^i - 1|$ и $|2^{n-i} - 1|$ единичные матрицы размерностей $2^{i-1} \times 2^{i-1}$ и $2^{n-i} \times 2^{n-i}$ соответственно;

\otimes – символ кронекеровского произведения матриц, причем при умножении матрицы $F_2^{(1)}$ и вектора \bar{X} используются операции конъюнкции и суммирования по модулю два.

Матрица $\bar{K}_2 2^n$ размерности $2^{2^n} \times 2^n$ формируется из матрицы конъюнктивного преобразования $K_2 2^n$ размерности $2^{2^n} \times 2^{2^n}$ путем выделения столбцов с номерами $2^t = (t=0, 2^n-1)$ и удаления остальных:

$$K_2^t = K_2^{t-1} \otimes K_2; \\ t = \overline{1, 2^n}, K_2 = \begin{pmatrix} 1 & 0 \\ 1 & 1 \end{pmatrix}.$$

На втором этапе над векторами $\bar{X}^{(0)}$ системы X выполняется операция поэлементной дизъюнкции. В итоге получают вектор решения \bar{X} (как результат объединения решений отдельных уравнений системы).

На третьем этапе алгоритма определяют нулевые элементы вектора решений \bar{X} и соответствующие им наборы переменных

$X^{(0)}, X^{(1)}, \dots, X^{2^n-1}$, являющиеся коэффициентами векторов значений

$$\bar{X} = [X^{(0)} X^{(1)} \dots X^{2^n-1}]^T$$

искомых булевых функций $f(X)$.

Функционирование i -го блока 1 управления ($i = \overline{1, 2^n}$) рассмотрим на примере блока 1₁ управления.

В момент времени t_0 на счетный вход триггера 5 поступает тактовый импульс и на выходе триггера 5 формируется уровень логического "0". Он передается с выхода триггера 5 на первый вход элемента И 7 и на третий выход блока 1₁. В момент времени t_0 на вход установки в "1" триггера 6 поступает высокий логический уровень сигнала и на выходе триггера 6 формируется уровень логической "1", который передается на второй выход блока 1₁. Сигнал высокого уровня подается на второй вход элемента И 7, с выхода которого низкий логический уровень сигнала передается на четвертый выход блока 1₁.

В момент времени t_1 на счетный вход триггера 5 поступает тактовый импульс, который устанавливает триггер 5 в состояние логической "1". С выхода триггера 5 высокий логический уровень сигнала поступает на первый вход элемента И 7 и на третий выход блока 1₁. В момент времени t_1 на второй вход элемента И 7 поступает высокий логический уровень сигнала, с выхода элемента И 7 этот сигнал передается на вход установки в "0" триггера 6 и на четвертый выход блока 1₁. На выходе триггера 6 устанавливается низкий логический уровень сигнала, который передается на второй выход блока 1₁

(он сохраняется на нем по 2^{2^n} -й такт включительно).

На третьем такте (момент времени t_3) в схеме происходят те же переключения, что и на первом такте, за исключением того, что на вход установки в "1" триггера 6 сигнал не поступает. На четвертом, пятом и т.д. по 2^{2^n} -й такт включительно блок 1₁ функционирует так же, как на втором и третьем, однако при этом на второй вход элемента И 7 поступает низкий логический уровень сигнала. Функционирование блока 1₂ отличается лишь тем, что на его тактовый вход поступа-

ют сигналы, которые формируются на первом выходе блока 1₁.

Процесс функционирования блока 2₁ осуществляется следующим образом: на тактах с первого по 2ⁿ-й выполняется загрузка элементов $d^{(0,i-1)}, d^{(1,i-1)}, \dots, d^{(2^n-1,i-1)}$ i-го столбца матрицы преобразования F_{2^n} , так что на K-м ($K=1, 2^n$) такте загружается элемент $d^{(K-1,i-1)}$. Этот элемент передается на выход на соответствующих тактах работы устройства (элемент $d^{(K-1,i-1)}$ на тактах с $(2^{K-1}+1)$ -го по 2^K-й). Процесс завершается на 2^{2ⁿ}-м такте.

На первом такте на входы с первого по 2ⁿ-й дешифратора 8 поступает код 0,0,...,0. В результате на первом выходе дешифратора 8 формируется высокий логический уровень сигнала, который передается на первый вход элемента И 10₁, на второй вход которого поступает тактовый импульс. В результате импульс записи с выхода элемента И 10₁ передается на вход записи считывания регистра 19₁, на информационный вход которого поступает элемент $d^{(0,i-1)}$ i-го столбца матрицы преобразования F_{2^n} . На этом такте на выход блока через элемент ИЛИ 12 с выхода элемента И 11_к (на его втором входе – низкий логический уровень сигнала) передается низкий логический уровень сигнала.

На втором такте (момент времени t₁) на входы с первого по 2ⁿ-й дешифратора 8 поступает код 1,0,...,0. В результате на втором выходе дешифратора 8 формируется высокий логический уровень сигнала, который передается на первый вход элемента И 10₂. При этом на его второй вход поступает тактовый импульс, он передается на вход записи регистра 9₂, на информационный вход которого поступает следующий элемент $d^{(1,i-1)}$ i-го столбца матрицы преобразования F_{2^n} . На этом такте на выход блока через элемент И 11₁ (на его втором входе – высокий логический уровень сигнала) и элемент ИЛИ 12 передается содержимое регистра 9₁ – $d^{(0,i-1)}$ (на остальных входах элемента ИЛИ 12 – сигналы логического "0").

Наконец, на 2ⁿ-м такте работы устройства 2ⁿ-й элемент $d^{(2^n-1,i-1)}$ i-го столбца матрицы преобразования F_{2^n} записывается в 2ⁿ-й регистр 9. При этом элементы с выходов регистров 9_к ($K=1, 2^n$) передаются на выход блока со следующей последовательности: на третьем и четвертом тактах – $d^{(1,i-1)}$, на пятом – восьмом и т.д., так что K-й элемент $d^{(K,i-1)}$ i-го столбца матрицы преоб-

разования F_{2^n} передается на выход блока 2₁ с (2^{K+1}) -го такта по 2^{K+1}-й такт включительно.

Функционирование вычислительного блока 3₁ рассмотрим на примере вычислительного блока 3₁.

На первом такте (момент времени t₀) на вторые входы элементов И 14_к поступает код 0,0,...,0. В результате с выходов элементов И 14_к низкий логический уровень сигнала передается на входы элемента ИЛИ 17. С выхода элемента ИЛИ 17 низкий логический уровень сигнала передается на второй вход сумматора 13 по модулю два, на первый вход которого поступает сигнал логического "0". В этот момент времени t₀ по сигналу сдвига в регистрах 15_к выполняется сдвиг содержимого на один разряд влево (в сторону старших разрядов). По сигналу, поступающему на вход записи/считывания регистров 15_к через 0,5 такта осуществляется запись этого содержимого в регистры 15_к (в первый регистр записывается результат суммирования по модулю два – логический "0", который поступает также на второй вход элемента ИЛИ 16). В результате на выходе элемента ИЛИ 16 формируется результат (логический "0"), который передается на выход блока 3₁.

На втором такте (момент времени t₁) на вторые входы элементов И 14_к поступает код 1,0,...,0. В результате на выход элемента И 14₁, а затем на первый вход элемента ИЛИ 17 передается содержимое регистра 15₁. С выхода элемента ИЛИ 17 содержимое регистра 15₁ (логический "0") передается на второй вход сумматора 13 по модулю два. На его первый вход поступает элемент $d^{(0,0)}$ первого столбца матрицы преобразования F_{2^n} . В этот момент времени t₁ по сигналу сдвига в регистрах 15_к выполняется сдвиг содержимого на один разряд влево (в сторону старших разрядов). По сигналу, поступающему на вход записи/считывания регистра 15_к через 0,5 такта с выхода элемента 18 задержки, осуществляется запись этого содержимого в регистры 15_к. При этом в первый регистр записывается результат суммирования по модулю два ($d^{(0,0)} \otimes 0$). Кроме того, он поступает также на второй вход элемента ИЛИ 16. В результате на выходе элемента ИЛИ 16 формируется результат $d^{(0,0)}$, который передается на выход блока 3₁.

На третьем и последующих (по 2^{2ⁿ}-й) тактах блок 3₁ функционирует, как и на втором. При этом элементе $d^{(K,0)}$ ($K=0, 2^n$) первого столбца матрицы преобразования F_{2^n}

поступают на второй информационный вход блока Z_1 в такой последовательности; на третьем и четвертом тактах – элемент $d^{(1,0)}$, на пятом – восьмом – элемент $d^{(2,0)}$ и т.д., так что K -й элемент $d^{(K-1,0)}$ первого столбца матрицы преобразования F_2^n поступает с $(2^{K-1}+1)$ -го такта по 2^K -й такты включительно.

Функционирование блока Z_2 отличается от функционирования блока Z_1 тем, что на его первый информационный вход сигналы поступают с выхода блока Z_1 , а на второй информационный вход блока Z_2 поступают элементы $d^{(K-1,1)}$ второго столбца матрицы преобразования F_2^n . На выход блока Z_1 передаются результаты, формируемые на выходе его элемента ИЛИ 16.

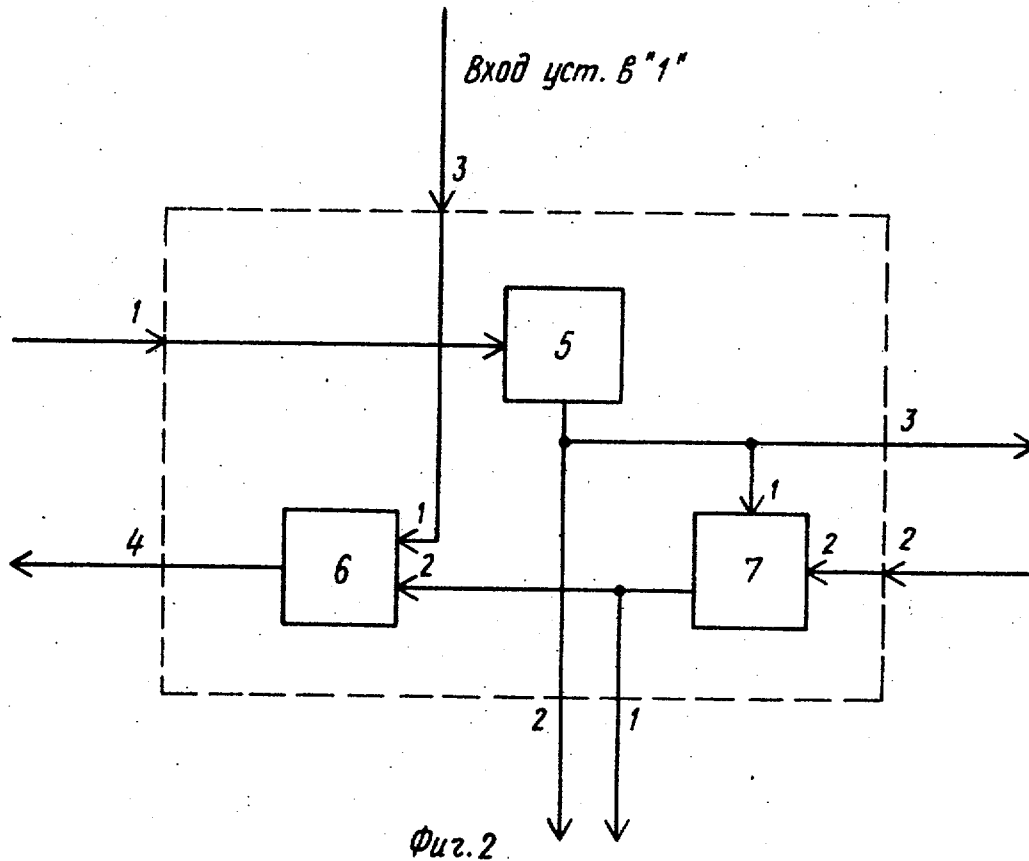
Формула изобретения

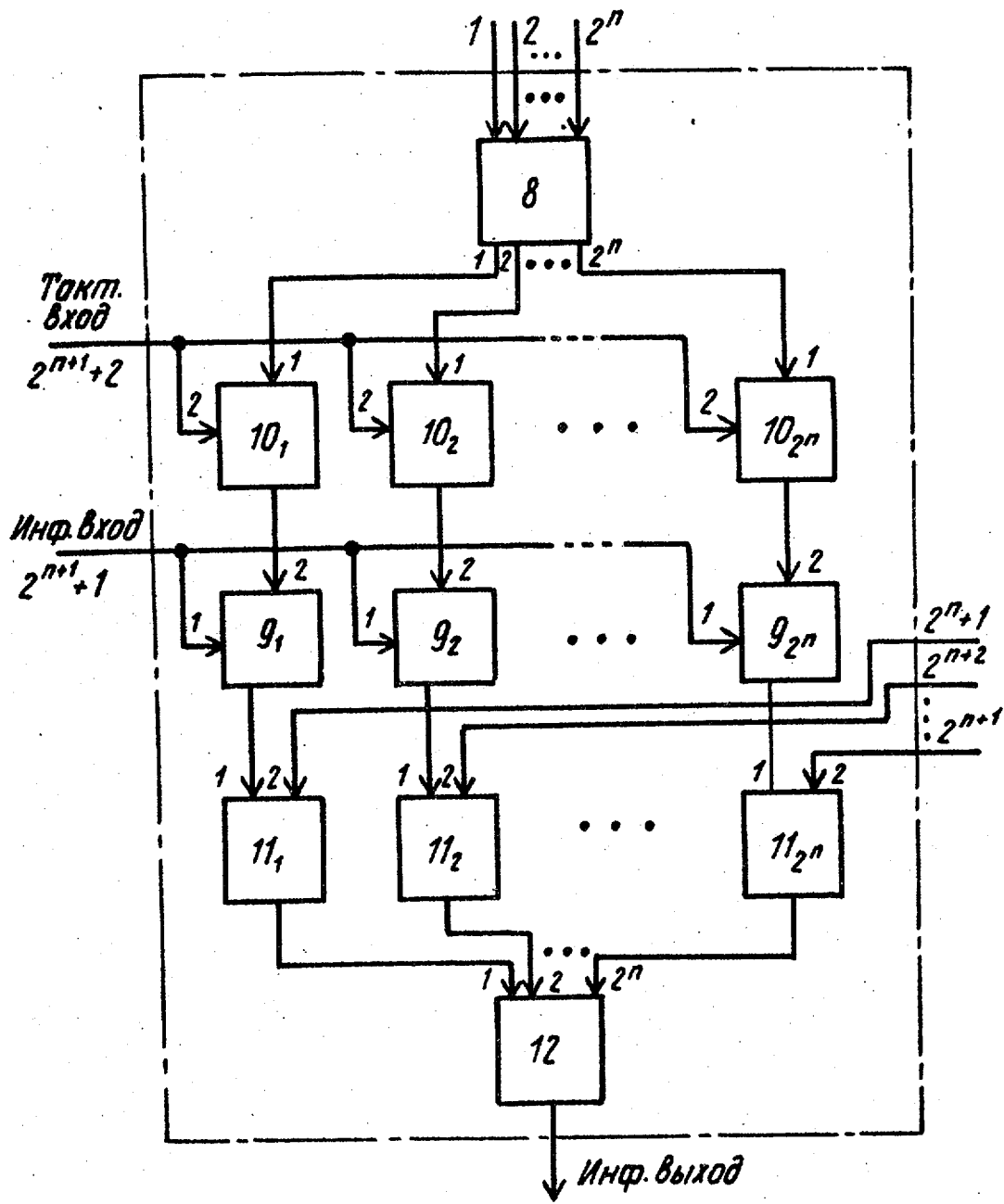
Устройство для решения булевых дифференциальных уравнений, содержащее с первого по n -й вычислительные блоки, где n – число булевых переменных, с первого по n -й блоки управления и с первого по n -й блоки дешифрации, при этом тактовый вход устройства подключен к тактовому входу первого блока управления, первый выход i -го блока управления (где $i=1, \dots, n-1$) подключен к тактовому входу $(i+1)$ -го блока управления, вход нулевого потенциала устройства подключен к первому информационному входу первого вычислительного блока, выход i -го вычислительного блока подключен к первому информационному входу $(i+1)$ -го вычислительного блока, первый информационный вход устройства подключен к информационному входу первого блока дешифрации, выход j -го блока дешифрации (где $j=1, \dots, n$) подключен к второму информационному входу j -го вычислительного блока, отличающееся тем, что, с целью расширения функциональных возможностей за счет решения булевых дифференциальных уравнений, устройство содержит с $(n+1)$ -го по 2^n -й блок управления, с $(n+1)$ -го по 2^n -й блок дешифрации, с $(n+1)$ -го по 2^n -й вычислительный блок и коммутатор, причем первый выход K -го блока управления (где $K=n, \dots, 2^n-1$) подключен к тактовому входу $(K+1)$ -го блока управления, первый выход 2^n -го блока управления подключен к первым входам режима всех блоков управления, вход единичного потенциала устройства подключен к второму входу режима 2^n -го блока управления, второй вход режима b -го блока управления (где $b=1, \dots, 2^n-1$) подключен к второму выходу $(b+1)$ -го блока управления, второй выход первого блока управления подключен к выходу признака так-

та устройства, выход K -го вычислительного блока подключен к первому информационному входу $(K+1)$ -го вычислительного блока, выход c -го блока дешифрации (где $c=n+1, \dots, 2^n$) подключен к второму информационному входу c -го вычислительного блока, выход 2^n -го вычислительного блока подключен к управляющему входу коммутатора, выходы которого подключены соответственно к информационным выходам устройства, информационные входы которого с второго по 2^n -й подключены соответственно к информационным входам блоков дешифрации с второго по 2^n -й, l -й тактовый вход группы устройства (где $l=1, \dots, 2^n$) подключен к тактовым входам l -го блока дешифрации и l -го вычислительного блока, третьи выходы блоков управления с первого по 2^n -й подключены соответственно к информационным входам с первого по 2^n -й первой группы всех блоков дешифрации и к информационным входам с первого по 2^n -й коммутатора, четвертые выходы блоков управления с первого по 2^n -й подключены соответственно к информационным входам с первого по 2^n -й второй группы всех блоков дешифрации и к информационным входам с первого по 2^n -й группы всех вычислительных блоков, при этом каждый блок управления содержит два триггера и элемент И, причем в каждом блоке управления тактовый вход блока управления, первый и второй входы режима блока управления подключены соответственно к счетному входу первого триггера, к входу установки в "1" второго триггера и к первому входу элемента И, выход первого триггера подключен к первому выходу блока управления, к второму входу элемента И и к третьему выходу блока управления, выход элемента И подключен к четвертому выходу блока управления и к входу установки в "0" второго триггера, выход которого подключен к второму выходу блока управления, при этом каждый вычислительный блок содержит два элемента ИЛИ, 2^n элементов И, элемент задержки, сумматор по модулю два и 2^n сдвигающих регистров, причем в каждом вычислительном блоке тактовый вход вычислительного блока подключен к входам сдвига всех сдвигающих регистров и к входу элемента задержки, выход которого подключен к входам записи-считывания всех сдвигающих регистров, информационные входы с первого по 2^n -й группы вычислительного блока подключены соответственно к первым входам элементов И с первого по 2^n -й, первый информационный вход вычислительного блока подключен к первому входу первого элемента ИЛИ, выход которого

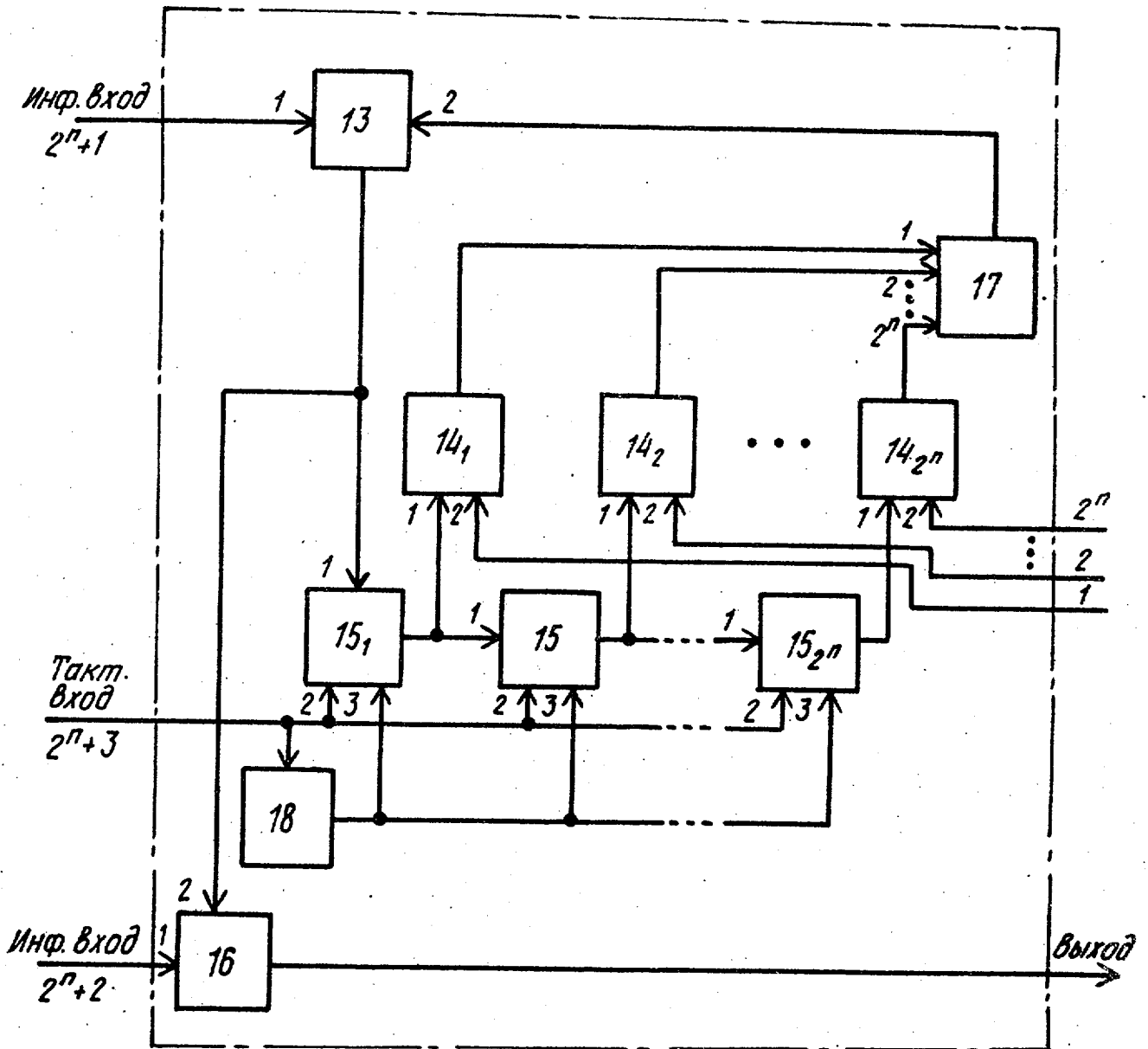
подключен к выходу вычислительного блока, второй информационный вход которого подключен к первому входу сумматора по модулю два, выход которого подключен к второму входу первого элемента ИЛИ и к информационному входу первого сдвигающего регистра, выход p -го сдвигающего регистра (где $p = 1, \dots, 2^n - 1$) подключен к информационному входу $(p+1)$ -го сдвигающего регистра и к второму входу p -го элемента И, выход 2^n -го сдвигающего регистра подключен к второму входу 2^n -го элемента И, выходы элементов И подключены к входам второго элемента ИЛИ, выход которого подключен к второму входу сумматора по модулю два, при этом каждый блок дешифрации содержит дешифратор, две группы элементов И, элемент ИЛИ и с первого по 2^n -й регистры, причем в каждом блоке дешифрации информационные входы первой

5 группы блока дешифрации подключены к входам дешифратора, выходы которого подключены соответственно к первым входам элементов И с первого по 2^n -й первой группы, выходы которых подключены соответственно к входам записи-считывания регистров с первого по 2^n -й, выходы которых подключены соответственно к первым входам элементов И с первого по 2^n -й второй группы, выходы которых подключены к входам элемента ИЛИ, выход которого подключен к выходу блока дешифрации, информационные входы с первого по 2^n -й второй группы которого подключены соответственно к вторым входам элементов И с первого по 2^n -й второй группы, тактовый вход блока дешифрации подключен к вторым входам элементов И первой группы, информационный вход блока дешифрации подключен к информационным входам всех регистров.





Фиг.3



Фиг. 4

Редактор А. Козориз

Составитель В. Смирнов
Техред М. Моргентал

Корректор И. Муска

Заказ 2126

Тираж 413

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101