



СОЮЗ СОВЕТСКИХ  
СОЦИАЛИСТИЧЕСКИХ  
РЕСПУБЛИК

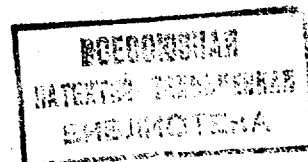
(19) SU (11) 1686460 A1

(51)5 G 06 F 15/353

ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГКНТ СССР

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



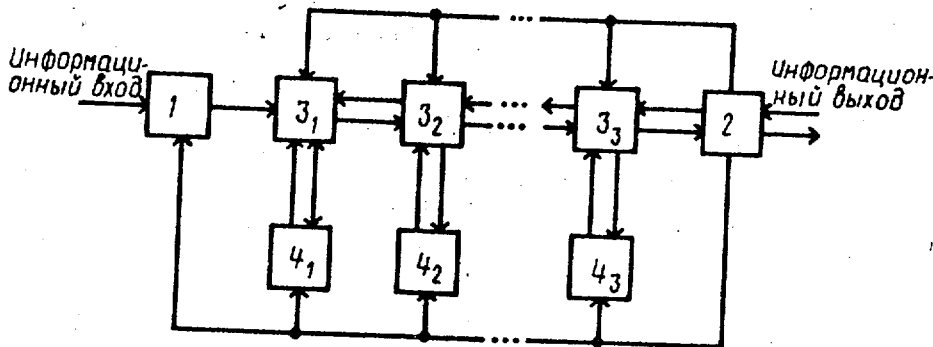
1

2

(21) 4746850/24  
(22) 14.08.89  
(46) 23.10.91. Бюл. № 39  
(71) Минский радиотехнический институт  
(72) И.Н.Бондарь, Е.В.Дуброва,  
В.П.Шмерко и С.Н.Янушкевич  
(53) 681.325(088.8)  
(56) Авторское свидетельство СССР  
№ 428387, кл. G 06 F 15/34, 1973.  
Авторское свидетельство СССР  
№ 1275427, кл. G 06 F 7/38, 1985.

(54) УСТРОЙСТВО ДЛЯ ВЫЧИСЛЕНИЯ ИМПЛИКАНТ

(57) Изобретение относится к вычислительной технике и может быть использовано для аппаратной поддержки вычислений при минимизации булевых функций в задачах синтеза цифровых автоматов, оптимизационных задачах с булевыми переменными, задачах на графах. Цель изобретения – расширение функциональных возможностей за счет нахождения всех импликант минимизируемой функции. Поставленная цель достигается тем, что устройство содержит блок 1 ввода, блок 2 синхронизации, n вычислительных блоков 3 и n блоков 4 буферной памяти, где n – число переменных булевой функции. 2 з.п. ф-лы, 5 ил.



Фиг. 1

(19) SU (11) 1686460 A1

Изобретение относится к вычислительной технике и может быть использовано для аппаратной поддержки вычислений при минимизации булевых функций в задачах синтеза цифровых автоматов, оптимизационных задачах с булевыми переменными и в задачах на графах.

Цель изобретения – расширение функциональных возможностей за счет нахождения всех импликант минимизируемой функции.

На фиг. 1 приведена схема устройства; на фиг. 2 – схема блока ввода; на фиг. 3 – схема блока управления; на фиг. 4 – схема вычислительного блока; на фиг. 5 – схема блока буферной памяти.

Устройство для вычисления импликант содержит блок 1 ввода, блок 2 управления,  $n$  вычислительных блоков 3 и  $n$  блоков 4 буферной памяти, где  $n$  – число переменных булевой функции.

Блок 1 ввода содержит первый и второй элементы ИЛИ 5 и 6, сдвигающий регистр 7 и элемент 8 задержки.

Блок 2 управления содержит генератор 9 тактовых импульсов, элемент ИЛИ 10, первый 11 и второй 12 счетчики, элемент 13 задержки, первый и второй элементы И 14 и 15.

Каждый вычислительный блок 3 содержит первый 16 и второй 17 элементы И, первый 18 и второй 19 коммутаторы, элемент ИЛИ 20, с первого по третий триггеры 21–23 и счетчик 24.

Блок 4 буферной памяти содержит элемент 25 задержки и регистры 26 сдвига.

Под импликантом булевой функции понимается логическая функция, которая равна нулю на том обороте, на котором функция принимает нулевое значение.

Суть подхода сводится к поиску импликант минимизируемой булевой функции и состоит в следующей. Над вектором значений  $\vec{X}$  минимизируемой булевой функции выполняется логическое преобразование, результатом которого является бинарный вектор импликант:  $\vec{D}^{(k)}$ . Номера позиций его единичных элементов позволяют однозначно записать импликанты.

Формально логическое преобразование булевой функции  $f(X)$ , представленной вектором значений  $\vec{X}$ , определяется соотношением

$$\vec{D}^{(k)} = S_2^{(k)} \cdot \vec{X},$$

где в матричных операциях используются только конъюнкции:

$K = \langle K_1, \dots, K_{r-1}, K_{r+1}, \dots, K_n \rangle$  – кортеж из  $t(t \in \overline{1, n-1})$  целых положительных чисел (индексов), упорядоченных по возрастанию и соответствующих индексам тех перемен-

ных, по которым осуществляется склеивание исходных термов;

$S_2^{(k)}$  – матрица импликантного преобразования (импликантная матрица) размерности  $2^n \times 2^n$ , формируемая по правилу

$$S_2^{(k)} = \bigotimes_{n=1}^n \left[ (I_{2^1})^{\bar{y}_n} \otimes (M_{2^1})^{y_n} \right],$$

параметр  $y_n \in (0, 1)$  – определяется соотношением

$$y_n = \begin{cases} 1, & n = k, \\ 0, & n \neq k, \end{cases}$$

$K_i$  –  $i$ -й элемент кортежа  $K$ .

$$\text{Степени матриц } I_{2^1} = \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix} \text{ и } M_{2^1} = \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix}$$

вычисляются по формулам

$$(I_{2^1})^{\bar{y}_n} = \begin{cases} 1, & \bar{y}_n = 0 \\ \begin{bmatrix} 1 & 0 \\ 0 & 1 \end{bmatrix}, & \bar{y}_n = 1, \end{cases}$$

$$(M_{2^1})^{y_n} = \begin{cases} 1, & y_n = 0 \\ \begin{bmatrix} 1 & 1 \\ 1 & 1 \end{bmatrix}, & y_n = 1. \end{cases}$$

Вычисление вектора импликант  $\vec{D}^{(k)}$  формально записывается как

$$\vec{D}^{(k)} = S_2^{(k_1)} S_2^{(k_2)} \dots S_2^{(k_{r-1})} S_2^{(k_{r+1})} \dots S_2^{(k_n)} \vec{X}.$$

Эта процедура представлена в форме итерационного процесса

$$\vec{X}^{(i)} = S_2^{(k_i)} \cdot \vec{X}^{(i-1)}, \quad i = \overline{1, n}, \quad i \neq n!$$

Рассмотрим функционирование устройства при вычислении импликант булевой функции  $f(X)$  трех переменных ( $n = 3$ ), заданной своим вектором значений

$$\vec{X} = [X^{(0)} X^{(1)} \dots X^{(2^n-1)}]^T.$$

Последовательность вычисления импликант

$$\vec{D}^{(k)} = \vec{D}^{(i_1 \dots i_r)}$$

определяются соотношением

$$i = \overline{1, 2^3 - 1}, \quad i = \sum_{j=1}^k 2^{n-j}, \quad k = \overline{1, 3}$$

и является следующей

$$\vec{D}^{(3)}, \vec{D}^{(2)}, \vec{D}^{(2,3)}, \vec{D}^{(1)}, \vec{D}^{(1,3)}, \vec{D}^{(1,2)}, \vec{D}^{(1,2,3)}.$$

В момент времени  $t_0$  осуществляется запуск устройства по сигналу, подаваемому на вход запуска генератора 9 тактовых импульсов. При этом на выходе генератора 9 формируется импульсный сигнал, который поступает на входы синхронизации блоков 41–43 и блока 1 ввода.

В результате в сдвигающем регистре 7 блока 1 ввода выполняется сдвиг содержи-

мого на один разряд вправо. Через 1/2 такта осуществляется запись в старший разряд регистра 7 одного бита информации, поступающей с выхода элемента ИЛИ 5, на первый вход которого поступает элемент  $X^{(0)}$  исходного вектора значений  $X$ .

Кроме того, элемент  $X^{(0)}$  в момент времени  $t_0$  поступает на первый вход элемента ИЛИ 6 блока ввода 1, а с выхода элемента ИЛИ 6 передается на выход блока 1 ввода и далее на первый информационный вход вычислительного блока 3<sub>1</sub>.

На первом такте (моменты времени  $t_0-t_1$ ) элемент  $X^{(0)}$  передается через вычислительные блоки 3<sub>1</sub> и 3<sub>2</sub> транзитом и поступает на первый информационный вход вычислительного блока 3<sub>3</sub>. С первого информационного входа блока 3<sub>3</sub> элемент  $X^{(0)}$  передается на его второй выход и на информационный вход блока 4<sub>3</sub> буферной памяти и в момент времени  $t_0 + \frac{t_1-t_0}{2}$  записывается в регистр 26<sub>1</sub> этого блока. Кроме того, в момент времени  $t_0$  на вход режима блока 2 управления поступает содержимое регистра 26<sub>1</sub> блока 4<sub>3</sub>. На четвертом выходе блока 2 управления в течение первого такта ( $t_0-t_1$ ) сохраняется низкий логический уровень сигнала.

На втором такте ( $t_1-t_2$ ) устройство функционирует следующим образом.

В момент времени  $t_1$  импульсный сигнал с генератора 9 тактовых импульсов поступает на третий выход блока 2 управления.

Импульсный сигнал с выхода элемента 13 задержки передается на счетный вход счетчика 11, поэтому на выходе элемента ИЛИ 10, входы которого подключены к выходам счетчика 11, формируется высокий логический уровень сигнала. Он передается на вход элемента И 15, в результате этого информация с другого входа элемента И 15 передается на четвертый выход блока 2 управления.

Импульсный сигнал, выдаваемый в момент времени  $t_1$  на третий выход блока 2, поступает на вход синхронизации блока 1 ввода и блоков 4<sub>1</sub>, 4<sub>2</sub> и 4<sub>3</sub> буферной памяти. Поступающий на информационный вход устройства второй элемент  $X^{(1)}$  передается с информационного входа блока 1 ввода на его выход и, кроме того, в момент времени  $t_1 + \frac{t_1-t_0}{2}$  записывается в старший разряд сдвигающего регистра 7.

С выхода блока ввода 1 элемент  $X^{(1)}$  передается на первый информационный вход блока 3<sub>1</sub>. Элемент  $X^{(1)}$  передается тран-

зитом через блоки 3<sub>1</sub> и 3<sub>2</sub> на первый информационный вход блока 3. Далее элемент  $X^{(1)}$  передается на первый информационный вход коммутатора 18, а затем с его выхода на первый вход элемента И 16. Одновременно на второй вход элемента И 16 с выхода соответствующего регистра 26 поступает элемент  $X^{(0)}$ . В результате на выходе элемента И 16<sub>1</sub> в момент времени  $t_1$  формируется конъюнкция вида  $d^{(0)} = X^{(0)} \wedge X^{(1)}$  — первый элемент вектора импликант. Этот элемент передается на первый выход блока 3<sub>3</sub> и далее на вход режима блока 2 управления. С выхода элемента И 15 элемент  $d^{(0)}$  вектора импликант  $D^{(3)}$  передается на четвертый выход блока 2 управления, т.е. на информационный выход устройства.

Кроме того, элемент  $d^{(0)} = X^{(0)} \wedge X^{(1)}$  в момент времени  $t_1$  поступает с выхода элемента И 16 на второй информационный вход коммутатора 18 и с его первого выхода передается на соответствующий выход блока 3<sub>3</sub>. Далее элемент  $d^{(0)}$  поступает на информационный вход блока 4<sub>3</sub> буферной памяти и в момент времени  $t_1 + \frac{t_1-t_0}{2}$  записывается в регистр 26<sub>1</sub> блока 4<sub>3</sub> (в момент времени  $t_1$  выполняется сдвиг его содержимого вправо).

На тактах с третьего по восьмой моменты времени  $t_2-t_3, \dots, t_7-t_8$  устройство работает следующим образом.

Элементы  $X^{(2)}, \dots, X^{(7)}$  поступают на выход блока 1 ввода и, кроме того, последовательно записываются в регистр 7 блока 1. Тем самым по окончании восьмого такта в регистре 7 оказываются записанными векторы значений  $\bar{X} = [X^{(0)} X^{(1)} \dots X^{(7)}]^T$  булевой функции  $f(X)$  трех переменных ( $n = 3$ ).

На третьем такте на первом выходе блока 3<sub>3</sub> формируется элемент  $d^{(1)} = d^{(0)}$ . На тактах с четвертого по восьмой на первом выходе блока 3<sub>3</sub> формируются элементы  $d^{(2)} = X^{(2)} \wedge X^{(3)}, d^{(3)} = d^{(2)}, d^{(4)} = X^{(4)} \wedge X^{(5)}, d^{(5)} = d^{(4)}$  и  $d^{(6)} = X^{(6)} \wedge X^{(7)}$ .

На девятом такте ( $t_8-t_9$ ) на первом выходе блока 3<sub>3</sub> формируется последний, восьмой элемент  $d^{(7)} = d^{(6)}$  вектора импликант  $D^{(3)} = [d^{(0)} d^{(1)} \dots d^{(7)}]^T$ .

Кроме того, в момент времени  $t_8$  в блоке 2 происходит следующее изменение состояний и сигналов. Счетчик 11 в момент времени  $t_8$  переходит из состояния 1...11 в состояние 0...00, и по окончании девятого такта на выходе элемента ИЛИ 10 формируется низкий логический уровень сигнала. В результате в момент времени  $t_9$  на втором входе элемента И 15 и, следовательно, на четвертом выходе блока 2 управления на

десятом такте ( $t_9-t_{10}$ ) устанавливается низкий логический уровень сигнала. Таким образом, векторы импликант формируются каждый за  $2^n$  тактов.

Кроме того, задний фронт высокого логического уровня сигнала на выходе элемента ИЛИ 10 является сигналом сброса счетчика 11 и по этому сигналу счетчик 12 переходит из состояния 0...00 в состояние 0...01.

На тактах с девятого по восемнадцатый ( $t_{17}-t_{18}$ ) в вычислительных блоках 33 и 32 выполняется вычисление вектора импликант  $\vec{D}^{(2)}$ , элементы которого  $d^{(0)}, \dots, d^{(1)}$  формируются на четвертом выходе блока 2 в тактах с одиннадцатого ( $t_{10}-t_{11}$ ) по восемнадцатый ( $t_{17}-t_{18}$ ).

На тактах с семнадцатого ( $t_{16}-t_{17}$ ) по двадцать седьмой ( $t_{26}-t_{27}$ ) в вычислительном блоке 32 выполняется вычисление вектора импликант  $\vec{D}^{(2,3)}$ , элементы которого последовательно формируются на четвертом выходе блока 2 в тактах с 20-го ( $t_{19}-t_{20}$ ) по 27-й ( $t_{26}-t_{27}$ ).

На тактах с 29-го ( $t_{28}-t_{29}$ ) по 36-й ( $t_{35}-t_{36}$ ) на четвертом выходе блока 2 формируются векторы импликант  $\vec{D}^{(1)}$ , на тактах с 38-го ( $t_{37}-t_{38}$ ) по 45-й ( $t_{44}-t_{45}$ ) — элементы вектора импликант  $\vec{D}^{(1,3)}$ , на тактах с 47-го ( $t_{46}-t_{47}$ ) по 54-й ( $t_{53}-t_{54}$ ) — элементы вектора импликант  $\vec{D}^{(1,2)}$  и в тактах с 56-го ( $t_{55}-t_{56}$ ) по 63-й ( $t_{62}-t_{63}$ ) — элементы вектора импликант  $\vec{D}^{(1,2,3)}$ . Наконец, по окончании 63-го такта ( $t_{62}-t_{63}$ ) на выходе элемента ИЛИ 10 формируется низкий логический уровень сигнала и по заднему фронту высокого логического уровня сигнала (момент времени  $t_{63}$ ) счетчик 12 переходит из состояния 1...10 в состояние 1...11. При этом на выходе элемента ИЛИ 15 формируется высокий логический уровень сигнала, который является сигналом останова генератора 9 тактовых импульсов. В момент времени  $t_{64}$  работа устройства завершается.

#### Формула изобретения

1. Устройство для вычисления импликант, содержащее  $n$  блоков буферной памяти, где  $n$  — число переменных булевой функции, и блок управления, причем вход запуска блока управления подключен к входу запуска устройства, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет нахождения всех импликант минимизируемой функции, устройство содержит  $n$  вычислительных блоков и блок ввода, при этом информационный вход устройства подключен к информационному входу блока ввода, выход которого подключен к первому информационному входу первого вычислительного блока, пер-

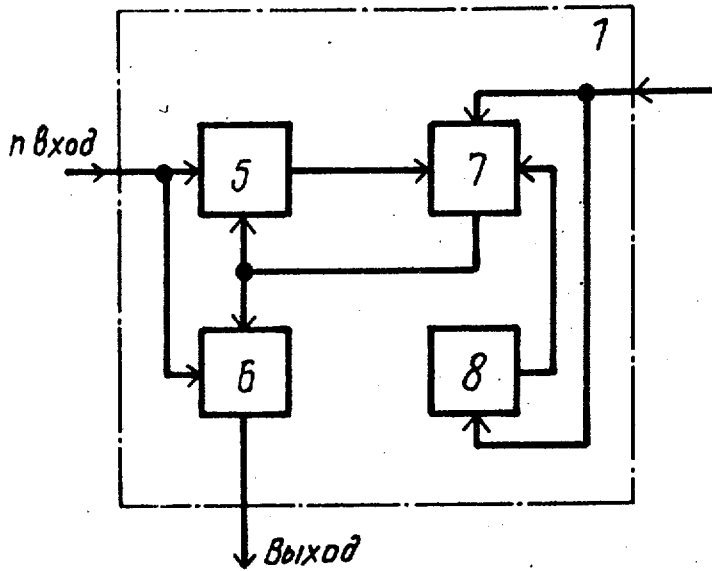
вый выход  $i$ -го вычислительного блока подключен к первому информационному входу  $(i+1)$ -го вычислительного блока (где  $i = 1, \dots, n-1$ ), первый выход  $n$ -го вычислительного блока подключен к входу режима блока управления, первый выход которого подключен к информационному выходу устройства, второй информационный вход  $j$ -го вычислительного блока (где  $j = 1, \dots, n$ ) подключен к выходу  $j$ -го блока буферной памяти, информационный вход которого подключен к второму выходу  $j$ -го вычислительного блока, первый управляющий вход  $i$ -го вычислительного блока подключен к третьему выходу  $(i+1)$ -го вычислительного блока, первый управляющий вход  $n$ -го вычислительного блока подключен к первому выходу блока управления, второй выход которого подключен к вторым входам управления всех вычислительных блоков, третий выход блока управления подключен к входам синхронизации всех блоков буферной памяти, и блок ввода, четвертый выход блока управления подключен к информационному выходу устройства.

2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок ввода содержит первый и второй элементы ИЛИ, сдвигающий регистр и элемент задержки, причем информационный вход блока подключен к первым входам первого и второго элементов ИЛИ, выходы которых подключены соответственно к информационному входу сдвигающего регистра и к выходу блока, вход синхронизации которого подключен к входу сдвига сдвигающего регистра и к входу элемента задержки, выход которого подключен к входу записи сдвигающего регистра, выход которого подключен к вторым входам первого и второго элементов ИЛИ.

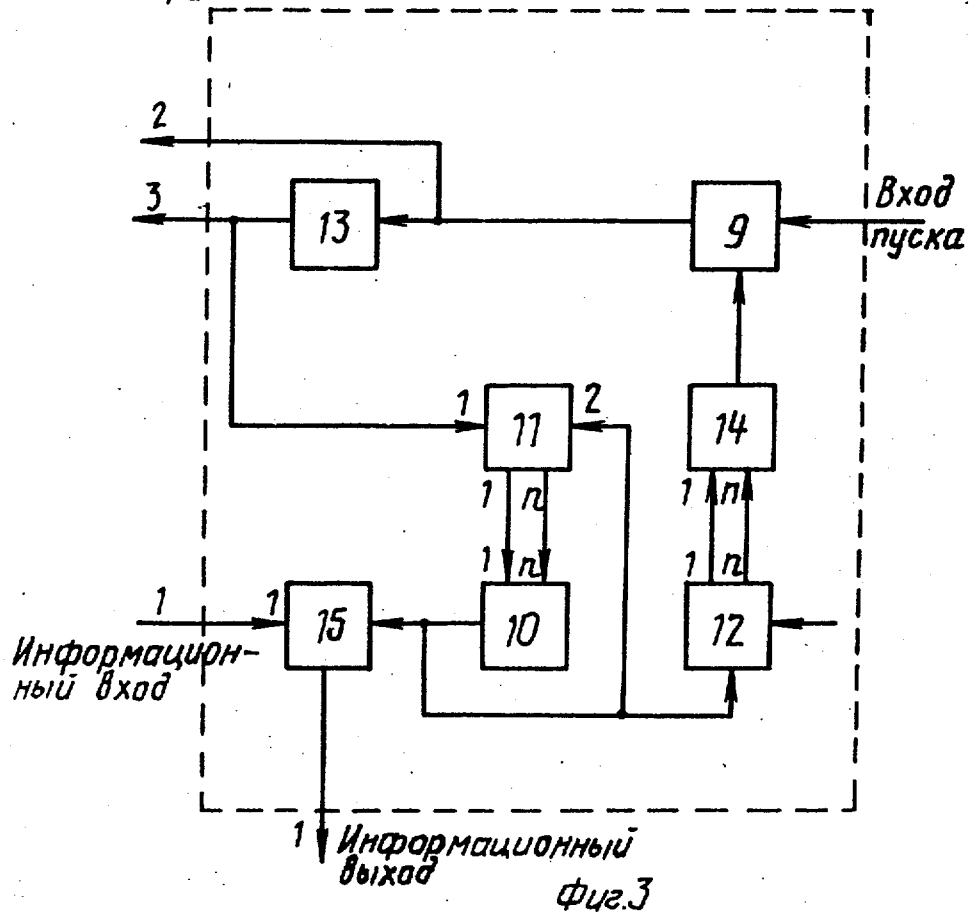
3. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что вычислительный блок содержит с первого по третий триггеры, первый и второй коммутаторы, первый и второй элементы ИЛИ, причем первый управляющий вход блока подключен к информационному входу первого триггера, первый информационный вход блока подключен к первым информационным входам первого и второго коммутаторов, первый выход второго коммутатора подключен к первому выходу блока, второй информационный вход которого подключен к второму информационному входу второго коммутатора, первый выход первого коммутатора подключен к второму выходу блока, вторые выходы первого и второго коммутаторов подключены соответственно к первому и второму входам первого элемента ИЛИ, выход которого подключен к второму информаци-

онному входу первого коммутатора и к третьему информационному входу второго коммутатора, выход первого триггера подключен к третьему выходу блока, к входу установки в "0" второго триггера, к управляющему входу первого коммутатора, к первому управляющему входу второго коммутатора и к первому входу второго элемента И, выход которого подключен к информационному входу третьего триггера, выход которого подключен к счетному входу

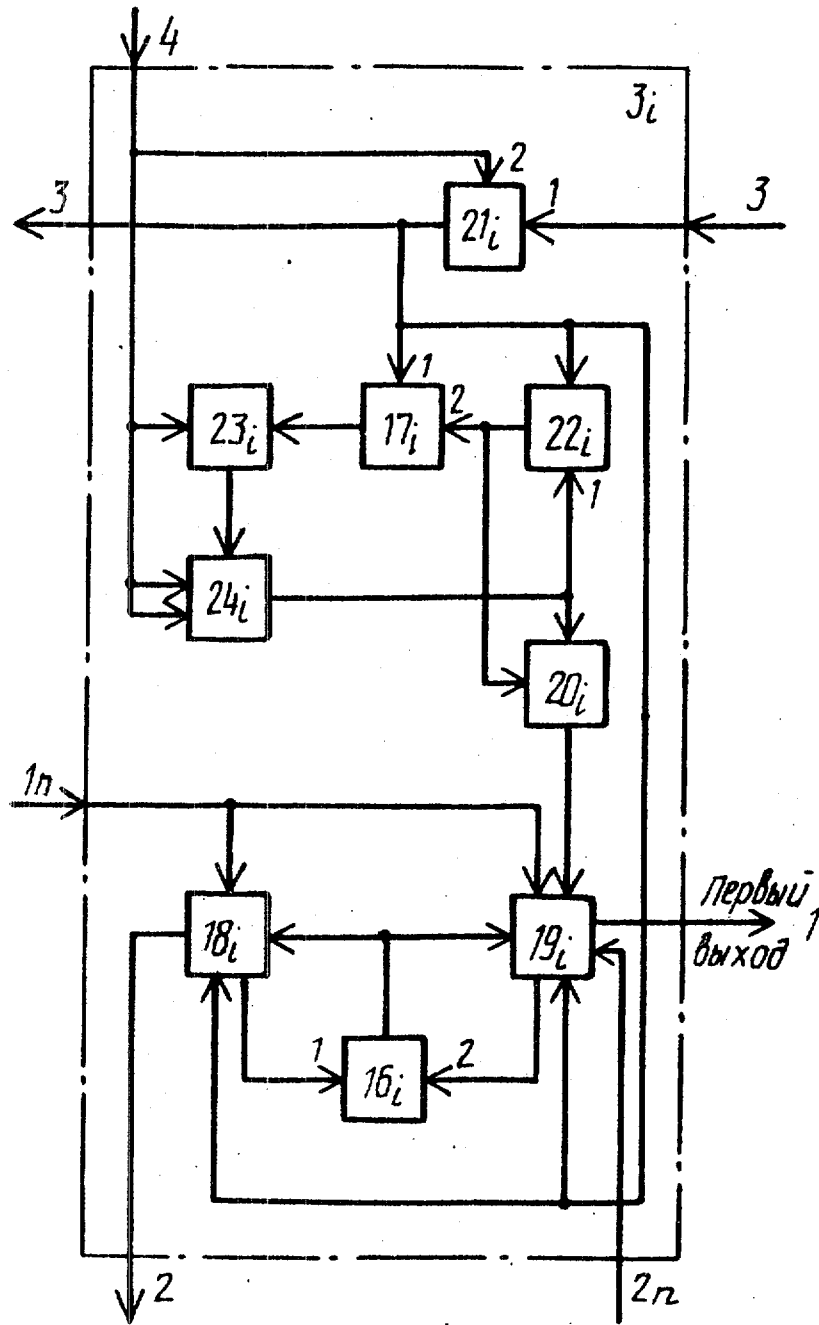
счетчика, выход переноса которого подключен к первому входу элемента ИЛИ и к входу установки в "1" второго триггера, выход которого подключен к второму входу второго элемента И, выход которого подключен к второму управляющему входу второго коммутатора, второй управляющий вход блока подключен к входу установки в "0" первого триггера и к входу установки в "0" третьего триггера и к входу установки счетчика.



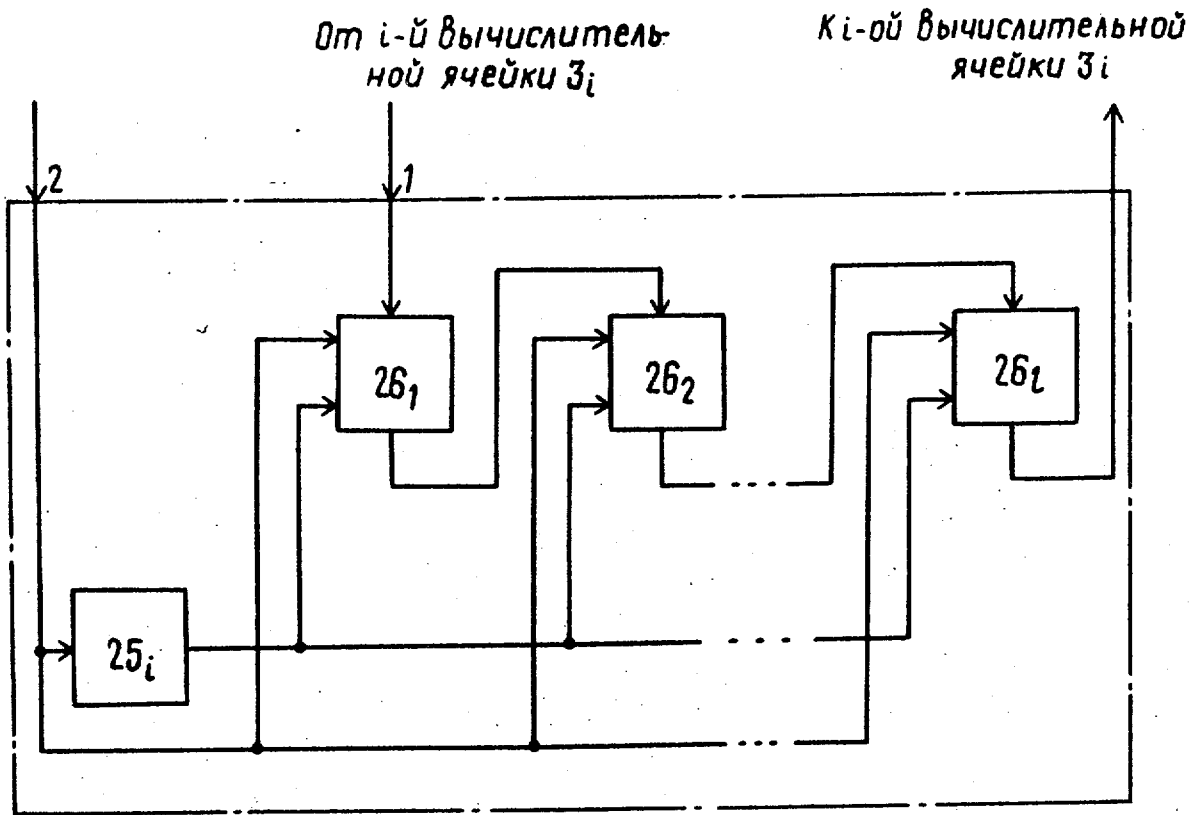
Фиг. 2



Фиг. 3



Фиг. 4



Фиг. 5

Редактор В.Данко

Составитель В.Смирнов  
Техред М.Моргентал

Корректор М.Демчик

Заказ 3599

Тираж

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул.Гагарина, 101