



ГОСУДАРСТВЕННЫЙ КОМИТЕТ  
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ  
ПРИ ГИИТ СССР

ВСЕСОЮЗНАЯ  
ПАТЕНТНО-ТЕХНИЧЕСКАЯ  
БИБЛИОТЕКА

# ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

- (21) 4378658/24-24<sup>1</sup>  
 (22) 12.02.88  
 (46) 07.02.90. Бюл. № 5  
 (71) Минский радиотехнический инсти-  
 тут  
 (72) С.Н.Янушкевич, Е.Н.Зайцева,  
 Г.А.Кухарев и В.П.Шмерко  
 (53) 681.327.6(088.8)  
 (56) Авторское свидетельство СССР  
 № 1168925, кл. G 06 F 7/04, 1985.  
 Авторское свидетельство СССР  
 № 1277089, кл. G 06 F 7/04, 1987.  
 (54) УСТРОЙСТВО ДЛЯ ЛОГИЧЕСКОГО ДИФ-  
 ФЕРЕНЦИРОВАНИЯ И ИНТЕГРИРОВАНИЯ БУЛЕ-  
 ВЫХ ФУНКЦИЙ  
 (57) Устройство относится к вычисли-

2  
 тельной технике и может быть исполь-  
 зовано для аппаратной поддержки вы-  
 числений в системах анализа, синтеза  
 и контроля цифровых автоматов, иссле-  
 дования переходных процессов в схемах,  
 сжатия данных синтеза топологии БИС,  
 обработки изображений. Целью изобре-  
 тения является расширение функциональ-  
 ных возможностей за счет вычисления  
 логических производных и интегралов  
 систем булевых функций. Цель изобре-  
 тения достигается тем, что устройство  
 содержит генератор импульсов, группу  
 блоков вычислений, блок ввода данных  
 и блок вывода данных. 3 з.п.ф-лы,  
 4 ил.

Изобретение относится к вычисли-  
 тельной технике и может быть использо-  
 вано для аппаратной поддержки вычис-  
 лений в системах анализа, синтеза и  
 контроля цифровых автоматов, исследо-  
 вания переходных процессов в схемах,  
 сжатия данных, синтеза топологии БИС,  
 обработки изображений.

Сущность изобретения заключается  
 в логической обработке систем булевых  
 функций на основе использования кон-  
 вейерных принципов обработки данных.

В основу изобретения положены сле-  
 дующие математические модели функцио-  
 нирования компонентов и устройства  
 в целом.

Пусть система булевых функций  
 $f_j(x) = f_j(x_1, x_2, \dots, x_n)$  ( $j=0, 2^n-1$ )  
 переменных представлена матрицей раз-

мерности  $2^n \times 2^n$  их векторов значений  
 $x_{fj}$

$$R_{2^n} = [x_{f_{2^n-1}} | \dots | x_{f_1} | x_{f_0}] = \begin{bmatrix} x_1^{(0)} & \dots & x_n^{(0)} & x_0^{(0)} \\ x_1^{(1)} & \dots & x_n^{(1)} & x_0^{(1)} \\ \dots & \dots & \dots & \dots \\ x_1^{(2^n-1)} & \dots & x_n^{(2^n-1)} & x_0^{(2^n-1)} \end{bmatrix}$$

Матрицу  $R_{2^n}$  задают в системе ко-  
 ординат  $x$  и  $y$ , где  $x$  - координата из-  
 менения индекса  $i$  значения  $x^{(i)}$  функ-  
 ции  $f_j(x)$  на наборе  $(x_0, x_1, \dots, x_n)$ ,  
 ( $i = 0, 2^n-1$ ),  $y$  - координата измене-  
 ния индекса  $j$  вектора  $x_{fj}$  в системе  
 ( $j = 0, 2^n-1$ ). Тогда логическая произ-  
 водная системы  $R_{2^n}$  булевых функций  
 в матричном виде определяется следую-  
 щим образом:

(19) SU (11) 1541592 A1

$$\frac{\partial^{(k)} R_{2^n}}{\partial (T_1 x)^{(k)}} = [R_{2^n} \oplus L_{2^n}^{(\tau)} \cdot R_{2^n}]^{[k]}; \quad (1)$$

$$\frac{\partial^{(k)} R_{2^n}}{\partial (T_2 y)^{(k)}} = [R_{2^n} \oplus R_{2^n} \cdot L_{2^n}^{(\tau_2)}]^{[k]}, \quad (2)$$

где символ " $\oplus$ " обозначает операцию поэлементного сложения по модулю два;  $L_{2^n}$  - матрица сдвига размерности  $2^n \times 2^n$ , вид которой зависит от значения параметра  $\tau \in Z$ ,  $Z = 1, 2^n - 1$  - целые числа, и формируется по рекуррентному соотношению

$$L_{2^n}^{(\tau)} = L_{2^n}^{(\tau-1)} \cdot L_{2^n}^{(\tau-1)}. \quad (3)$$

Из соотношений (1) и (2) следует, что алгоритм логического дифференцирования по координате  $x$  позволяет обрабатывать столбцы матрицы  $R_{2^n}$ , а по координате  $y$  - строки матрицы  $R_{2^n}$ .

Предлагаемое техническое решение позволяет решить и обратную задачу: восстановить исходную систему булевых функций (матрицу  $R_{2^n}$ ) по результату логического дифференцирования. Назовем эту процедуру логическим интегрированием.

Логический интеграл системы  $R_{2^n}$  булевых функций в матричном виде определяется на основе свойства периодичности логической производной:

$$\frac{\partial^{(k+2^n \cdot p)} R_{2^n}}{\partial (T_1 x)^{(k+2^n \cdot p)}} = \frac{\partial^{(k)} R_{2^n}}{\partial (T_1 x)^{(k)}}; \quad (4)$$

$$\frac{\partial^{(k+2^n \cdot p)} R_{2^n}}{\partial (T_2 y)^{(k+2^n \cdot p)}} = \frac{\partial^{(k)} R_{2^n}}{\partial (T_2 y)^{(k)}}; \quad (5)$$

где  $p \in Z$  ( $Z$  - множество целых положительных чисел).

Из свойства (3) следует определение логического интеграла

$$\int_{(k)} R_{2^n} d(T_1 x)^{(k)} = \frac{\partial^{(2^n-k)} R_{2^n}}{\partial (T_1 x)^{(2^n-k)}}; \quad (6)$$

$$\int_{(k)} R_{2^n} d(T_2 y)^{(k)} = \frac{\partial^{(2^n-k)} R_{2^n}}{\partial (T_2 y)^{(2^n-k)}}; \quad (7)$$

Очевидно, что для вычисления  $k$ -кратного логического интеграла системы  $R_{2^n}$  достаточно вычислить ее  $(2^n - k)$ -кратную производную.

Цель изобретения - расширение функциональных возможностей за счет вычисления логических производных и интегралов систем булевых функций.

На фиг. 1 изображена структурная схема устройства; на фиг. 2 - схема блока формирования последовательности входных данных; на фиг. 3 - схема блока вычислений; на фиг. 4 - схема блока вывода данных.

Устройство (фиг. 1) содержит блок 1 ввода данных,  $M$  блоков 2 вычислений, блок 3 вывода данных и генератор 4 импульсов, причем первый информационный вход  $K$ -го блока 2 вычислений подключен к первому выходу  $K+1$ -го блока 2 вычислений ( $K = 1 \dots M-2$ ), а первый информационный вход  $M$ -го блока вычислений является входом константы нуля устройства, информационные входы первой группы блока вывода данных подключены к вторым выходам блоков 2 вычислений соответственно, входы синхронизации блока 1 ввода данных и блока 3 вывода данных подключены к выходу генератора импульсов 4, выход блока 3 вывода данных является выходом устройства, информационный вход блока 1 ввода данных является входом устройства, входы параметра блоков 1 ввода данных и блока 3 вывода данных являются входами первого и второго параметров дифференцирования устройства соответственно, вторые информационные входы блоков 2 вычислений подключены к входам первой группы блока 1 ввода информации, третьи информационные входы блоков 2 вычислений подключены к выходам второй группы блока 1 ввода информации, адресные входы блоков 2 вычислений подключены к выходу адреса блока 1 ввода данных.

Блок 1 ввода данных (фиг. 2) содержит счетчик 5, элемент ИЛИ 6, регистр 7 циклического сдвига, коммутатор 8, узел 9 сравнения и регистр 10, причем первый информационный вход коммутатора является информационным входом блока, выходами первой группы которого являются выходы коммутатора 8, информационные входы группы которого подключены к выходам регистра 7 циклического сдвига, выходы которого образуют входы второй группы блока 1. Информационный вход регистра 7 циклического сдвига подключен к выходу элемента ИЛИ 6, выходы счетчика 5 подключены к входам элемента ИЛИ 6 и первым информационным входам группы узла 9 сравнения, вторые информационные входы группы которого подключены к выходам регистра 10, образующих адресный

выход блока 1 ввода данных, а вход параметра регистра 10 является входом параметра блока 1 ввода данных, вход сброса счетчика 5 подключен к выходу узла 9 сравнения.

Блок 2 вычислений (фиг. 3) содержит первый 11 и второй 12 коммутаторы, регистр 13 и сумматор 14 по модулю два, причем первый информационный вход первого коммутатора 11 является вторым информационным входом блока 2 вычислений, управляющий вход первого 11 коммутатора является третьим информационным входом блока 2 вычислений, второй информационный вход первого 11 коммутатора подключен к выходу сумматора 14 по модулю два, первый информационный вход которого является первым информационным входом блока 2 вычислений, выход второго коммутатора 12 подключен к второму информационному входу сумматора 14 по модулю два и образует второй информационный выход блока 2 вычислений, вход адреса второго 12 коммутатора является входом адреса блока 2 вычислений, информационные входы второго 12 коммутатора подключены к выходам регистра 13, выход первого коммутатора 11 подключен к информационному входу регистра 13 и образуют первый информационный выход блока 2 вычислений.

Блок 3 вывода данных (фиг. 4) содержит счетчик 15, элемент ИЛИ 16, регистр 17 циклического сдвига, коммутатор 18, узел 19 сравнения, регистр 20, вход параметра которого является входом параметра блока 3 вывода данных, информационные входы первой группы узла 19 сравнения подключены к выходам регистра 20, информационные входы второй группы узла 19 сравнения и входы элемента ИЛИ 16 подключены к выходам счетчика 15, управляющий вход которого является входом синхронизации блока 3 вывода данных, вход сброса счетчика 15 подключен к выходу узла 19 сравнения, выход элемента ИЛИ 16 подключен к информационному входу регистра 17 циклического сдвига, выходы которого подключены к информационным входам первой группы коммутатора 18, информационные входы второй группы коммутатора 18 образуют информационные входы блока 3 вывода данных, а выходы коммутатора 18 - выход блока 3 вывода информации.

Рассмотрим функционирование устройства в совокупности составляющих его компонентов. Поясним принцип его работы на конкретном примере.

Пусть необходимо выполнить трехкратное дифференцирование (вычислить трехкратную производную) матрицы

$$R_{2^3} = [x_{f_7}, x_{f_6}, \dots, x_{f_0}]$$

векторов значений  $x_{f_j}$  системы булевых функций  $f_7(x), \dots, f_1(x), f_0(x)$  с параметром  $T = 2$ . Устройство для данного примера содержит четыре блока 2 вычислений.

На первых двух тактах ( $T = 2$ ) происходит загрузка регистра 13 первого блока 2 вычислений данными  $x_0^{(0)}, x_1^{(0)}$ , поступающими на первый вход коммутатора 11 (по высокому логическому уровню напряжения на управляющем входе). На третьем и четвертом тактах аналогичным образом происходит загрузка регистра 13, второго блока 2 вычислений элементами  $x_0^{(2)}$  и  $x_1^{(3)}$  по высокому логическому уровню напряжения на втором (управляющем) входе коммутатора 11. Причем на этих же тактах, а именно на третьем, в регистр 13 первого блока 2 вычислений поступает сумма вида  $x_0^{(0)} \oplus x_0^{(2)}$ , а на четвертом -  $x_0^{(1)} \oplus x_0^{(3)}$  с выхода сумматора 14 по модулю два (по низкому логическому уровню сигнала на втором, управляющем входе коммутатора 11).

Таким образом, по окончании четвертого такта в регистре 13 первого блока 2 вычислений оказываются значения первых двух элементов  $y_0^{(0)} = x_0^{(0)} \oplus x_0^{(2)}$  и  $y_0^{(1)} = x_0^{(1)} \oplus x_0^{(3)}$  вектора  $y_0 = [y_0^{(0)}, y_0^{(1)}, \dots, y_0^{(2^n-1)}]^T$  результата вычисления  $\partial R_{2^3} / \partial (2x)$ , а в регистре 13 второго блока 2 вычислений значения  $x_0^{(2)}$  и  $x_0^{(3)}$  вектора  $x_{f_0}$ . На пятом и шестом тактах происходит загрузка третьего блока 2 вычислений и вычисления в первом и втором блоках 2 вычислений, а на седьмом и восьмом тактах - загрузка четвертого вычисления в первом, втором и третьем блоках 2 вычислений. И, наконец, на девятом и десятом тактах на выходе первого блока 2 вычислений формируются соответственно результаты  $y_0^{(0)} = x_0^{(0)} \oplus x_0^{(2)}$  и  $y_0^{(1)} = x_0^{(1)} \oplus x_0^{(3)}$ , на одиннадцатом и двенадцатом - результаты  $y_0^{(2)} = x_0^{(2)} \oplus x_0^{(4)}$  и  $y_0^{(3)} = x_0^{(3)} \oplus x_0^{(5)}$  на выходе второго

блока 2 вычислений, на тринадцатом и четырнадцатом - результаты  $y_0^{(4)} = x_0^{(4)} \oplus x_0^{(6)}$  и  $y_0^{(5)} = x_0^{(5)} \oplus x_0^{(7)}$ , на выходе третьего блока 2 вычислений и на пятнадцатом и шестнадцатом тактах - элементы  $y_0^{(6)} = x_0^{(6)}$  и  $y_0^{(7)} = x_0^{(7)}$  - на выходе четвертого блока 2 вычислений. При этом на девятом такте можно начинать загрузку первого блока 2 вычислений элементами  $x_1^{(i)}$  вектора  $x_1$ , матрицы  $R_{2^n}$  и т.д.

Аналогичным образом можно вычислять производные по координате  $u$  с шагом  $T$ , однако при этом загрузка матрицы выполняется по строкам, а не по столбцам.

Кроме того, подобным образом можно вычислять логические интегралы по координатам  $x$  и  $u$  с параметром  $T$ , однако на второй вход параметра  $T$  и третий вход параметра  $(K+1)T$  устройства следует подавать соответственно значения  $2^n - T$  и  $(2^n - K+1)T$ .

#### Ф о р м у л а и з о б р е т е н и я

1. Устройство для логического дифференцирования и интегрирования булевых функций, содержащее генератор и  $M$  блоков вычислений, причем первый информационный вход  $K$ -го блока вычислений подключен к первому выходу  $K+1$ -го блока вычислений ( $K = 1 \dots M-2$ ), а вход константы нуля устройства является первым информационным входом  $M$ -го блока вычислений, о т л и ч а ю щ е е с я тем, что, с целью расширения функциональных возможностей за счет вычисления логических производных и логических интегралов систем булевых функций, в устройство введены блоки ввода и вывода данных, причем информационный вход блока ввода данных является информационным входом устройства, а выход блока вывода данных является выходом устройства, входы первого и второго параметров дифференцирования устройства являются входами параметра блоков ввода и вывода данных соответственно, выход генератора импульсов подключен к входам синхронизации блоков ввода и вывода данных, вторые информационные входы блоков вычислений подключены к выходам первой группы блока ввода данных, а выходы второй группы этого блока подключены к третьим информационным входам блоков вычислений соответственно, ад-

ресные входы блоков вычислений подключены к выходу адреса блока ввода данных, а выходы блоков вычислений подключены к информационным входам блока вывода данных.

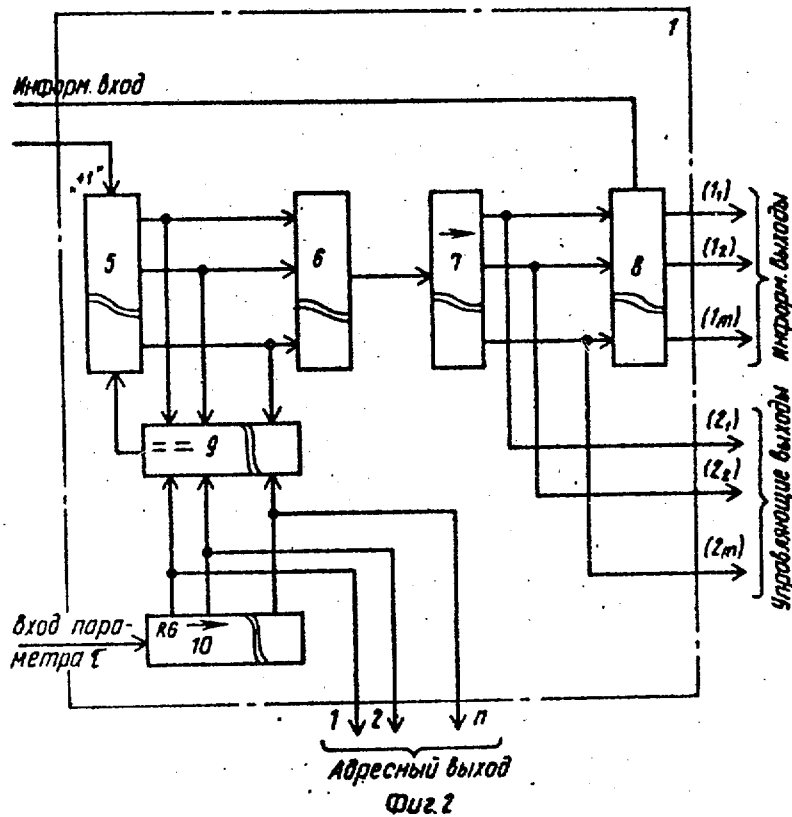
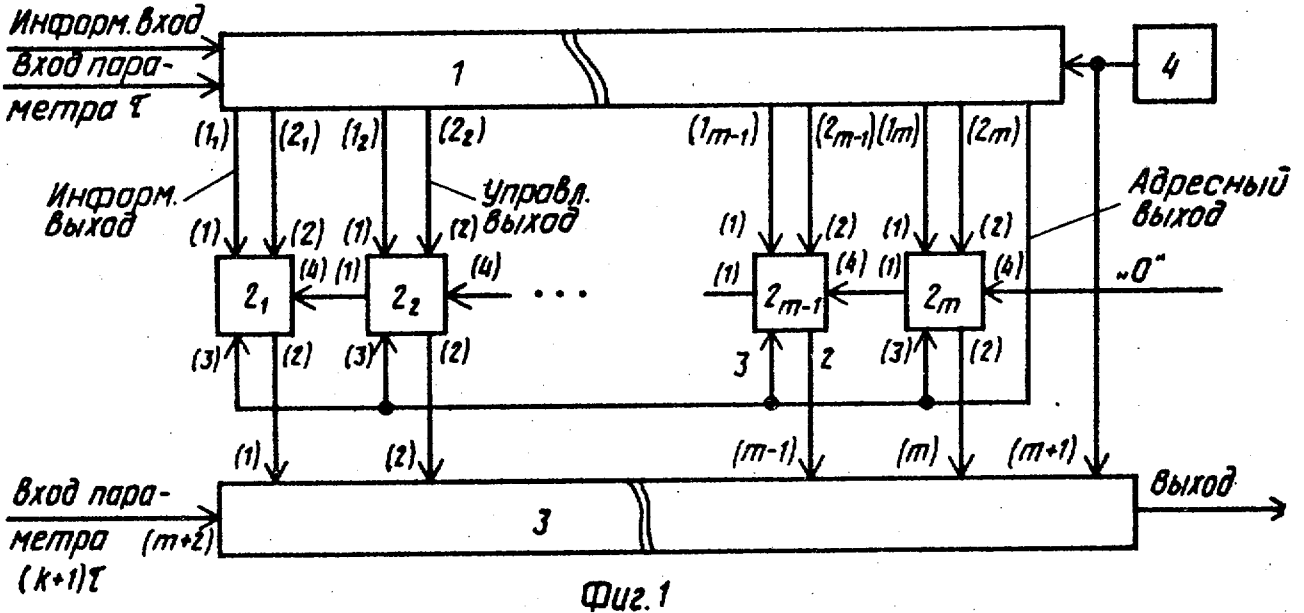
2. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок ввода данных содержит счетчик, элемент ИЛИ, регистр циклического сдвига, коммутатор, узел сравнения и регистр, причем информационный вход блока является информационным входом коммутатора, вход синхронизации блока является управляющим входом счетчика, а вход параметра блока является информационным входом регистра, выходы которого являются адресным выходом блока и подключены к информационным входам первой группы узла сравнения, информационные входы второй группы которого подключены к выходам счетчика, к которым также подключены входы элемента ИЛИ, выход которого подключен к информационному входу регистра циклического сдвига, выходы которого образуют вторые выходы группы блока и подключены также к информационным входам группы коммутатора, вход сброса счетчика подключен к выходу узла сравнения.

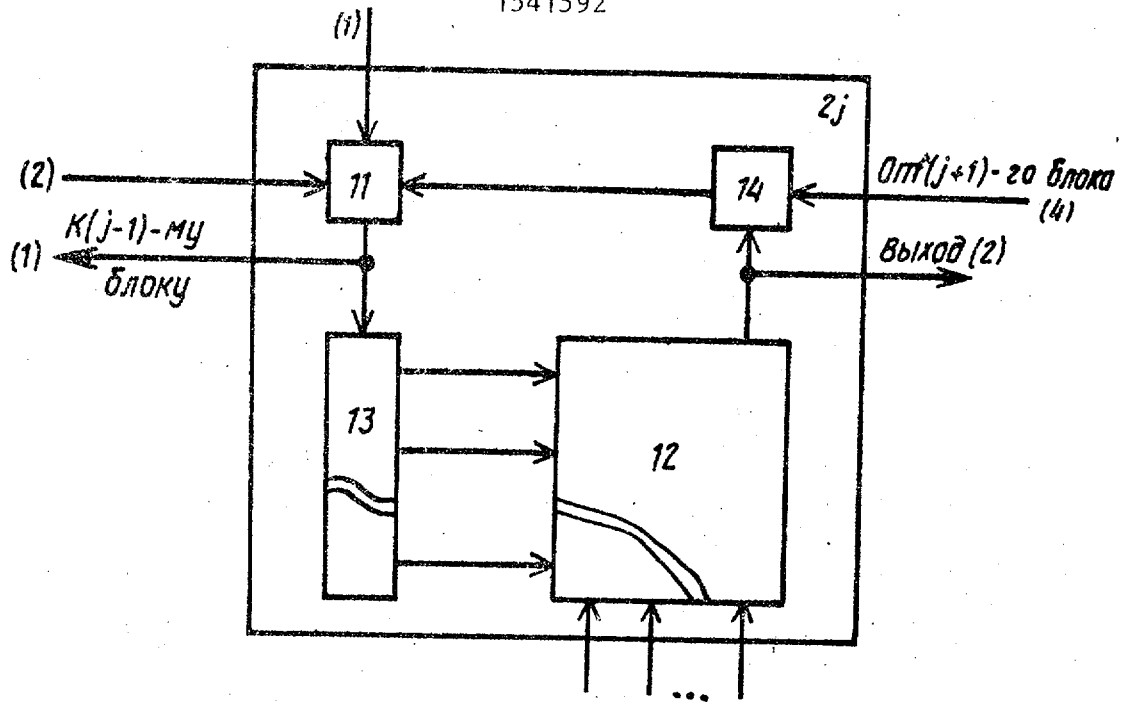
3. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок вычислений содержит первый и второй коммутаторы, регистр и сумматор по модулю два, причем первый информационный вход блока является первым информационным входом сумматора по модулю два, а второй и третий информационные входы блока являются первым и вторым информационными входами первого коммутатора, третий информационный вход которого подключен к выходу сумматора по модулю два, второй информационный вход которого подключен к выходу второго коммутатора, который является также первым выходом блока, выход первого коммутатора является вторым выходом блока и подключен к информационному входу регистра, выход которого подключен к входам первой группы второго коммутатора, адресный вход блока является входами второй группы второго коммутатора.

4. Устройство по п. 1, о т л и ч а ю щ е е с я тем, что блок вывода данных содержит счетчик, элемент ИЛИ, регистр циклического сдвига, узел срав-

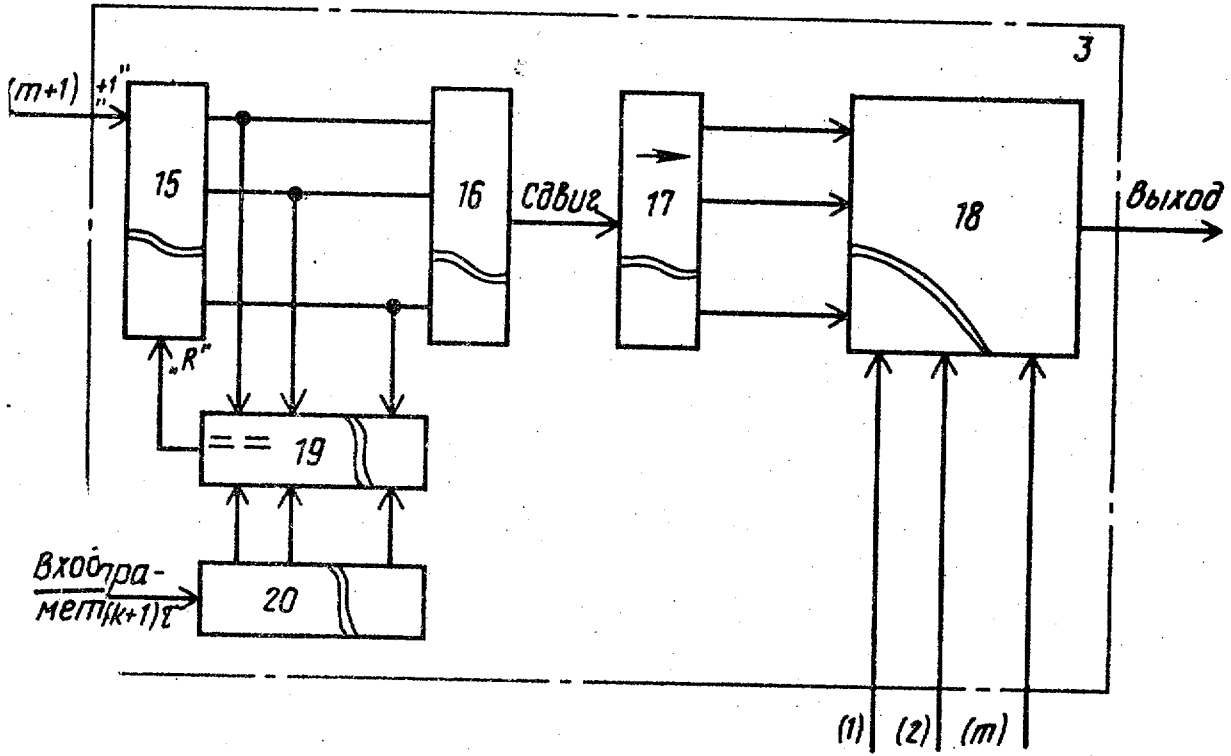
нения, коммутатор и регистр, причем вход параметра блока является информационным входом регистра, вход синхронизации блока является входом синхронизации счетчика, а информационные входы блока являются информационными входами первой группы коммутатора, информационные входы второй группы которого подключены к выходам регистра циклического сдвига, а выход является

выходом блока, информационный вход регистра циклического сдвига подключен к выходу элемента ИЛИ, входы которого подключены к выходам счетчика, которые подключены также к информационным входам второй группы узла сравнения, информационные входы первой группы которого подключены к выходам регистра, а выход схемы сравнения подключен к входу сброса счетчика.





Фиг.3 Адресный вход (3)



Фиг.4

Редактор Козориз

Составитель А.Доброхотов  
Техред М.Ходанич

Корректор А.Обручар

Заказ 21

Тираж 569

Подписное

ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР  
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101