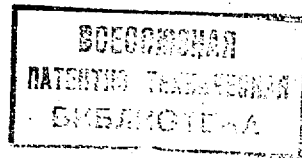




ГОСУДАРСТВЕННЫЙ КОМИТЕТ
ПО ИЗОБРЕТЕНИЯМ И ОТКРЫТИЯМ
ПРИ ГИИТ СССР

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

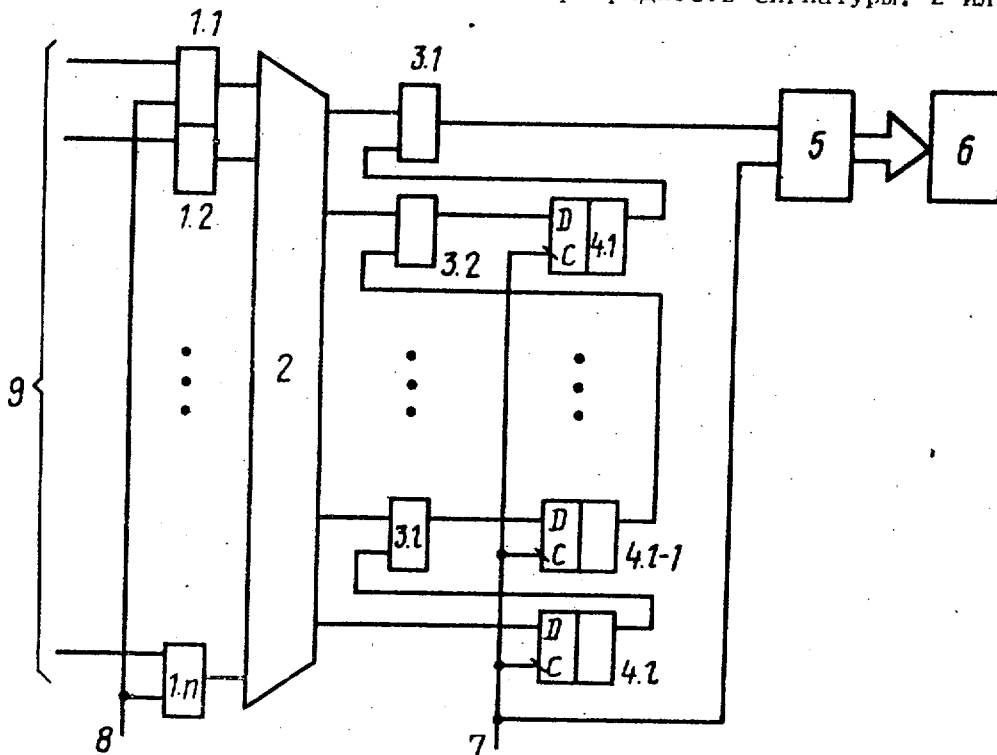


- (21) 4414323/24-24
- (22) 25.04.88
- (46) 23.08.90. Бюл. № 31
- (71) Минский радиотехнический институт
- (72) В.Н. Ярмолик, Е.П. Калоша и И.В. Качан
- (53) 681.326.7 (088.8)
- (56) Proc. Int. Test Conf., 1979, p. 37-41.

Авторское свидетельство СССР
№ 1182525, кл. G 06 F 11/26, 1983.

- (54) СИГНАТУРНЫЙ АНАЛИЗАТОР
- (57) Изобретение относится к вычислительной технике и может использоваться

ся при построении систем тестового диагностирования дискретных объектов. Цель изобретения - повышение быстродействия контроля. Сигнатурный анализатор содержит элементы И 1, блок 2 пространственного сжатия информации, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 3, D-триггеры 4, формирователь 5 сигнатур и блок 6 индикации. Анализатор за один такт осуществляет преобразования, которые в анализаторе В11В0 осуществляется лишь за $\left] \frac{n}{r} \right[$ тактов, где n - число контролируемых каналов, а r - разрядность сигнатуры, 2 ил.



Фиг.1

Изобретение относится к вычислительной технике и предназначено для тестового диагностирования многовыходных цифровых устройств.

Цель изобретения - повышение быстродействия.

На фиг.1 показана структурная схема сигнатурного анализатора; на фиг.2 - пример его конкретного выполнения для случая $n = 16$, $r = 4$, $\Phi(x) = x^4 + x^3 + 1$, $l = 6$, где n - число информационных входов анализатора, r -

разрядность сигнатуры, $l = \left\lceil \frac{n}{r} \right\rceil + r - 2$.

Сигнатурный анализатор (фиг.1) содержит n элементов И 1.1, ..., 1.n, блок 2 пространственного сжатия информации, элементы ИСКЛЮЧАЮЩЕЕ ИЛИ 3.1, ..., 3.1, D-триггеры 4.1, ..., 4.1, формирователь 5 сигнатур и блок 6 индикации. Анализатор имеет тактовый вход 7, вход 8 разрешения и информационные входы 9.

Блок 2 и элементы 3 (фиг.2) реализованы на сумматорах 10.1, ..., 10.7 по модулю два, формирователь 5 реализован на сумматоре 11 по модулю два и D-триггерах 12.1, ..., 12.4.

Анализатор работает следующим образом.

По сигналу "Начальная установка" триггеры 4 и 12 сбрасываются в нулевое состояние. По приходу высокого уровня сигнала на входе 8 значения сигналов с информационных входов 9 поступают через элементы И 1 на сумматоры 10 по модулю два. При этом по фронту сигнала на входе 7 эта двоичная информация записывается в D-триггеры 4 и 12 и тем самым осуществляется формирование результирующей сигнатуры.

После подачи всех N тестовых наборов на входы проверяемой цифровой системы (т.е. поступления N импульсов на вход 7 устройства) снимается сигнал с входа 8, запрещая прохождение анализируемой тестовой информации через элементы И 1. Затем выполняется подача еще $\left\lceil \frac{n}{r} \right\rceil + r - 2$ импульсов на вход 7, где r - разрядность сигнатуры, n - число информационных входов устройства, $\left\lceil \frac{n}{r} \right\rceil$ - ближайшее целое, не меньшее $\frac{n}{r}$.

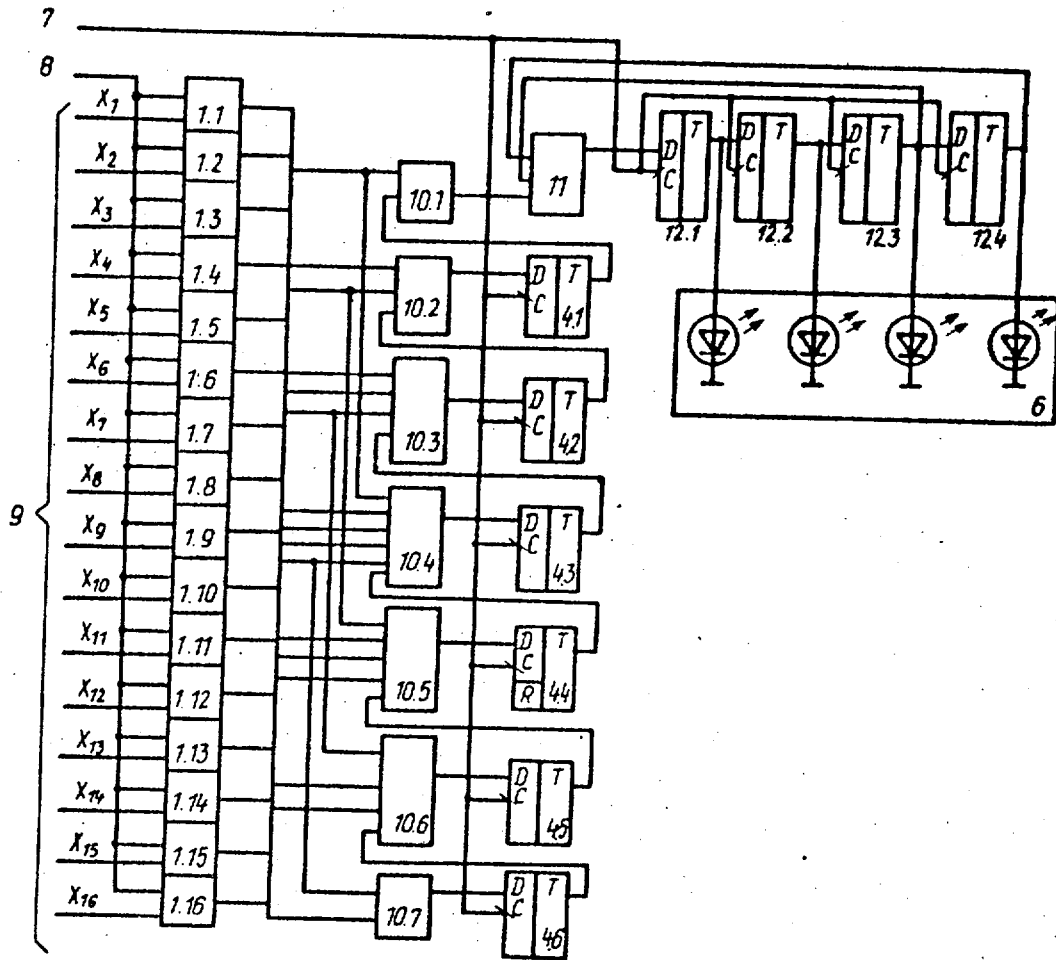
Полученная сигнатура в точности соответствует состоянию известного четырехразрядного сигнатурного анализатора после "сжатия" информации с выводов проверяемого цифрового узла последовательным перебором групп по четыре вывода для каждой входной тестовой комбинации, т.е. для каждого теста "сжимаются" вектора $(x_1 x_2 x_3 x_4)$, $(x_5 x_6 x_7 x_8)$, $(x_9 x_{10} x_{11} x_{12})$ и $(x_{13} x_{14} x_{15} x_{16})$.

Таким образом, достоверность контроля определяется выражением $1 - 2^{-r}$, при этом взаимное расположение позиций символов, искажение которых может привести к пропуску ошибки, носит случайный характер.

Ф о р м у л а и з о б р е т е н и я

Сигнатурный анализатор, содержащий формирователь сигнатур, блок индикации, l элементов ИСКЛЮЧАЮЩЕЕ ИЛИ,

где $l = \left(\left\lceil \frac{n}{r} \right\rceil + r - 2 \right)$, n - число информационных входов анализатора, r - разрядность сигнатуры, l D-триггеров, выходы формирователя сигнатур соединены с входами блока индикации, выходы i -х триггеров соединены с первыми входами i -х элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, где $i = \overline{1, l}$, выходы j -х элементов ИСКЛЮЧАЮЩЕЕ ИЛИ соединены с D-входами $(j-1)$ -х триггеров, где $j = \overline{2, l}$, тактовые входы D-триггеров и формирователя сигнатур объединены и образуют тактовый вход анализатора, отличающийся тем, что, с целью повышения быстродействия, он дополнительно содержит n элементов И и блок пространственного сжатия информации, причем первые входы элементов И являются информационными входами анализатора, вторые входы элементов И объединены и образуют вход разрешения анализатора, выходы элементов И соединены с соответствующими входами блока пространственного сжатия информации, i -е входы которого соединены с вторыми входами i -х элементов ИСКЛЮЧАЮЩЕЕ ИЛИ, $(i+1)$ -й выход блока пространственного сжатия информации соединен с D-входом l -го триггера, выход первого элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с информационным входом формирователя сигнатур.



Фиг. 2

Составитель И. Иванов
 Редактор Н. Яцола Техред М. Дидык Корректор М. Максимишинец

Заказ 2420 Тираж 568 Подписное
 ВНИИПИ Государственного комитета по изобретениям и открытиям при ГКНТ СССР
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-издательский комбинат "Патент", г. Ужгород, ул. Гагарина, 101