

Базовый логический элемент программируемой логической интегральной схемы

П. Э. Новиков, К. В. Корсак, И. Ю. Ловиенко

Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь

В работе рассмотрена базовая архитектура программируемых логических интегральных схем и базового логического элемента, составной части основного ее компонента – конфигурационного логического блока. Была спроектирована схема электрическая функциональная базового логического элемента с возможностью выполнения операции суммирования, на основе которой разработано RTL-представление базового логического элемента и представлены результаты его моделирования.

Ключевые слова: программируемая логическая интегральная схема, базовый логический элемент, системы автоматизированного проектирования, уровень регистровых передач.

Логические блоки

Программируемые логические интегральные схемы (ПЛИС) представляют собой устройства, которые могут быть электрически запрограммированы для реализации практически любого вида цифровых схем или систем. Базовая структура ПЛИС состоит из множества конфигурируемых логических блоков (КЛБ), сети межсоединений и блоков ввода-вывода. КЛБ используются для выполнения комбинационных и последовательных операций. Для комбинационной логики используется набор таблиц поиска (ТП) в качестве генераторов произвольных логических функций, а для последовательной – набор D -триггеров. Некоторые развитые формы КЛБ поддерживают дополнительные функций, такие как локальное хранение данных (распределенная статическая память), мультиплексор и сумматор.

Гибкость ПЛИС обусловлена ее основным компонентом – КЛБ, который обеспечивает возможность выполнения логических операций и хранения данных. Каждый КЛБ образован набором из N базовых логических элементов (БЛЭ).

БЛЭ – это K -входная ТП, чей выход может быть направлен на любой другой вход ТП с сохранением или без сохранения значения в триггере. Каждый КЛБ имеет I входов, идущих от выходов других КЛБ или от внешних сигналов. Все параметры N , K и I могут быть заданы проектировщиком ПЛИС в зависимости от поставленной задачи. Быстродействие ПЛИС и занимаемая ей площадь определяются этими параметрами [1].

Проектируемый БЛЭ имеет $K = 4$. Количество входов определяется дополнительными встроенными в БЛЭ устройствами, наиболее распространенной из которых является сумматор [2]. Функциональная схема, на основе которой формируется представление проектируемого БЛЭ на уровне регистровых передач (англ. register transfer level, RTL), представлена на рисунке 1. Результат моделирования RTL-представления БЛЭ приведен на рисунке 2. Временная диаграмма показывает две операции, чередующиеся по фронту тактового сигнала: обнуление ТП, триггеров, программируемых битов (Пб) и результат операции сложения при установленном переносе

Заключение

На основании анализа архитектур программируемых логических интегральных схем разработаны функциональная схема и RTL-представление базового логического элемента, пригодного для использования при построении конфигурируемых логических блоков.

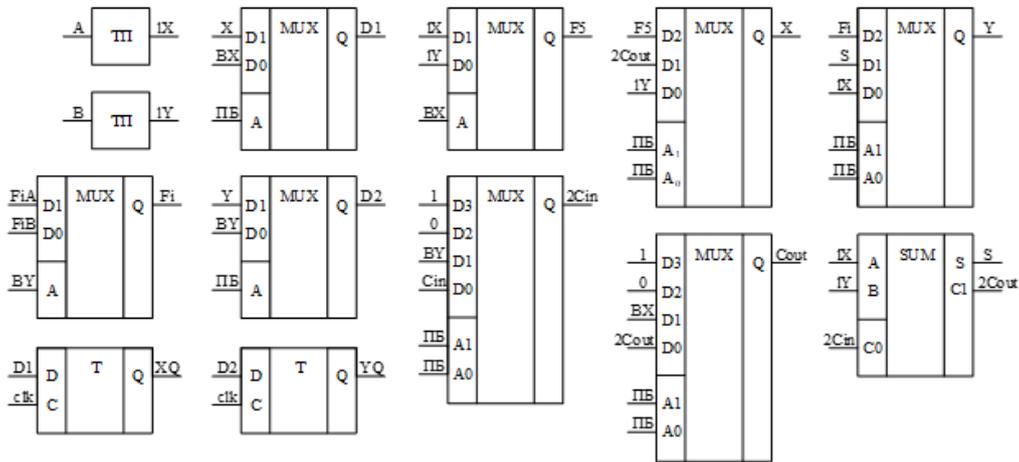


Рис. 1. Функциональная схема БЛЭ

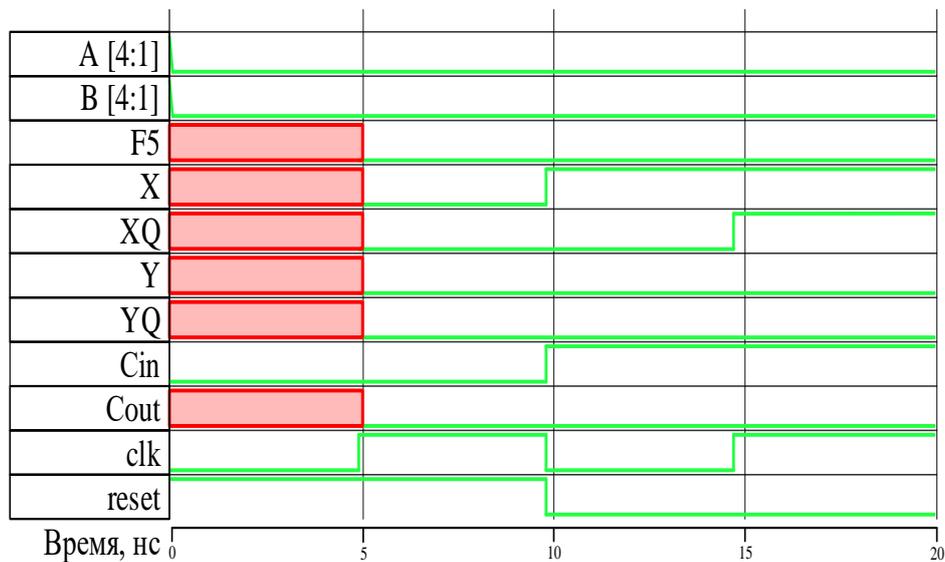


Рис. 2. Временная диаграмма БЛЭ

Список источников

- [1] Gaillardon, P. E. Emerging memory technologies for reconfigurable routing in FPGA architecture / P. E. Gaillardon [et. al.] // 2010 17th IEEE International Conference on Electronics, Circuits and Systems. — 2010. — P. 62–65.
- [2] Gandhare, S. Survey on FPGA Architecture and Recent Applications / S. Gandhare, B. Karthikeyan, // 2019 International Conference on Vision Towards Emerging Trends in Communication and Networking (ViTECoN). — 2019. — P. 1–4.

Basic logic element of a field programmable gate array

P. E. Novikov, K. V. Korsak, I. Yu. Lovshenko

Belarusian State University of Informatics and Radioelectronics, Minsk, Republic of Belarus

Annotation

The article deals with the basic architecture of field programmable gate arrays and basic logic element, part of its main component - configurable logic block. Electrical functional circuit of the basic logic element with the ability to perform the sum operation was designed. On the basis of the functional diagram the RTL-representation of the basic logic element was obtained and the results of its modeling are presented.

Keywords: FPGA, basic logic element, computer-aided design, register transfer level.