

ТРАНСФОРМАЦИЯ ИЕРАРХИЧЕСКОГО ОПИСАНИЯ КМОП СХЕМЫ В ПЛОСКОЕ ПРЕДСТАВЛЕНИЕ НА ЯЗЫКЕ SPICE

Черемисинова Л. Д., Черемисинов Д. И.

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: {cld, cher}@newman.bas-net.by

Рассматривается задача преобразования иерархических структурных описаний транзисторных КМОП схем, представленных на языке SPICE в одноуровневые описания. Предлагается рекурсивный метод компиляции иерархических описаний и его программная реализация на языке C++.

ВВЕДЕНИЕ

Современные цифровые КМОП схемы содержат до миллиарда примитивных элементов на транзисторном уровне. Ответственным этапом проектирования таких схем является тестирование результатов проектирования, которое позволяет установить, соответствует ли описание проекта на уровне транзисторов спецификации проектируемого устройства. Важными инструментами, позволяющими снизить трудоемкость тестирования электрических схем такой сложности, являются средства декомпиляции и компиляции описаний транзисторных схем. Декомпиляция позволяет, исходя из плоского (одноуровневого) описания транзисторной схемы, восстановить иерархическое структурное описание на уровне логических элементов [1]. Компиляция, наоборот, применяется к иерархическому структурному описанию схемы и позволяет преобразовать его в плоское описание. Следует заметить, что компиляция и декомпиляция изменяют не саму схему, а только ее представление.

В настоящей работе рассматривается задача компиляции иерархических описаний транзисторных схем для наиболее распространенного стиля логики – логических комплементарных МОП-структур. Исходное и полученное в результате компиляции описания транзисторной схемы задаются в формате SPICE (Simulation Program with Integrated Circuit Emphasis).

I. ЗАДАНИЕ ТРАНЗИСТОРНЫХ СХЕМ НА ЯЗЫКЕ SPICE

Главной частью описания (для целей компиляции) схемы в формате SPICE является раздел Data Statements, который описывает компоненты транзисторной схемы и взаимосвязи между ними. Компонентами могут быть примитивные элементы – транзисторы – и элементы блочного типа, которые представляются подсхемами.

Общая форма описания связей униполярного транзистора в формате SPICE имеет вид

M<name> <nd> <ng> <ns> <nb> <model-name> ,

где «name» – имя транзистора; «nd», «ng», «ns» и «nb» – идентификаторы цепей, связанных с

выводами транзистора: стока (drain), затвора (gate), истока (source) и подложки (substrate) соответственно; «model-name» – имя модели – типа транзистора. Пример SPICE-описания КМОП инвертора, состоящего из двух MOSFET транзисторов приведен на рис. 1.

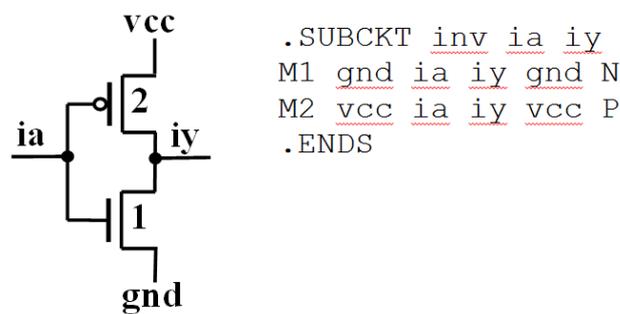


Рис. 1 – Схема инвертора inv и ее SPICE описание

Общая форма описания связей непримитивного элемента с n выводами имеет вид:

X<name> <P1> < P2> ... < Pn> <model-name> ,

где «name» – имя элемента; «P1», «P2»... «Pn» – идентификаторы цепей, связанных с выводами элемента; «model-name» – имя модели – типа элемента.

На следующем листинге ниже приведено описание простой КМОП схемы в виде трехуровневой иерархической структуры (верхняя часть рис. 2):

```
* SPICE deck for cell data bufer
.GLOBAL vcc gnd
.SUBCKT inv ia iy
M1 gnd ia iy gnd N w=2.4e-06 l=1e-06
M2 vcc ia iy vcc P w=3.2e-06 l=1e-06
.ENDS
.SUBCKT buf bA bY
Xin1 bA b1 inv
Xin2 b1 bY inv
.ENDS
.SUBCKT data bufer A Y
Xb1 A Y buf
.ENDS
```

Схема верхнего уровня – *data-bufer* – содержит один экземпляр схемы *buf*. Схема *buf*, в свою очередь, состоит из двух последовательно соединенных схем инверторов типа *inv* (рис. 1).

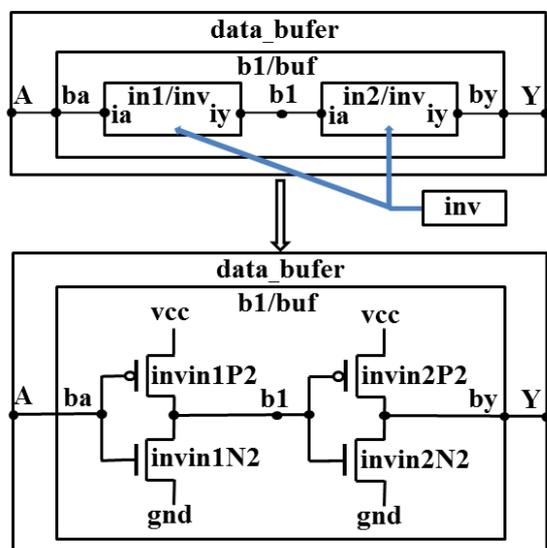


Рис. 2 – Результат преобразования схемы после компиляции элементов типа *inv*

II. ОБЩАЯ СХЕМА КОМПИЛЯЦИИ ОПИСАНИЯ ИЕРАРХИЧЕСКОЙ СХЕМЫ И В ПЛОСКОЕ ПРЕДСТАВЛЕНИЕ

Процесс компиляции состоит из трех шагов. На первом шаге выполняется анализ исходного описания схемы в формате SPICE: собирается вся информация, связанная с каждым синтаксическим элементом схемы, и строятся внутренние графовые представления каждого нетривиального элемента. На втором этапе производится собственно компиляция иерархического описания, начиная с элемента верхнего уровня иерархии. Граф схемы просматривается для обнаружения экземпляров нетривиальных элементов, каждый из которых заменяется его схемой. При этой замене исключаются порты подсхем компилируемых элементов. На последнем шаге выполняется сериализация внутреннего плоского представления графа скомпилированной схемы в формат SPICE.

Процедура компиляции схемы является рекурсивной. Если в схеме элемента, компилируемого в настоящий момент, встречается непримитивный элемент (его имя начинается с «X»), то запускается процедура его компиляции, и так до достижения листовых элементов в иерархической цепочке. При этом, результаты компиляции заменяют исходные иерархические описания

моделей элементов, и если в схеме встречаются элементы, имеющие тип, соответствующий уже ранее скомпилированной схеме, то повторная компиляция не требуется.

Так как выводы экземпляров элементов одного и того же типа в материнских схемах могут быть подключены к разным цепям, то цепи, соответствующие портам описания модели этих элементов, переименовываются, получая имена цепей, являющихся параметрами конкретного экземпляра элемента в рассматриваемой схеме. Процесс такой замены аналогичен принятой в программировании подстановке фактических параметров вместо формальных при вызове подпрограммы. Кроме того, изменяются также и имена элементов в самой схеме модели, подставляемой вместо компилируемого экземпляра элемента: они снабжаются префиксом, представляющим собой путь в иерархии до компилируемого элемента. Необходимость такого переименования вызвана тем, что в компилируемой схеме может не один элемент одного и того же типа, что приводит к повторению схемы модели в скомпилированной схеме.

На рис. 2 показан результат преобразования схемы, заданной на выше приведенном листинге, после выполнения компиляции модели *buf* путем замены экземпляров элементов *in1* и *in2* схемой модели *inv*. Плоское описание схемы *data-bufer*, полученное в результате ее компиляции, приведено на следующем листинге.

```
* SPICE deck for cell data_bufer
.GLOBAL gnd vcc
.SUBCKT data_bufer A Y
Mbufb1/invin1/N1 gnd A bufb1/b1 gnd N
Mbufb1/invin1/P2 vcc A bufb1/b1 vcc P
Mbufb1/invin2/N1 gnd bufb1/b1 Y gnd N
Mbufb1/invin2/P2 vcc bufb1/b1 Y vcc P
.ENDS
```

III. ЗАКЛЮЧЕНИЕ

Процедура компиляции реализована на языке C++ и включена в программу анализа транзисторных схем на эквивалентность, которая была протестирована на ряде практических примеров. Программа имеет достаточное быстродействие, чтобы обрабатывать схемы с более чем 500 тысячами транзисторов за несколько минут на персональной ЭВМ.

СПИСОК ЛИТЕРАТУРЫ

1. Черемисинов, Д.И. Извлечение сети логических элементов из КМОП схемы транзисторного уровня / Д.И. Черемисинов, Л.Д. Черемисинова // Микроэлектроника. – № 3 (48). – 2019. – С. 224–234.