



<http://dx.doi.org/10.35596/1729-7648-2023-21-6-29-36>

Оригинальная статья
Original paper

УДК 621.3.049.774.3

ПРОЕКТИРОВАНИЕ ВJT-JFET ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ НА БАЗОВОМ МАТРИЧНОМ КРИСТАЛЛЕ

А. В. КУНЦ^{1,2}, О. В. ДВОРНИКОВ³, В. А. ЧЕХОВСКИЙ²

¹Белорусский государственный университет информатики и радиоэлектроники
(г. Минск, Республика Беларусь)

²Институт ядерных проблем Белорусского государственного университета
(г. Минск, Республика Беларусь)

³ОАО «Минский научно-исследовательский приборостроительный институт»
(г. Минск, Республика Беларусь)

Поступила в редакцию 30.06.2023

© Белорусский государственный университет информатики и радиоэлектроники, 2023
Belarusian State University of Informatics and Radioelectronics, 2023

Аннотация. Рассмотрено применение расположенных на базовом матричном кристалле МН2ХА031 двухзатворных полевых транзисторов, управляемых $p-n$ -переходом, для уменьшения входного тока операционных усилителей. Проанализированы типовые схемы операционных усилителей, содержащие: истоковые повторители, соединенные с входами операционного усилителя на комплементарных биполярных транзисторах; входной дифференциальный каскад на p -JFET с нагрузкой в виде «токового зеркала» на $n-p-n$ -транзисторах; входной дифференциальный каскад в виде «перегнутого каскода» на p -JFET. Для максимального уменьшения входного тока рекомендовано применение следящей обратной связи, поддерживающей напряжение сток-исток входных JFET на малом уровне, не зависящем от входного синфазного напряжения, и соединение с входом операционного усилителя только верхнего затвора двухзатворного полевого транзистора. Приведены электрические схемы для элементов МН2ХА031 и результаты схемотехнического моделирования разработанных усилителей, названных ОАmp10J, ОАmp11.1, ОАmp11.2. Учет при схемотехническом проектировании установленных особенностей входных каскадов и режимов работы активных элементов позволит создать операционный усилитель с требуемым сочетанием основных параметров.

Ключевые слова: операционный усилитель, полевые транзисторы, $p-n$ -переходы, базовый матричный кристалл, двухзатворные транзисторы.

Конфликт интересов. Авторы заявляют об отсутствии конфликта интересов.

Для цитирования. Кунц, А. В. Проектирование ВJT-JFET операционных усилителей на базовом матричном кристалле / А. В. Кунц, О. В. Дворников, В. А. Чеховский // Доклады БГУИР. 2023. Т. 21, № 6. С. 29–36. <http://dx.doi.org/10.35596/1729-7648-2023-21-6-29-36>.

DESIGN OF BJT-JFET OPERATIONAL AMPLIFIERS ON THE MASTER SLICE ARRAY

ALIAKSEI V. KUNTS^{1,2}, OLEG V. DVORNIKOV³, VLADIMIR A. TCHEKHOVSKI²

¹Belarusian State University of Informatics and Radioelectronics (Minsk, Republic of Belarus)

²Institute for Nuclear Problems of Belarusian State University (Minsk, Republic of Belarus)

³Open Joint Stock Company "Minsk Research Instrument-Making Institute" (Minsk, Republic of Belarus)

Submitted 30.06.2023

Abstract. The use of dual-gate field-effect transistors located on the base matrix crystal MH2XA031, controlled by a $p-n$ junction needed to reduce the input current of operational amplifiers is studied. Typical circuits of operational amplifiers, containing: source repeaters connected to the inputs of the operational amplifier on complementary bipolar transistors; input differential stage on p -JFET with a "current mirror" load on $n-p-n$ -transistors; input differential in the form of a "folded cascode" on a p -JFET are analyzed. To minimize the input current, it is recommended to use bootstrapped feedback to keep the drain-to-source voltage of the input JFETs low, independent of the input common-mode voltage, and to connect only the top gate of the dual-gate JFET to the op-amp input. The electrical circuits for MH2XA031 elements and the results of circuit simulation of the developed amplifiers, called OAmpl10J, OAmpl11.1, OAmpl11.2, are presented. Accounting the established features of the input stages and operating modes of active elements in circuit design will allow to create an operational amplifier with the required combination of basic parameters.

Keywords: operational amplifier, field effect transistors, $p-n$ junctions, basic matrix crystal, two-gate transistors.

Conflict of interests. The authors declare no conflict of interests.

For citation. Kunts A. V., Dvornikov O. V., Tchekhovski V. A. (2023) Design of BJT-JFET Operational Amplifiers on the Master Slice Array. *Doklady BGUIR*. 21 (6), 29–36. <http://dx.doi.org/10.35596/1729-7648-2023-21-6-29-36> (in Russian).

Введение

Для применения в аппаратуре специального и двойного назначения на базовом матричном кристалле (БМК) MH2XA031 разработаны операционные усилители (ОУ), названные OAmpl9, OAmpl10 [1], которые содержат комплементарные биполярные транзисторы (Bipolar Junction Transistor, BJT) и характеризуются высоким усилением, малыми напряжением смещения нуля и шумами. К сожалению, применение комплементарных BJT в качестве входных транзисторов и обеспечение их высокой крутизны за счет большого эмиттерного тока привело к тому, что входной ток ОУ составляет единицы микроампер. Возможно десятикратное и более уменьшение входного тока ОУ при помощи схем компенсации. Однако входной ток ОУ на уровне десятков наноампер не допустим при работе с высокоомными источниками входного сигнала. В этом случае рекомендуется применение ОУ с входными полевыми транзисторами (Field Effect Transistors, FET).

Несмотря на то, что FET со структурой металл–диэлектрик–полупроводник имеют меньший ток утечки затвора, чем FET, управляемые $p-n$ -переходом (Junction Field-Effect-Transistors, JFET), последние чаще применяются во входных каскадах ОУ благодаря меньшему уровню фликкер-шумов. Так, входные каскады ОУ LF155, LF357, LF411, AD824, AD845, TL07, WSH 217 содержат JFET с каналом n - или p -типа, а проблемы проектирования биполярных ОУ с входными JFET, так называемые BJT-JFET ОУ, неоднократно рассматривались ранее и актуальны в настоящее время [2–5]. Среди новых возможностей для разработки BJT-JFET ОУ – применение интегральных двухзатворных JFET, в которых ток утечки по верхнему затвору (Top gate, Tg) почти в 10 раз меньше, чем по нижнему (Bottom gate, Bg) [6].

Цель исследований авторов – анализ и выработка на его основе рекомендаций по применению типовых схем BJT-JFET ОУ, содержащих: JFET-истоковые повторители перед ОУ на комплементарных BJT; входной дифференциальный каскад (ДК) на p -JFET с нагрузкой в виде «токового зеркала» на $n-p-n$ -транзисторах; входной ДК в виде «перегнутого каскода» на p -JFET.

Использование JFET-истоковых повторителей

Наиболее простым способом уменьшения входного тока является соединение источника сигнала с ОУ через JFET-истоковые повторители. Для реализации этой задачи разработан первый

вариант ВJT-JFET ОУ, названный ОАmp10J, который содержит входной каскад, показанный на рис. 1, и прецизионный малошумящий усилитель ОАmp10 [1]. Заметим, что двухзатворные JFET с каналом *p*-типа имеются на БМК МН2ХА031, для элементов которого создан ОАmp10.

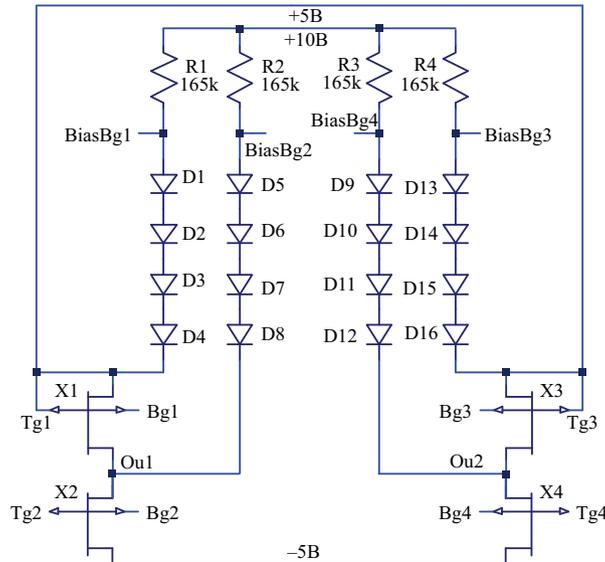


Рис. 1. Электрическая схема входного каскада ОАmp10J
Fig. 1. Electrical circuit of the ОАmp10J input stage

Верхние затворы Tg2, Tg4 двухзатворных входных JFET X2, X4 являются входами ВJT-JFET ОУ, узлы Ou1, Ou2 соединяются с входами ОАmp10, а нижние затворы Bg2, Bg4 входных JFET могут быть соединены со своими верхними затворами Tg2, Tg4 или с узлами, обеспечивающими их обратное смещение, – BiasBg2, BiasBg4 соответственно. Заметим, что нижние затворы JFET-источников тока X1, X3 должны быть соединены так же, как и входных транзисторов, т. е. либо с верхними затворами, либо с узлами BiasBg1, BiasBg3.

Таким образом, входной каскад на рис. 1 представляет собой сдвоенный истоковый повторитель, обеспечивающий близкое к нулю напряжение между верхним затвором и истоком всех транзисторов. Заметим, что режим работы двухзатворного JFET с подачей обратного напряжения на нижний затвор обеспечивает меньшие величины входного тока и тока потребления. Однако уменьшение крутизны JFET в этом режиме приводит к увеличению шумов, отнесенных ко входу.

Типовые схемы ВJT-JFET операционных усилителей

В ряде операционных усилителей, таких как LF411, TL072, применяется ДК с входными JFET и нагрузкой в виде «токового зеркала» (рис. 2). На входе других ОУ, например, AD824, использован «перегнутый каскод» (рис. 3). Электрические схемы рис. 2, 3 приведены для программного обеспечения LTSpice. Каждый ОУ состоит из входного дифференциального каскада (X1–X4, X5 с нагрузками X9, X10 (рис. 2) или R2, R3 (рис. 3)), блока смещения и одинакового по схемотехнике выходного каскада (X23–X26). Указанные на схемах сопротивления резисторов получены последовательно-параллельным соединением имеющихся на БМК МН2ХА031 резисторов с сопротивлением 1,05 и 2,45 кОм. Так, в соответствии с правилами LTSpice сопротивление резистора $R13 = \{1,05k5\}$ представляет собой сопротивление последовательного соединения, а $R9 = \{1,05k/5\}$ – параллельного соединения пяти резисторов сопротивлением 1,05 кОм. Блок смещения ОАmp11.1 реализован на стабилитроне D1, ток которого задает JFET-источник тока X19, R14. Выбор такой схемы обусловлен следующими факторами. Известно, что температурный коэффициент напряжения (ТКН) туннельного пробоя отрицательный, а лавинного пробоя – положительный. Напряжению пробоя плоского кремниевого *p–n*-перехода в диапазоне от 5,5 до 7,5 В соответствует ТКН от 0,5 до 4,0 мВ/°С [7]. Соединив прямосмещенный *p–n*-переход с отрицательным ТКН (≈ -2) мВ/°С с обратносмещенным *p–n*-переходом с положительным ТКН пробоя, можно получить термокомпенсированный источник опорного напряжения. С другой стороны, для JFET существует напряжение затвор-исток V_{GS} , при котором температурное изменение тока

стока минимально, т. е. $dI_D/dT \approx 0$ при $V_{GS} = V_{ZTC}$. Абсолютная величина напряжения $|V_{ZTC}|$ обычно на 0,66 В меньше модуля напряжения отсечки $|V_{TH}|$ [8]. При разработке схем более удобно задавать термостабильный режим работы JFET выбором величины тока стока I_{ZTC} , соответствующего V_{ZTC} . Чаще всего полагают, что $I_{ZTC} \approx 0,2I_{Dmax}$, где $I_{Dmax} = I_D$ при $V_{GS} = 0$, $V_{DS} = V_{TH}$.

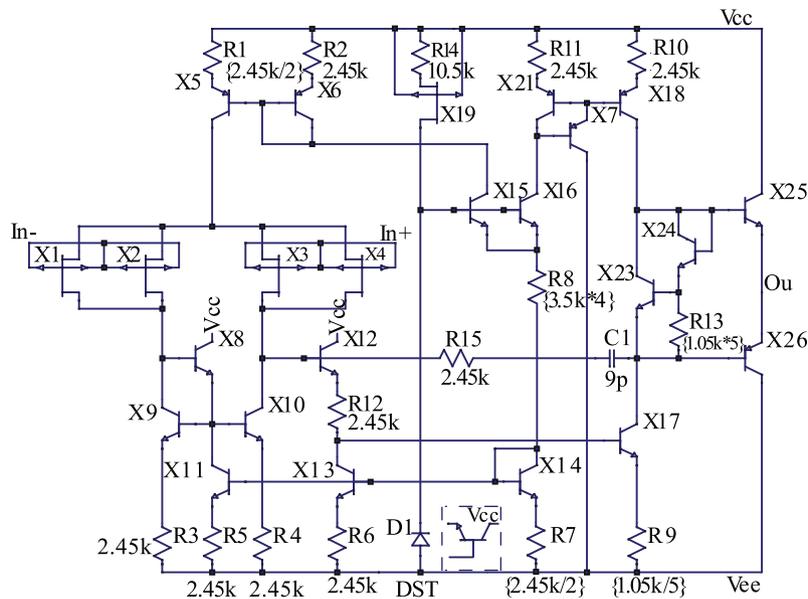


Рис. 2. Электрическая схема OAmpl11.1
Fig. 2. Electrical circuit of the OAmpl11.1

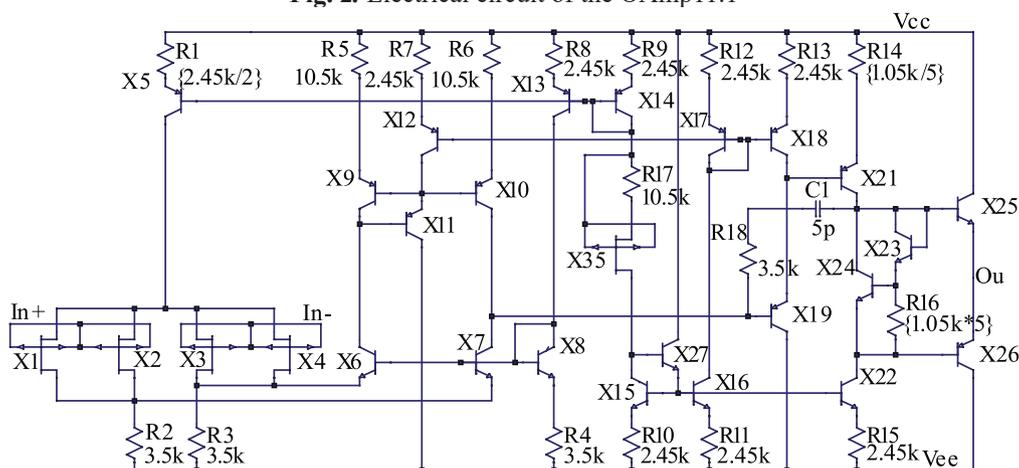


Рис. 3. Электрическая схема OAmpl11.2
Fig. 3. Electrical circuit of the OAmpl11.2

Особенностями схемы на рис. 2 являются:

- применение двухзатворных *p*-JFET с соединенными затворами для увеличения крутизны;
- минимизация напряжения смещения нуля V_{OFF} ОУ путем полной схемной симметрии нагрузок входных JFET, а именно, цепи, соединенные со стоками X1 (X8, X9, R3) и X3 (X12, X17, R12), содержат элементы, работающие при одинаковом токе;
- выбор сопротивлений резисторов таким образом, что эмиттерные токи всех источников тока (за исключением X5) составляют около 120 мкА, падение напряжения на этих резисторах – около 300 мВ, ток стока X1–X4 – 120 мкА (что близко к I_{ZTC}), резистор R13 обеспечивает ток покоя выходных транзисторов X25, X26 в 170 мкА;
- выбор номиналов корректирующей цепи C1, R15 для обеспечения минимального запаса по фазе, равного 51° , при частоте единичного усиления.

Для адекватного сравнения разработанных ОУ режимы работы транзисторов усилителя OAmpl11.2 (рис. 3) были максимально близки к соответствующим режимам OAmpl11.1. Исключение составлял только выбор сопротивлений R2–R4, устанавливающих коллекторные

токи X_6, X_7 , равные 21 мкА. При оптимизации режима работы транзисторов «перегнутого каскода» ($X_1-X_4, X_5-X_{12}, R_1-R_6$) использовали рекомендации, выработанные ранее для уменьшения шумов, заключающиеся в необходимости увеличения крутизны входных транзисторов и падения напряжения на эмиттерных резисторах источников тока, увеличения отношения I_{D1}/I_{C7} (I_{D3}/I_{C6}), замены транзисторных источников тока, соединенных со стоками входных транзисторов, на резисторы с максимально возможным сопротивлением и др. [9].

Результаты схемотехнического моделирования температурных зависимостей (рис. 4–7) и основных параметров позволяют утверждать, что усилитель OAmpl1.1 имеет наилучшую температурную стабильность параметров, а главным преимуществом OAmpl1.2 является широкий диапазон допустимого входного синфазного напряжения.

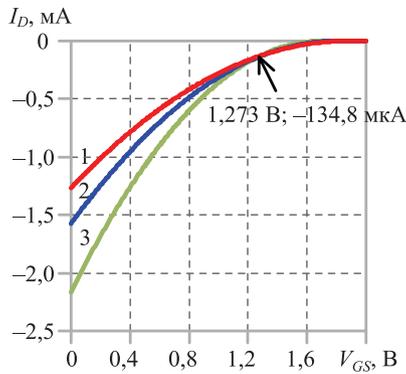


Рис. 4. Зависимость тока стока I_D от напряжения затвор-исток V_{GS} двухзатворного p -JFET с соединенными затворами при разных температурах $T, ^\circ\text{C}$: 1 – 90; 2 – 30; 3 – (-60)
Fig. 4. Dependence of the drain current I_D on the gate-source voltage V_{GS} of a double-gate p -JFET with connected gates at different temperatures $T, ^\circ\text{C}$: 1 – 90; 2 – 30; 3 – (-60)

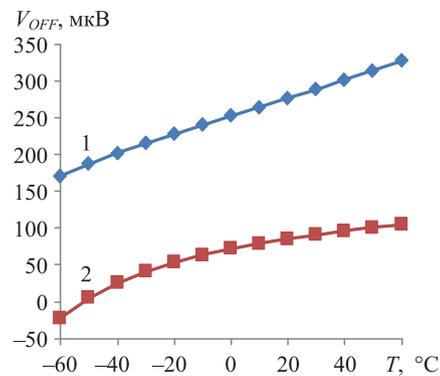


Рис. 5. Зависимость напряжения смещения нуля V_{OFF} от температуры T для операционного усилителя: 1 – OAmpl1.1; 2 – OAmpl1.2
Fig. 5. Zero bias voltage V_{OFF} versus temperature T for operational amplifier: 1 – OAmpl1.1; 2 – OAmpl1.2

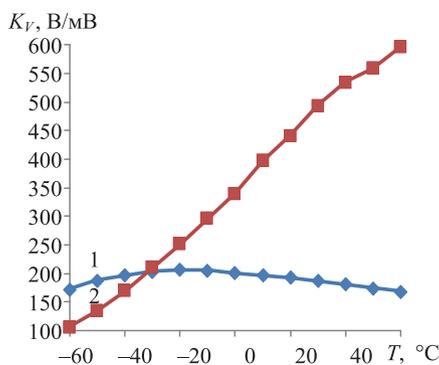


Рис. 6. Зависимость коэффициента усиления напряжения K_V от температуры T для: 1 – OAmpl1.1; 2 – OAmpl1.2
Fig. 6. Dependence of voltage gain K_V on temperature T for: 1 – OAmpl1.1; 2 – OAmpl1.2

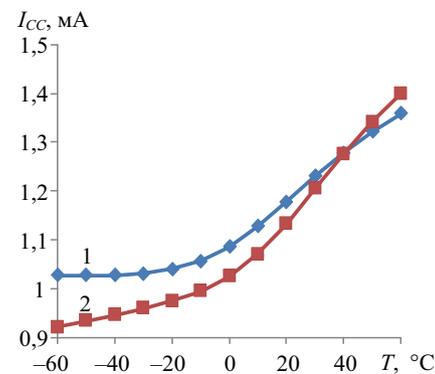


Рис. 7. Зависимость тока потребления в режиме холостого хода I_{CC} от температуры T для: 1 – OAmpl1.1; 2 – OAmpl1.2
Fig. 7. Dependence of current consumption in idle mode I_{CC} on temperature T for: 1 – OAmpl1.1; 2 – OAmpl1.2

Особенности применения двухзатворных JFET

При уменьшении входного тока I_{IN} за счет применения JFET истокового повторителя необходимо учитывать ряд факторов:

- в режиме работы с закороченными выводами затвора и истока ток стока JFET имеет максимальное значение I_{Dmax} , что значительно увеличивает ток потребления ОУ;
- уменьшение I_{Dmax} путем уменьшения отношения ширины канала JFET к его длине приводит к понижению I_{IN} из-за уменьшения площади p - n -перехода затвора, но одновременно уменьшает

крутизну JFET и, следовательно, коэффициент усиления напряжения и спектральную плотность напряжения шума, отнесенную ко входу ОУ:

– существующая зависимость обратного тока p – n -перехода от величины падения напряжения на нем приводит к зависимости I_{IN} от уровня входного синфазного сигнала.

Для устранения зависимости входного тока ОУ от уровня входного синфазного сигнала возможно применение следящей обратной связи, фиксирующей напряжение сток-исток. Такое схемное решение использовано в некоторых серийно выпускаемых (AD845, WSH 223) и разрабатываемых ВJT-JFET операционных усилителях [8]. Значительное уменьшение I_{IN} обеспечивает максимально возможное уменьшение обратного напряжения на p – n -переходах JFET, а при применении режима работы JFET с обратным смещением и прямосмещением переходом затвор-исток достигается компенсация тока, протекающего через затвор.

Анализ полученных результатов

Результаты схемотехнического моделирования разработанных ВJT-JFET операционных усилителей, состоящего из входного каскада на рис. 1 и OAmp10, с применением ранее созданной модели двухзатворного p -JFET [6] приведены в табл. 1, в которой обозначение OAmp10J.1 соответствует усилителю при соединенных выводах верхнего и нижнего затворов всех JFET, а OAmp10J.2 – при соединении нижних затворов с узлами BiasBg.

Таблица 1. Результаты схемотехнического моделирования операционных усилителей при $T = 30\text{ }^{\circ}\text{C}$

Table 1. Results of circuit simulation of the operational amplifiers at $T = 30\text{ }^{\circ}\text{C}$

Наименование показателя/ Indicator name	OAmp10J.1	OAmp10J.2	OAmp11.1	OAmp11.2
Напряжение питания, В	–5/5	–5/5	–5/5	–5/5
Ток потребления в режиме холостого хода, мА	11,38	9,15	1,23	1,21
Напряжение смещения нуля, мкВ	36	48	289	91
Коэффициент усиления напряжения	$2,4 \cdot 10^5$	$1,8 \cdot 10^5$	$1,9 \cdot 10^5$	$4,9 \cdot 10^5$
Входной ток, пА	9,9	6,2	30,5	33,1
Диапазон входного синфазного напряжения, В	–3,249–3,264	–3,258–3,264	–1,075–4,309	–4,257–4,224
Произведение коэффициента усиления напряжения на ширину полосы пропускания, МГц	44	22	12,6	11,5
Минимальный запас по фазе при частоте единичного усиления, град.	39°	43°	51°	51°
Спектральная плотность напряжения шума, отнесенная ко входу, нВ/Гц ^{0,5}	4,31	11,8	6,85	7,93

Анализ результатов моделирования позволяет сделать следующие выводы.

1. Применение термокомпенсированного источника опорного напряжения, включающего стабилитрон с положительным и прямосмещенный эмиттерный переход с отрицательным ТКН, для установки величины коллекторного тока источников тока, равной току стока JFET с нулевым температурным коэффициентом, улучшает температурную стабилизацию основных параметров ВJT-JFET ОУ.

2. Использование нагрузки в виде «токового зеркала» на n – p – n -транзисторах во входном ДК на p -JFET приводит к уменьшению диапазона входного синфазного напряжения и допустимо только при большом напряжении источников питания.

3. Входной ДК в виде «перегнутого каскода» с головными p -JFET и n – p – n -транзисторами с общей базой характеризуется максимальным диапазоном входного синфазного напряжения и рекомендуется для применения в ОУ с малым напряжением питания.

4. Реализация входного ДК с двухзатворными JFET, управляемыми только верхним затвором, позволяет значительно уменьшить входной ток ОУ. Однако при этом следует учитывать, что уменьшение входного тока за счет уменьшения площади верхнего затвора (отношения ширины затвора к его длине) и стабилизации напряжения исток-сток на малом уровне введением следящей обратной связи приводит к уменьшению коэффициента усиления напряжения, увеличению спектральной плотности напряжения шума, отнесенной ко входу. По указанной причине при схемотехническом моделировании необходим поиск компромиссного сочетания усиления, уровня шумов и величины входного тока.

5. Дополнительным преимуществом от введения следящей обратной связи во входных JFET является исключение зависимости входного тока ОУ от уровня входного синфазного напряжения.

Заключение

1. Для элементов базового матричного кристалла МН2ХА031 предложено несколько схем операционных усилителей с входными двухзатворными JFET, названных ОАmp10J, ОАmp11.1 и ОАmp11.2. Операционные усилители отличаются, главным образом, схемой включения и режимом работы двухзатворных JFET.

2. Операционный усилитель ОАmp10J представляет собой последовательное соединение сдвоенного истокового повторителя и ранее разработанного операционного усилителя на комплементарных биполярных транзисторах ОАmp10. Усилитель ОАmp11.1 содержит дифференциальный каскад на p -JFET с нагрузкой в виде «токового зеркала» на n - p - n -транзисторах, ОАmp11.2 – входной дифференциальный каскад в виде «перегнутого каскода» на p -JFET и n - p - n -транзисторах с общей базой.

3. Схемотехническое моделирование показало, что все операционные усилители имеют различные диапазон допустимого входного синфазного напряжения, входной ток и ток потребления.

4. Установлено, что при схемотехнической оптимизации операционных усилителей с входными JFET необходимо учитывать противоречивое влияние основных конструктивно-схемотехнических решений на сочетание усиления, уровня шумов и входного тока операционных усилителей.

5. Уменьшение входного тока за счет уменьшения площади верхнего затвора (отношения ширины затвора к его длине) и стабилизации напряжения исток-сток на малом уровне введением следящей обратной связи приводит к уменьшению коэффициента усиления напряжения, увеличению спектральной плотности напряжения шума, отнесенной ко входу.

Список литературы

1. Быстродействующие широкополосные операционные усилители на базовом матричном кристалле / О. В. Дворников [и др.] // Известия вузов. Электроника. 2023. Т. 28, № 1. С. 96–111.
2. Close, A JFET Input Single Supply Operational Amplifier with Rail-to-Rail Output / Close, Santos // Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting. USA: Minneapolis, MN, 1993. P. 149–152. Doi: 10.1109/BIPOL.1993.617487.
3. Snoeij, M. F. A 36 V JFET-Input Bipolar Operational Amplifier with 1 $\mu\text{V}/^\circ\text{C}$ Maximum Offset Drift and –126 dB Total Harmonic Distortion / M. F. Snoeij, M. V. Ivanov // IEEE International Solid-State Circuits Conference. USA: San Francisco, CA, 2011. P. 248–250. Doi: 10.1109/ISSCC.2011.5746305.
4. Snoeij, M. F. A 36 V 48 MHz JFET-Input Bipolar Operational Amplifier with 150 μV Maximum Offset and Overload Supply Current Control / M. F. Snoeij // ESSCIRC 2018 – IEEE 44th European Solid State Circuits Conference (ESSCIRC). Germany: Dresden, 2018. P. 290–293. Doi: 10.1109/ESSCIRC.2018.8494262.
5. Design of a High Input Impedance OPA with Bi-JFET Technology / Z. He [et al.] // IEEE 2nd International Conference on Electronics Technology (ICET). China: Chengdu, 2019. P. 233–236. Doi: 10.1109/ELTECH.2019.8839538.
6. Галкин, Я. Д. Улучшенная модель двухзатворного JFET для аналоговых интегральных микросхем / Я. Д. Галкин, О. В. Дворников, В. А. Чеховский // Доклады БГУИР. 2022. Т. 20, № 3. С. 20–25. <https://doi.org/10.35596/1729-7648-2022-20-3-20-25>.
7. Grove, A. S. Physics and Technology of Semiconductor Devices / A. S. Grove. New York: Wiley, 1967. 388 p.
8. Достал, И. Операционные усилители / И. Достал. М.: Мир, 1982. 512 с.
9. Reducing Noises of High-Speed Bi-JFET Charge-Sensitive Amplifiers During Schematic Design / O. V. Dvornikov [et al.] // Materials Science and Engineering: IOP Conference Series, 2020. 8 p. Doi: 10.1088/1757-899X/862/2/022068.

References

1. Dvornikov O. V., Tchekhovcsi V. A., Prokopenko N. N., Galkin Ya. D., Kunts A. V., Chumakov V. E. (2023) A High-Speed Broadband Operational Amplifiers on a Master Slice Array. *Proceedings of Universities. Electronics*. 28 (1), 96–111 (in Russian).
2. Close, Santos (1993) A JFET Input Single Supply Operational Amplifier with Rail-to-Rail Output. *Proceedings of IEEE Bipolar/BiCMOS Circuits and Technology Meeting*. USA, Minneapolis, MN. 149–152. Doi: 10.1109/BIPOL.1993.617487.

3. Snoeij M. F., Ivanov M. V. (2011) A 36 V JFET-Input Bipolar Operational Amplifier with 1 $\mu\text{V}/^\circ\text{C}$ Maximum Offset Drift and -126 dB Total Harmonic Distortion. *IEEE International Solid-State Circuits Conference*. USA, San Francisco, CA. 248–250. Doi: 10.1109/ISSCC.2011.5746305.
4. Snoeij M. F. (2018) A 36 V 48 MHz JFET-Input Bipolar Operational Amplifier with 150 μV Maximum Offset and Overload Supply Current Control. *ESSCIRC 2018 – IEEE 44th European Solid State Circuits Conference (ESSCIRC)*. Germany, Dresden. 290–293. Doi: 10.1109/ESSCIRC.2018.8494262.
5. He Z., Wang C., Fan G., Zhou Y., Yang Y. (2019) Design of a High Input Impedance OPA with Bi-JFET Technology. *IEEE 2nd International Conference on Electronics Technology (ICET)*. China, Chengdu. 233–236. Doi: 10.1109/ELTECH.2019.8839538.
6. Galkin Y. D., Dvornikov O. V., Tchekhovski V. A. (2022) Double Gate JFET Improved Model for Analog Integrated Circuits. *Doklady BGUIR*. 20 (3), 20–25. <https://doi.org/10.35596/1729-7648-2022-20-3-20-25> (in Russian).
7. Grove A. S. (1967) *Physics and Technology of Semiconductor Devices*. New York, Wiley Publ. 388.
8. Dostal I. (1982) *Operational Amplifiers*. Moscow, Mir Publ. 512 (in Russian).
9. Dvornikov O. V., Tchekhovski V. A., Prokopenko N. N., Pakhomov I. V. (2020) Reducing Noises of High-Speed Bi-JFET Charge-Sensitive Amplifiers During Schematic Design. *Materials Science and Engineering, IOP Conference Series*. 8. Doi: 10.1088/1757-899X/862/2/022068.

Вклад авторов

Кунц А. В. выполнил схемотехническое моделирование и параметрическую оптимизацию операционных усилителей.

Дворников О. В. проанализировал современное состояние проблемы по теме работы, сформулировал цель и задачи исследований, провел идентификацию параметров моделей.

Чеховский В. А. участвовал в схемотехническом моделировании и параметрической оптимизации операционных усилителей.

Authors' contribution

Kunts A. V. has performed circuit simulation and parametric optimization of operational amplifiers.

Dvornikov O. V. has analyzed the current state of the problem, formulated the goals and objectives of the work, has performed the identification of model parameters.

Chekhovski V. A. has taken part in circuit simulation and parametric optimization operational amplifiers.

Сведения об авторах

Кунц А. В., асп. Белорусского государственного университета информатики и радиоэлектроники, мл. науч. сотр. лаборатории электронных методов и средств эксперимента Института ядерных проблем Белорусского государственного университета

Дворников О. В., д-р техн. наук, доц., гл. науч. сотр. ОАО «Минский научно-исследовательский приборостроительный институт»

Чеховский В. А., зав. лаб. «Электронные методы и средства эксперимента» Института ядерных проблем Белорусского государственного университета

Адрес для корреспонденции

220013, Республика Беларусь,
г. Минск, ул. П. Бровки, 6
Белорусский государственный университет
информатики и радиоэлектроники
Tel.: +375 44 726-30-92
E-mail: alexeykunts97@gmail.com
Кунц Алексей Вадимович

Information about the authors

Kunts A. V., Postgraduate at the Belarusian State University of Informatics and Radioelectronics, Junior Researcher at the Electronic Methods and Experiment Means Laboratory of the Institute for Nuclear Problems of Belarusian State University

Dvornikov O. V., Dr. of Sci. (Tech.), Associate Professor, Principal Researcher at the OJSC “Minsk Research Instrument-Making Institute”

Tchekhovski V. A., Head of the Laboratory “Electronic Methods and Experiment Means” of the Institute for Nuclear Problems of Belarusian State University

Address for correspondence

220013, Republic of Belarus,
Minsk, P. Brovki St., 6
Belarusian State University
of Informatics and Radioelectronics
Tel.: +375 44 726-30-92
E-mail: alexeykunts97@gmail.com
Kunts Aliaksei Vadimovich