

ИССЛЕДОВАНИЕ ПОДХОДОВ К ПОСТРОЕНИЮ МНОГОУРОВНЕВЫХ ЛОГИЧЕСКИХ СХЕМ ИЗ ВЕНТИЛЕЙ

Н. А. Кириенко, Д. И. Черемисинов, Л. Д. Черемисинова

Объединённый институт проблем информатики Национальной академии наук Беларуси

Минск, Республика Беларусь

E-mail: kir@newman.bas-net.by

Исследуется степень влияния методов выполнения технологически независимой оптимизации многоуровневых логических схем из вентилях на сложность и энергопотребление схем в технологическом базисе КМОП-схем. Приводятся результаты экспериментального исследования подходов к построению многоуровневой логической схемы из вентилях.

ВВЕДЕНИЕ

В последние годы фактор минимизации энергопотребления при проектировании интегральных схем играет такую же значительную роль, как площадь и быстродействие, поэтому при проектировании электронных устройств приходится добиваться максимального сокращения площади кристалла при ограниченном энергопотреблении.

В большинстве систем проектирования процесс логического синтеза делится на две стадии: технологически независимую оптимизацию и технологическое отображение. Первая стадия синтеза ориентирована на оптимизацию и декомпозицию логики, а вторая – на реализацию полученного функционального описания в заданном технологическом базисе. Существует два основных подхода к выбору базовых элементов при синтезе многоуровневой сети на этапе технологически независимой оптимизации:

1. Технологически независимый – технологический базис при синтезе никак не учитывается (обычно используется однородный базис 2И-НЕ или 2ИЛИ-НЕ);

2. Технологически обусловленный – синтез ведется из многоходовых вентилях (с разным числом входов), входящих в состав элементов технологического базиса.

В настоящей работе приводятся результаты исследования трех методов построения многоуровневой логической схемы из вентилях, в основе которых лежит выбор технологически независимого или технологически обусловленного базиса элементов.

I. ЛОГИЧЕСКИЙ СИНТЕЗ В БАЗИСЕ БИБЛИОТЕЧНЫХ ЭЛЕМЕНТОВ

Технологически независимая оптимизация, используемая в системах логического проектирования микроэлектронных устройств, включает в себя, как правило, в качестве первого этапа минимизацию функций реализуемых логических описаний в классе дизъюнктивных нормальных форм (ДНФ). Минимизированная система ДНФ, представляемая двухуровневой схемой, деком-

позируется далее в объектную многоуровневую сеть из одного или нескольких типов вентилях из множества И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ.

Цель этапа заключается в том, чтобы построить такой вариант представления схемы из вентилях, который мог бы служить хорошей отправной точкой для этапа технологического отображения в базис библиотечных элементов, при этом в качестве количественных оценок эффективности проектирования используется суммарное число входных полюсов вентилях и суммарная переключательная активность полюсов схемы.

Существуют разные подходы к выбору базовых вентилях при синтезе многоуровневой схемы. Использование минимального числа базовых вентилях за счет их простоты (например, 2И-НЕ), как это принято в ряде известных САПР, ведет к повышению гранулярности логической сети, а значит, в общем случае может повысить и качество ее покрытия библиотечными элементами за счет увеличения числа вариантов покрытия. Однако в случае КМОП-базиса это преимущество может приводить к потере эффективности методов структурного покрытия при технологическом отображении. Для случая КМОП-библиотеки более привлекательным представляется выбор технологически обусловленного базиса базовых вентилях.

Для технологического отображения многоуровневых схем используется программа [1], входящая в состав системы SIS – синтеза последовательностных схем. Для проведения исследований она была настроена на базис элементов заданной КМОП библиотеки.

II. РЕЗУЛЬТАТЫ ЭКСПЕРИМЕНТАЛЬНОГО ИССЛЕДОВАНИЯ

При проведении эксперимента использовались три процедуры построения многоуровневой логической схемы, которые основываются на сочетании следующих преобразований минимизированной системы ДНФ:

1) декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из двухвходовых вентилях 2И-НЕ;

2) алгебраической декомпозиции в объектную сеть из вентилях И и ИЛИ с ограниченным числом входных полюсов;

3) совместной нетривиальной факторизации системы ДНФ.

Процедура 1 состояла из декомпозиции двухуровневой И-ИЛИ схемы, в объектную сеть из двухвходовых вентилях 2И-НЕ с помощью программы [1]. Процедура 2 состояла из декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из многовходовых вентилях И и ИЛИ (с использованием инверторов). Настраиваемыми параметрами программы [2] (входящей в программный комплекс [3]) являются ограничения на числа n_{max} и m_{max} входных полюсов элементов И и ИЛИ и минимальное число n_{dl} выражений, для которых формируется фактор на этапе совместной нетривиальной факторизации системы ДНФ. Исследование проводилось для значений $n_{max} = m_{max} = 4$, $n_{dl} = 2$. Процедура 3 состояла из декомпозиции двухуровневой И-ИЛИ схемы в объектную сеть из многовходовых вентилях И и ИЛИ, получаемую следующим образом. Сначала производилась совместная нетривиальная факторизация системы ДНФ, при тех же значениях настраиваемых параметров $n_{max} = m_{max} = 4$, $n_{dl} = 2$.

В качестве тестовых примеров использовались системы ДНФ из набора Berkeley PLA test set и системы ДНФ, сгенерированные случайным образом. Сигнальные вероятности входных сигналов принимались равными 0,5. Система булевых функций, заданная каждым тестовым примером, подвергалась минимизации в классе ДНФ с помощью модифицированной программы ESPRESSO, включенной в программный

комплекс проектирования цифровых интегральных КМОП-микросхем с пониженным энергопотреблением [3].

Для каждого примера по минимизированной системе ДНФ строились три схемы из элементов КМОП библиотеки. Методы их синтеза различались выполнением этапа технологически независимой оптимизации – построением многоуровневой схемы из вентилях. Для каждой из схем подсчитывались: 1) переключательные активности $p1$, $p2$, $p3$ как суммы переключательных активностей всех их полюсов; 2) сложности $s1$, $s2$, $s3$, оцениваемые числами транзисторов микросхем всех их библиотечных элементов.

Исследования проводились на компьютере с процессором Intel i5-2400@3,1 GHz и оперативной памятью 2,99 ГБ. Результаты экспериментов приведены в табл. 1.

ЗАКЛЮЧЕНИЕ

Сравнительные исследования показали, что выбор на этапе технологически независимой оптимизации технологически обусловленного базиса вентилях для построения многоуровневой логической сети, служащей основой для структурного покрытия элементами КМОП библиотеки, приводит к существенному выигрышу в сложности и энергопотреблении результирующих схем.

1. Rudell, R. Logic Synthesis for VLSI Design // MemorandumNo. UCB/ERL M89/49, Electronics Research Laboratory, Berkeley, CA 94720. – 1989.
2. Черемисинова, Л. Д. Синтез многоуровневых логических схем с учетом энергопотребления / Л. Д. Черемисинова, Н. А. Кириенко // Информационные технологии. – 2013. – № 3. – С. 8–14.
3. Бибило, П. Н. Автоматизация логического синтеза КМОП-схем с пониженным энергопотреблением / Л. Д. Черемисинова, С. Н. Кардаш, Н. А. Кириенко, В. И. Романов, Д. И. Черемисин // Программная инженерия. – 2013. – № 8. – С. 35–41.

Таблица 1 – Результаты экспериментального исследования подходов к построению многоуровневых логических схем из вентилях

Пример	Характеристики	$p1$	$s1$	$p2$	$s2$	$p3$	$s3$
br1	12,8,34	141,34	668	54,11	386	56,30	392
br2	12,8,35	115,04	526	48,29	348	52,48	356
in0	15,11,138	438,03	1956	229,20	1508	234,30	1516
in2	19,10,137	451,38	2040	248,37	1726	254,67	1726
mlp4	8,8,256	324,68	1418	255,79	1406	260,92	1400
root	8,5,256	155,84	672	141,55	692	145,02	704
tms	8,16,30	302,98	1276	139,10	916	151,54	940
z9sym	9,1,420	160,31	678	136,72	702	140,10	680
GenP1	20,4,50	548,69	2794	228,11	1374	225,36	1380
GenP2	30,10,100	1331,12	6790	631,87	4090	637,18	4012
GenP3	30,10,300	3807,66	19502	1545,63	10418	1523,53	10120
GenP4	30,8,400	4232,16	21060	1583,50	9480	1603,28	9614
GenP5	20,6,40	1822,95	8526	945,59	5270	960,84	5280
GenP7	30,12,50	328,99	1632	252,52	1376	260,45	1408
GenP10	30,12,700	3238,65	15420	1776,18	9736	1808,23	9796
GenP13	30,5,600	3965,55	18948	1577,43	8762	1600,83	8848
GenP22	24,4,790	4010,45	18762	1852,17	10588	1898,63	10616