

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

УДК 681.3.068

Мерджани Мохамед Радуан

**Распараллеливание вычислительных процессов в системе
высокоуровневого синтеза**

Специальность 05.13.11 - Математическое и программное
обеспечение вычислительных машин,
комплексов и компьютерных сетей.

Автореферат
диссертации на соискание ученой степени кандидата технических наук

Минск 2001

Работа выполнена в Белорусском государственном университете информатики и радиоэлектроники

Научный руководитель

доктор технических наук, доцент Прихожий А.А.

Официальные оппоненты

доктор технических наук, профессор Вишняков В.А.
кандидат технических наук, доцент Василевский А.В.

Оппонирующая организация – Белорусский государственный университет

Защита состоится 22 февраля 2001 года в 15 часов на заседании совета по защите диссертаций Д 02.15.04 Белорусского государственного университета информатики и радиоэлектроники по адресу:

220027, г. Минск, ул. П. Бровки, 6, тел. 239-89-89

С диссертацией можно ознакомиться в библиотеке Белорусского государственного университета информатики и радиоэлектроники.

Автореферат разослан «10» «января» 2001 г.

Ученый секретарь совета
по защите диссертаций



Никольшин Б.В.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Актуальность темы диссертации. Инструментальные компьютерные средства разработки электронных вычислительных и управляющих систем используются сегодня на всех стадиях процесса проектирования. Среди наиболее ранних и традиционных следует отметить средства физического и топологического проектирования, моделирования и синтеза на нижних уровнях абстракции. В то время как коммерческие средства физического проектирования и моделирования используются длительное время, коммерческие средства синтеза, за некоторыми исключениями, не нашли столь быстрого продвижения на рынок.

Современные системы синтеза могут быть разделены на следующие базовые классы: комбинационный или логический синтез, последовательностный или синтез уровня регистровых передач, поведенческий или высокоуровневый синтез, а также системный синтез. Несмотря на многие годы исследований, только в последнее время технология синтеза стала находить промышленное применение. Одной из первых компаний, доказавших значимость и эффективность логического синтеза, была IBM. Фирма Synopsis разработала наиболее известную и широко используемую систему последовательностного синтеза на уровне регистровых передач.

Системы высокоуровневого и системного синтеза не нашли столь быстрого промышленного применения (исключением являются системы цифровой обработки сигналов). Главная причина кроется в сложности и разнообразии задач и процессов, протекающих в системах синтеза на верхних уровнях абстракции, и как следствие, в отсутствии на сегодняшний день методов, алгоритмов и программных средств, дающих результаты, по качеству сопоставимые с результатами «ручной» разработки. Высокоуровневый синтез представляет новую методологию, которая в свою очередь оказывает влияние на традиционные области автоматизации проектирования, а именно, моделирование, топологическое проектирование, тестирование и так далее. К достоинствам этой методологии относятся сокращение времени разработки системы, повышение надежности проекта, быстрая генерация и сравнение альтернативных вариантов, автоматизация документирования разработки и так далее. С методологией высокоуровневого синтеза связаны новые научные проблемы, включая проблему создания методов синтеза асинхронных систем, проблему распараллеливания и планирования асинхронных вычислений на микро- и макроуровнях, проблему дальнейшего развития компиляционных технологий для высокоуровневого синтеза и т.д. Одной из мотиваций для синтеза

асинхронных систем является значительное сокращение потребляемой мощности и повышение общей производительности системы.

На фоне вышесказанного актуальность проблемы разработки новых моделей, алгоритмов и программных средств высокоуровневого синтеза цифровых систем, включая планирование и оптимизацию асинхронных вычислительных процессов и использование языков описания аппаратуры в процессе синтеза, имеющих большое прикладное значение для повышения качества, сокращения сроков разработки изделий вычислительной техники и микроэлектроники и привлечения новых технологий, является очевидной.

Связь работы с крупными научными программами, темами. Данная работа выполнялась в рамках научно-исследовательского проекта ГБ 00–103, № госрегистрации 0002521 на тему “Исследование проблемно-ориентированного языка VHDL применительно к моделям цифровых систем”, выполненного в рамках Министерства образования Республики Беларусь, Белорусская государственная политехническая академия.

Цель и задачи исследования. Целью диссертационной работы явилось создание новых модели, алгоритмов и программных средств распараллеливания и планирования асинхронных вычислительных процессов в системе высокоуровневого структурно-параметрического синтеза, ориентированных на современные развитые языки описания аппаратуры.

Поставленная цель достигается решением задач разработки:

1. Сетевой асинхронной модели вычислительных алгоритмов.
2. Технологии синтеза сетевых алгоритмов с различной степенью распараллеленности.
3. Алгоритмов оптимизации уровня распараллеленности сетевых алгоритмов.
4. Технологии использования языков описания аппаратуры (в частности языка VHDL) для решения задачи планирования вычислительных процессов в системе высокоуровневого синтеза.
5. Технологии и средств моделирования и распараллеливания сетевых алгоритмов на базе языков описания аппаратуры.

Научная новизна и значимость полученных результатов. Научная новизна полученных в диссертации результатов заключается в следующем.

1. Анализ модели сетей Петри и базирующихся на ней известных асинхронных моделей (графов переходов сигналов, параллельных алгоритмов логического управления и т.д.) показал, что каждая модель ориентирована на свой класс задач или является абстрактной и не может быть прямо использована в системе высокоуровневого синтеза. Предложена графовая модель сетевого алгоритма, использующая механизм

запрос/подтверждение, включающая И-вершины и ИЛИ-вершины, учитывающая поток данных и поток вычислительных ресурсов, описывающая функционирование сети путем передвижения маркеров по дугам, представляющая ветвящиеся и циклические вычисления с помощью логических выражений, метящих дуги и регулирующих перемещение маркеров, поддерживающая асинхронный параллелизм в пространстве, параллелизм во времени (сетевую конвейеризацию) и смешанный параллелизм.

2. Анализ существующего опыта в разработке параллельных алгоритмов и программ показывает, что процесс разработки является сложным и трудоемким, а разработанные параллельные алгоритмы труднопонимаемыми в своем поведении и трудно отлаживаемыми. В следствие этого в работе предложена систематическая процедура перехода от последовательного алгоритма к сетевому параллельному, изменения уровня распараллеленности сети, оцениваемого множеством пар распараллеленных операций и пар распараллеленных переменных. В основе процедуры лежат трансформации графа сети, изменяющие множество вершин графа, состав его дуг и начальную разметку графа, приводящие к расширению или сужению множества пар распараллеленных операций и переменных.

3. Известен тот факт, что увеличение объема аппаратуры, используемого для реализации параллельного алгоритма, влечет в общем случае уменьшение времени выполнения алгоритма. В работе показано, что уровень распараллеленности алгоритма, описанный множеством пар распараллеленных операторов, непосредственно влияет на временные и стоимостные параметры алгоритма. Предложены алгоритмы поиска оптимального уровня распараллеленности и синтеза потокового отношения сети. минимизирующие время выполнения сетевого алгоритма и аппаратную стоимость реализации. Отличительными особенностями алгоритмов являются последовательное добавление или удаление пар распараллеленных операторов, выбор оптимальной пары на каждом шаге распараллеливания, пересчет множеств клик графов последовательного и параллельного выполнения операторов, оценка на каждом шаге новых значений параметров.

4. В силу своей универсальности язык VHDL способен поддерживать все этапы высокоуровневого синтеза, начиная с описания спецификации и кончая представлением синтезированной архитектуры уровня регистровых передач. В работе сформулированы требования к языку VHDL с точки зрения моделирования вычислительных сетей. Предложена технология построения VHDL-модели сетевого вычислительного алгоритма, базирующаяся на использовании параллельных операторов назначения сигналов, отображаемых в множество взаимосвязанных процессов, моделирующих

отдельные компоненты сети и реализующих взаимодействие между компонентами. Особенностью предложенной технологии построения VHDL-моделей конвейеризированных сетей является то, что модели обрабатывают одновременно последовательность следующих друг за другом наборов данных (поток данных).

Практическая значимость полученных результатов. Разработанные графовая модель асинхронной сети, алгоритмы автоматического оптимизационного распараллеливания последовательных поведенческих описаний, моделирования и синтеза сетей на базе языка VHDL ориентированы на использование в практических системах высокоуровневого и системного синтеза, а также при планировании информационно-вычислительных процессов в компьютерных сетях.

Основные положения диссертации, выносимые на защиту.

1. Графовая модель сетевого алгоритма, описывающая асинхронные параллельные вычисления, предназначенная для использования в системе высокоуровневого или системного синтеза и учитывающая ветвящиеся, ациклические и циклические вычисления, объем используемых временных и аппаратных ресурсов, параллелизм в пространстве и во времени.

2. Процедура перехода от последовательного алгоритма, представленного с использованием базовых управляющих конструкций и преобразованного в граф потока данных и граф потока управления, к сетевому алгоритму, преобразования сети путем изменении множества дуг в графе, изменения начальной разметки дуг и введения дополнительных переменных при конвейеризации.

3. Алгоритмы поиска оптимального уровня распараллеленности, оцениваемого множеством пар распараллеленных операторов и распараллеленных переменных, и автоматического распараллеливания сетей, минимизирующий время выполнения сетевого алгоритма или аппаратную стоимость (объем вычислительных ресурсов, необходимых для) реализации алгоритма.

4. Технология разработки VHDL-моделей сетевых вычислительных алгоритмов, имеющих различный уровень распараллеленности, включая конвейеризированные, параметры которых превосходят параметры алгоритмов, синтезированных известными методами.

Личный вклад соискателя. Все новые научные результаты, сформулированные в диссертационной работе, получены автором самостоятельно. В публикациях с соавторами вклад автора соответствует результатам, изложенным в диссертации.

Апробация результатов диссертации. Результаты, полученные в ходе выполнения исследований, докладывались и обсуждались на:

- Научно-технической конференции аспирантов и студентов БГУИР (Минск, 1998)
- X Научно-технической конференции* «Новые технологии в машиностроении и вычислительной технике» (Брест, 1998)
- Первой международной конференции «Цифровая обработка информации и управление в чрезвычайных ситуациях» (Минск, 1998)
- Второй международной научно-технической конференции «Моделирование интеллектуальных процессов проектирования и производства (CAD/CAM/*98)» (Минск, 1998)
- Международной научно-технической конференции «Проблемы физической и биомедицинской электроники» (Киев, 1998)
- Международной конференции “Information Technologies for Education, Science and Business”(Минск, 1999)
- Научно-технической конференции аспирантов и студентов БГПА (Минск, 2000)
- Международной конференции “Parallel Computing in Electrical Engineering” (Quebec, Canada, 2000)
- Международной научно-технической конференции «Вклад вузовской науки в развитие приоритетных направлений производственно-хозяйственной деятельности, разработку экономичных и экологически чистых технологий и прогрессивных методов обучения» (Минск, 2000).

Результаты работы докладывались также на научных семинарах кафедры ПОИТ Белорусского государственного университета информатики и радиоэлектроники и кафедры ПОВТ и АС Белорусской государственной политехнической академии.

Опубликованность результатов. По теме диссертации опубликовано 9 научных работ, из них 5 статей, 2 учебно-методических пособия и 2 доклада на научно-технических конференциях.

Структура и объем диссертации. Диссертационная работа состоит из пяти глав, заключения, списка использованных источников, приложение. Материал диссертации изложен на 162 страницах машинописного текста, содержит 70 рисунков на 49 страницах, 3 таблицы на 1 странице, список литературы из 129 наименований на 8 страницах, приложение на 6 страницах.

СОДЕРЖАНИЕ РАБОТЫ

В *первой главе* выполнен обзор систем высокоуровневого синтеза, сравниваются синхронный и асинхронный высокоуровневый синтез, описываются известные методы распараллеливания поведенческих описаний.

По мере развития полупроводниковых технологий, уменьшения проектных норм, увеличения плотности размещения элементов на кристалле и увеличения сложности цифровой системы, размещаемой на одном кристалле, методология высокоуровневого синтеза становится все более необходимой электронной промышленности и позволяет справиться со всевозрастающей сложностью проектов, выполнять быстрый просмотр альтернативных вариантов архитектур и находить лучшие проектные решения.

На сегодняшний день достаточно исследованным и развитым является синхронный высокоуровневый синтез. Разработаны исследовательские и коммерческие системы высокоуровневого синтеза, выявлены основные стадии синтеза, методы использования языков описания аппаратуры и компиляторов для высокоуровневого синтеза, алгоритмы оптимизации проектов на всех стадиях синтеза. Требуется дальнейшего развития технология трансформационного синтеза, учет дополнительных критериев оптимизации, ориентация синтеза на широкий спектр целевых архитектур.

Асинхронные цифровые схемы по адекватности и эффективности реализации все более соответствуют современному уровню развития технологий. Достаточно развитыми являются методы синтеза асинхронных схем на логическом уровне. Известно также несколько систем асинхронного высокоуровневого синтеза, в частности система и язык Tangram фирмы Philips. В целом, теория и практика асинхронного высокоуровневого синтеза находится на начальной стадии своего развития. Необходима разработка методов, алгоритмов и средств, автоматизирующих основные этапы синтеза.

Задача распараллеливания и планирования вычислений является одной из главных задач, решаемых в процессе синтеза и оказывающих первостепенное влияние на качество окончательных результатов, в частности, на такие параметры проекта как время и сложность. Известен ряд методов и алгоритмов оптимального планирования вычислений в процессе синхронного синтеза, включая методы, выполняющие поиск глобального оптимума. Остается нерешенной задача оптимизационного распараллеливания и планирования вычислений в процессе асинхронного высокоуровневого синтеза.

Во *второй главе* предложена графовая модель сетевого алгоритма, описывающая асинхронные параллельные вычисления. В отличие от сети Петри, сетевой алгоритм принимает исходные данные, выполняет параллельные асинхронные вычисления над этими данными и выводит полученные результаты. В процессе выполнения сетевой алгоритм потребляет вычислительные ресурсы, включая ресурсы времени и ресурсы

памяти. Оптимизация сетевого алгоритма заключается в минимизации ресурсов, используемых им в процессе вычислений.

Модель сетевого параллельного асинхронного алгоритма позволяет реализовать механизм взаимодействия запрос/подтверждение (handshake communication mechanism) и описать на поведенческом уровне асинхронные системы различного уровня распараллеленности, как конвейерные так и неконвейерные.

Сетевым алгоритмом называется набор из пяти элементов:

$$A=(V, O, F, E, M_O) \quad (1)$$

в котором V – множество переменных, O – множество операций (операторов), $N=O \cup V$ – множество вершин, $F \subseteq N \times N$ – множество дуг, называемое потоковым отношением, E – множество булевых выражений, ассоциируемых с дугами, $M_O \subseteq F$ – начальная разметка. Вершины-операции из множества O являются И-вершинами, вершины-переменные из множества V – ИЛИ-вершинами. Множество F дуг сети делится на два класса: дуги запроса и дуги подтверждения. Каждая дуга сети может быть помечена не более чем одним маркером. Движение маркеров по дугам сети регулируется логическими выражениями из E .

Функционирование сети происходит путем возбуждения вершин и перемещения маркеров с входных дуг на выходные. Возбуждение И-вершины (рис.1) происходит при наличии маркеров на всех входных дугах запроса и всех входных дугах подтверждения, при этом выполняется операция. Возбуждение ИЛИ-вершины (рис.2) происходит при наличии маркера на одной входной дуге запроса с истинным значением соответствующего логического выражения и при наличии маркеров на всех входных дугах подтверждения, при этом происходит присваивание переменной значения. В отличие от известных моделей потока данных, предлагаемая модель описывает также поток вычислительных ресурсов в сети.

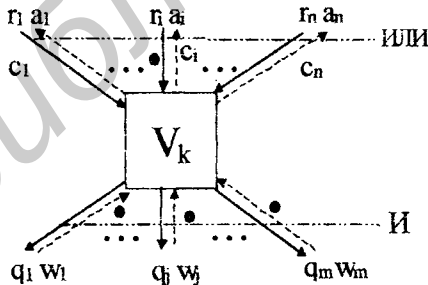


Рис.1. ИЛИ-вершина

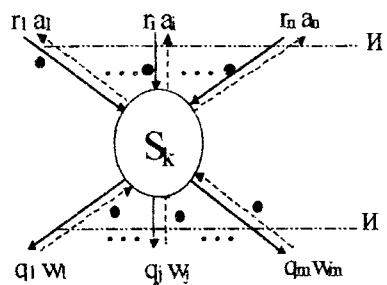


Рис.2. И-вершина

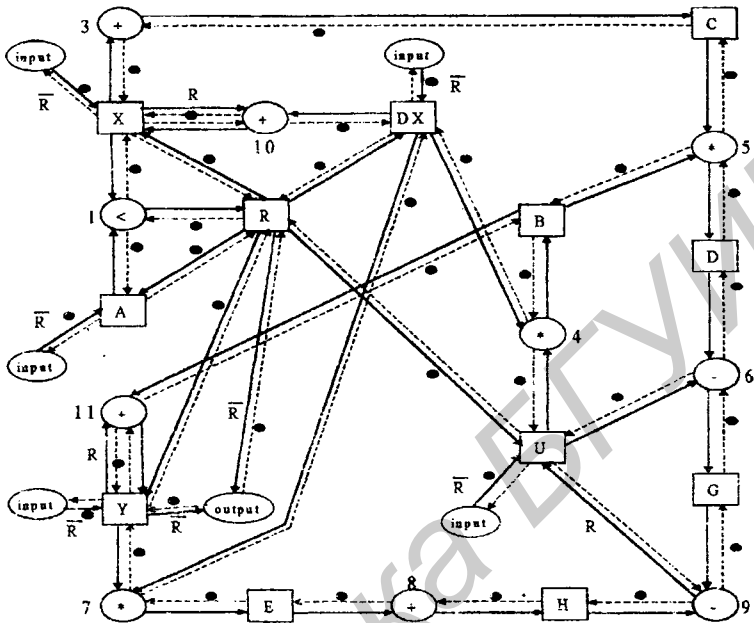


Рис. 3. Сетевой параллельный алгоритм

Две вершины-операции или две вершины-переменные выполняются в сети (рис.3) параллельно, если для каждой из них существуют выходные дуги запроса, на которых одновременно присутствуют маркеры, принадлежащие некоторой достижимой разметке сети, в противном случае вершины выполняются последовательно. Последовательные вершины допускают деление ресурсов, параллельные - не допускают.

Уровень распараллеленности сети описывается множеством D пар параллельных вершин операторов и переменных. Множество D определяется отношением C распараллеленности вершин в сети. В диссертации исследуются два противоположных направления изменения уровня распараллеленности: секвенсирование (sequencing) и конвейеризация (pipelining). Через множество D оцениваются параметры алгоритма. Время T_D выполнения сетевого алгоритма оценивается формулой

$$T_D = \max_{q \in Q_D} \sum_{i \in q} (n_i * t_i), \quad (2)$$

где Q_D - множество клик графа $G_{-D}=(N, \sim D)$ последовательного выполнения операций и последовательного использования переменных, t_i - время сторания вершины i , n_i - общее количество стораний вершины. Аппаратная стоимость S_D реализации алгоритма оценивается выражением:

$$S_D = \sum_{j=1}^k s_j * (\max_{q \in Q_D} m_{jq}), \quad (3)$$

где Q_D - множество клик графа $G_D=(N,D)$, определяющего параллельное выполнение операций и переменных, s_j - стоимость узла типа j , на котором размещается операция или переменная, m_{jq} - число операций (переменных) в клике q . Характер влияния D на параметры алгоритма показан на рис.4. Когда $D=\emptyset$, алгоритм является чисто последовательным с максимальным временем выполнения T_{max} и минимальной стоимостью реализации S_{min} . Когда $D=D_{max}$, алгоритм является максимально распараллеленным с минимальным временем выполнения T_{min} и максимальной стоимостью реализации S_{max} . Добавление пары к множеству D может привести к уменьшению времени выполнения и увеличению стоимости реализации. Удаление пары из множества D может привести к увеличению времени выполнения и уменьшению стоимости реализации.

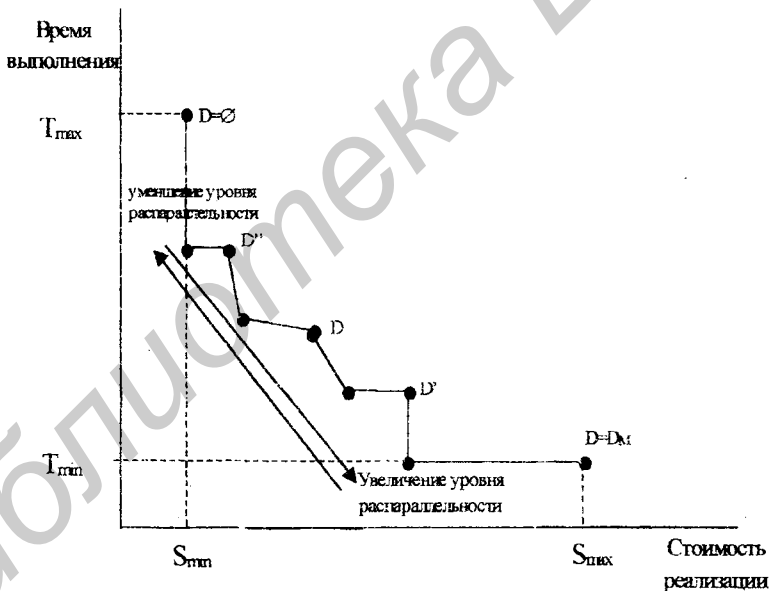


Рис. 4. Пространство распараллеленных алгоритмов

В *третьей главе* предложены алгоритмы автоматического распараллеливания сетей. Исследуемый в диссертации подход базируется на идее поиска оптимальных множеств пар распараллеленных операций и переменных в процессе оптимизации одного из параметров алгоритма при заданных ограничениях на другие. После нахождения таких множеств решается задача синтеза сети, удовлетворяющей заданным ограничениям и

обладающей установленными свойствами. В диссертации разработаны четыре основных алгоритма, выполняющих:

- 1) Построение множества пар распараллеленных операций.
- 2) Минимизацию времени работы сети.
- 3) Минимизацию аппаратной стоимости реализации сети.
- 4) Вычисление потокового отношения сети.

Алгоритм построения множества пар распараллеленных операторов, описывающего уровень распараллеленности сети, является ветвящимся. Ветвления выполняются в зависимости от способа построения множества D и стратегии обхода матриц, описывающих отношения на множестве вершин сети. Для определения состава пар распараллеленных операций используется степень свободы параллельного выполнения операции с другими операциями. Составными частями алгоритма являются подалгоритм вычисления коэффициента r_i степени свободы выполнения операции i параллельно с другими операциями, оцениваемого как отношение длины максимальных путей на графе алгоритма, включающих операцию i , к ширине сечений на графе алгоритма с операцией i , и подалгоритмы обхода матриц, представляющих отношения на множестве вершин сети, по строкам и столбцам с целью формирования множества D путем включения или исключения пар.

Алгоритм оптимизации уровня распараллеленности сети по критерию минимума времени ее работы в процессе вычислений выполняет последовательное добавление пар распараллеленных операторов, выбирает предпочтительную по нескольким критериям пару на каждом шаге распараллеливания, пересчитывает множества клик графов последовательного и параллельного выполнения операторов, оценивает новые значения параметров. Составными частями алгоритма являются подалгоритмы выбора включаемой пары, пересчета множества клик графа при добавлении ребра, пересчета множества клик графа при исключении ребра.

Алгоритм оптимизации уровня распараллеленности сети по критерию минимума аппаратной стоимости реализации, выполняет последовательное исключение пар распараллеленных операторов, выбирая оптимальную пару, пересчитывая клики графов и оценивая новые значения параметров. Алгоритм начинает работу с максимального множества пар потенциально распараллеливаемых операторов.

Алгоритм синтеза потокового отношения в сети для найденного множества пар распараллеленных операций, обеспечивает генерацию графа вычислительной сети, удовлетворяющего заданным ограничениям на параметры и обладающего требуемым уровнем распараллеленности. Потоковое отношение строится как антитранзитивное отношение для отношения полного предшествования операторов в сети.

В *четвертой главе* предложена технология построения VHDL-модели сетевого вычислительного алгоритма, базирующаяся на использовании параллельных операторов назначения сигнала, отображаемых в множество

взаимосвязанных процессов, моделирующих отдельные компоненты сети и реализующих взаимодействие между компонентами. VHDL-модель всего алгоритма строится из VHDL-фрагментов, описывающих структуру и процесс сгорания вершин-переменных (ИЛИ-вершин) и вершин-операций (И-вершин). Все множество используемых параллельных VHDL-операторов разбито на шесть групп (рис.5), выполняющих: перемещение маркеров по дугам запроса и подтверждения для вершин-операций и логических переменных, управляющих прохождением циклов, управление маркерами на дугах подтверждения, являющихся входными для портов, управление возбуждением вершин-операций и вершин-переменных, вывод результатов работы сети через выходные вершины-порты.

Предложена технология построения VHDL-модели конвейеризованного сетевого вычислительного алгоритма, особенность которой заключается в том, что она обрабатывает одновременно последовательность следующих друг за другом наборов данных (поток данных). VHDL-модель корректно описывает не только сгорание отдельных вершин-операций и вершин-переменных, но и синхронизирует продвижение и обработку данных вершинами сети, исключая перемешивание данных, принадлежащих различным наборам. VHDL-модель сетевого конвейера разрабатывается с

architecture Behavior of Diffeq is

```

signal Fire_op1,Fire_op3,Fire_op4,Fire_op5,Fire_op6,Fire_op7,... : Boolean;
signal Fire_A,Fire_DX,Fire_X,Fire_Y,Fire_U,Fire_D,Fire_E,Fire_H,... : Boolean;
signal A, DX, X, Y, U, C, D, G, H, E, B : Real;
signal X_temp,Y_temp,U_temp,C_temp,D_temp,G_temp,H_temp,E_temp,B_temp:Real;
signal R,R_temp: Boolean;
signal req_X_op1,req_X_op3,req_X_op10,req_op10_X,ack_X_op10,ack_X_R,... : Arcs;
signal req_R_X,req_R_A,ack_DX_R,req_R_U,req_R_Y,ack_R_op1,...:Arcs=token;
begin
  req_X_op1 <= empty after 2ns when Fire_op1 else token after 1.1ns when Fire_X;
  ack_op1_X <= empty after 1ns when Fire_X else token after 2.1ns when Fire_op1;
  ...
  req_R_X <= empty after 1ns when Fire_X else token after 1.1ns when Fire_R;
  ack_X_R <= empty after 1ns when Fire_R else token after 1.1ns when Fire_X;
  ...
  XP_a <= token after 1.1ns when Fire_X and not R;
  ...
  Fire_op1 <= req_X_op1=token and req_A_op1=token and ack_R_op1=token;
  R_temp <= X<A after 2ns when Fire_op1;
  ...
  Fire_R <= req_op1_R=token and ack_A_R=token and ack_X_R=token and
    ack_DX_R=token and ack_Y_R=token and ack_U_R=token;
  R <= R_temp after 1ns when Fire_R;
  ...
  Fire_R_Out <= Fire_R after 1ns;
  YPO_r <= token when not R and Fire_R_Out;
  YPO <= Y when not R and Fire_R_Out;
end Behavior;

```

Рис. 5. VHDL-модель сетевого алгоритма

учетом числа k ступеней, вводимых в конвейер. Каждый максимальный путь, начинающийся с входной вершины-переменной и заканчивающийся выходной вершиной-переменной, представляет собой линейный асинхронный k -ступенчатый конвейер с дугами запроса, соединяющими вершины-переменные и вершины-операции, и с дугами подтверждения, соединяющими одни вершины-переменные с другими.

В диссертационной работе исследованы три способа взаимодействия сети с внешней средой:

1. Сетевой алгоритм и внешняя среда моделируются в одном архитектурном теле.

2. Сетевой алгоритм и внешняя среда рассматриваются как отдельные объекты проекта, находящиеся на разных уровнях иерархии и взаимодействующие посредством входных и выходных портов. Движение маркеров по дугам выполняется в архитектурном теле сетевого алгоритма.

3. Сетевой алгоритм и внешняя среда моделируются самостоятельными объектами проекта, однако движение маркеров по дугам описывается как в архитектурном теле сетевого алгоритма так и в архитектурном теле внешней среды различными процессами. Для избежания конфликтов между процессами используется разрешающая функция (*resolution function*).

Выполнено исследование динамики работы сетевого алгоритма посредством выполнения предложенных VHDL-моделей в системе имитационного моделирования.

В пятой главе описываются результаты вычислительных экспериментов, полученные в частности на типовом проекте эллиптического фильтра пятого порядка. Сравняются уровни распараллеленности алгоритмов (рис.6), генерируемых с одной стороны оптимальным методом целочисленного линейного программирования для синхронной модели и с другой стороны предложенными в диссертации алгоритмами распараллеливания для асинхронной модели при одинаковой аппаратной стоимости реализации. Уровень распараллеленности оценивается множеством D пар распараллеленных операций. При одном и том же числе функциональных узлов мощность множества D для синтезированных сетевых алгоритмов превышает более чем в десять раз мощность множества D для оптимальных параллельно-последовательных алгоритмов.

Сравнивается так же время выполнения синтезированных параллельных алгоритмов (рис.7) опять же при одинаковых аппаратных затратах. Время работы сетевых алгоритмов, синтезированных с помощью полученных в диссертации результатов, до двадцати процентов меньше времени работы параллельных алгоритмов, синтезированных известным оптимальным методом.

Выполнены также эксперименты, выявившие характер влияния уровня распараллеленности сетевого алгоритма на его параметры. Экспериментально показано, чем больше пар включаются в множество D , тем меньше время выполнения сетевого алгоритма и тем больше объем вычислительных ресурсов, необходимых для реализации алгоритма.

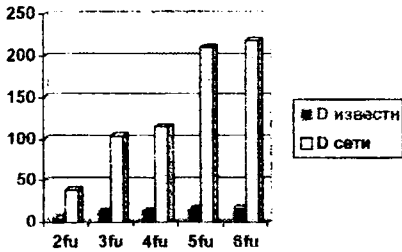


Рис.6. Уровень распараллеленности

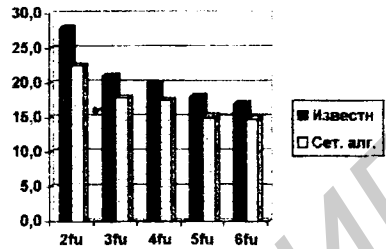


Рис.7. Время выполнения

В заключении кратко сформулированы результаты, отражающие научный вклад автора в разработку избранной научной проблемы.

В приложении приведены документы, подтверждающие внедрение результатов диссертационной работы в учебном процессе и при выполнении научно-исследовательского проекта.

ЗАКЛЮЧЕНИЕ

Главный результат диссертационной работы заключается в предложенных сетевой модели, алгоритмах и технологии распараллеливания вычислительных процессов, решающих задачу оптимизации проектов в системе высокоуровневого синтеза. Основные результаты работы можно сформулировать следующим образом:

1. Разработана графовая модель сетевого алгоритма, описывающая асинхронные параллельные вычисления, предназначенная для использования в системе высокоуровневого или системного синтеза и учитывающая ветвящиеся, ациклические и циклические вычисления, объем используемых временных и аппаратных ресурсов, поддерживающая асинхронный параллелизм в пространстве, параллелизм во времени (сетевую конвейеризацию) и смешанный параллелизм [1,2,5,6,7].

2. Предложена систематическая процедура перехода от последовательного алгоритма к сетевому параллельному алгоритму, изменения уровня распараллеленности сети, оцениваемого множеством пар распараллеленных операций и пар распараллеленных переменных. В основе процедуры лежат трансформации графа сети, изменяющие множество вершин графа, состав его дуг и начальную разметку графа, приводящие к расширению или сужению множества пар распараллеленных операций и переменных [1,5,6,7].

3. Показано, что уровень распараллеленности алгоритма, описанный множеством пар распараллеленных операторов, непосредственно влияет на временные и стоимостные параметры алгоритма. Предложены алгоритмы оптимизации уровня распараллеленности и синтеза потокового отношения сети, минимизирующие время выполнения сетевого алгоритма и аппаратную

стоимость реализации. Отличительными особенностями алгоритмов являются последовательное добавление или удаление пар распараллеленных операторов, выбор оптимальной пары на каждом шаге распараллеливания, пересчет множеств клик графов последовательного и параллельного выполнения операторов, оценка на каждом шаге новых значений параметров [5,6].

4. Сформулированы требования к языкам описания аппаратуры с точки зрения моделирования вычислительных сетей. Разработана технология построения VHDL-модели сетевого вычислительного алгоритма, базирующаяся на использовании параллельных операторов, отображаемых в множество взаимосвязанных процессов, моделирующих отдельные компоненты сети и реализующих взаимодействие между компонентами. Особенностью предложенной технологии построения VHDL-моделей конвейеризированных сетей является то, что модели обрабатывают одновременно последовательность следующих друг за другом наборов данных. Показано, что параметры синтезируемых сетевых алгоритмов превосходят параметры параллельных алгоритмов, синтезированных известными методами. Разработанная модель и алгоритмы использованы в системе высокоуровневого синтеза ANILES и внедрены в учебный процесс [1-9].

СПИСОК ОПУБЛИКОВАННЫХ ПО ТЕМЕ ДИССЕРТАЦИИ РАБОТ

Статьи

1. Прихожий А.А., Мерджани Р.М. Высокоуровневое асинхронное моделирование цифровых схем на языке VHDL // Электроника и связь. – Киев. - 1998. – N 4/2. – С. 235-239.
2. Прихожий А.А., Мерджани М.Р. Сетевое потоковое VHDL-моделирование // Труды Первой международной конференции по цифровой обработке информации и управлению. Минск: ИТК НАН Беларуси, 1998.– Т. 2. – С. 195-200.
3. Anatoly Prihozhy and Redouane Merdjani. Methods and tools for high and system level synthesis // Новые технологии в машиностроении и вычислительной технике: Труды X НТК. - Брест: БПИ, 1998.-Т. 2.- С. 161-167.
4. A.Prihozhy, R.Merdjani, S.Zemlyanik, Digital System High-Level Synthesis Technology // Proc. Int. Conf. "Information Technologies for Education, Science and Business – ITESB'1999". Minsk, Belarus, 1999. – P. 145-150.
5. Прихожий А.А., Мерджани Р.М. Проектирование аппаратно-программных вычислительных средств. Мн. БГУИР, 1999.- 40 с.
6. Anatoly Prihozhy, Redouane Merdjani, and Fuad Iskandar, Automatic Parallelization of Net Algorithms // Proc. Int. Conf. on Parallel Computing in Electrical Engineering – PARELEC'2000. Canada, 2000, IEEE Computer Society Press. – P. 24-28.

7. Прихожий А.А., Мерджани М.Р. Моделирование и синтез цифровых систем на основе языка VHDL. Мн. БГУИР, 2000.- 68 с.

Материалы конференций и тезисы докладов

8. Прихожий А.А., Мерджани М.Р. VHDL-модели вычислительных сетей // Моделирование интеллектуальных процессов проектирования и производства (CAD/CAM/*98) / Материалы международной научно-технической конференции. Минск, ИТК НАН Беларуси, 1998. - С. 186.
9. Прихожий А.А., Мерджани М.Р. Исследование сетевых алгоритмов с использованием инструментальных средств на базе языке VHDL. Материалы Межд. научно-техн. конф. “Вклад вузовской науки в развитие приоритетных направлений производственно-хозяйственной деятельности, разработку экономичных и экологически чистых технологий и прогрессивных методов обучения”. Мн, 2000. - С. 127.

merd

Библиотека БГУИР

РЭЗЮМЭ

Мерджані Мохамед Радуан

Распаралельванне вылічальных працэсаў у
сістэме высокаўзроўневага сінтэзу

Ключавыя словы: высокаўзроўневы сінтэз, паводзінавае апісанне, асінхронныя вылічэнні, мова апісання апаратуры VHDL, паралельны алгарытм, сеткавы алгарытм, планаваанне вылічэнняў, распаралельванне, узровень распаралеленасці алгарытму, час выканання, капітоўнасць апаратнай рэалізацыі, патоў даных, патоў кіравання.

У дысертацыйнай працы даследуецца важнейшы ў тэхналогіі высокаўзроўневага сінтэзу этап планавання вылічэнняў, які ў значнай ступені ўплывае на канечныя параметры сінтэзуемай структуры лічбавай сістэмы. Мэтай працы з'явілася ўтварэнне новых, арыентаваных на сучасныя развітыя мовы апісання апаратуры мадэлі, алгарытмаў і праграмных сродкаў распаралельвання асінхронных вылічальных працэсаў у сістэме высокаўзроўневага структурна-параметрычнага сінтэзу.

Прапанавана графавая мадэль сеткавага алгарытма, якая выкарыстоўвае механізм запыт/пацвярджэнне, уключае I-вяршыні і II-вяршыні, улічвае патоў кіравання, даных і вылічальных рэсурсаў, прадстаўляе вылічэнні, піто галінуюцца, і цыклічныя вылічэнні, падтрымлівае асінхронны паралелізм у прасторы, паралелізм у часе (сеткавую канвейерызацыю) і змешаны паралелізм. Распрацавана працэдура пераходу ад паслядоўнага алгарытма да сеткавага паралельнага алгарытма і змяненні ўзроўня распаралельвання сеткі. Пераход адэньваецца мноствам пар распаралеленых аперацый і пар распаралеленых пераменных. Паказана, якім чынам узровень распаралеленасці ўплывае на часовыя і вартасныя параметры алгарытма. Прапанаваны алгарытмы аптымізацыі ўзроўня распаралеленасці і сінтэзу патокавых адносін сеткі, што скарачваюць час выканання сеткавага алгарытма і апаратную вартасць рэалізацыі. Распрацаваны VHDL-мадэлі канвейерызаваных і неканвейерызаваных сеткавых алгарытмаў, арыентаваных на даследванне сеткаў, праверку іх карэктнасці, высокаўзроўневы сінтэз. Выкананыя эксперыментальныя даследванні паказваюць зніжэнне часу выканання сінтэзіраваных сеткавых алгарытмаў у параўнанні з алгарытмамі, сінтэзіраваны лепшымі вядомымі метадамі.

РЕЗЮМЕ

Мерджани Мохамед Радуан

Распараллеливание вычислительных процессов в системе высокоуровневого синтеза

Ключевые слова: высокоуровневый синтез, поведенческое описание, асинхронные вычисления, язык описания аппаратуры VHDL, параллельный алгоритм, сетевой алгоритм, планирование вычислений, распараллеливание, уровень распараллеленности алгоритма, время выполнения, стоимость аппаратной реализации, поток данных, поток управления.

В диссертационной работе исследуется важнейший в технологии высокоуровневого синтеза этап планирования вычислений, в значительной степени влияющий на конечные параметры синтезируемой структуры цифровой системы. Целью работы явилось создание новых ориентированных на современные развитые языки описания аппаратуры модели, алгоритмов и программных средств распараллеливания асинхронных вычислительных процессов в системе высокоуровневого структурно-параметрического синтеза.

Предложена графовая модель сетевого алгоритма, использующая механизм запрос/подтверждение, включающая И-вершины и ИЛИ-вершины, учитывающая поток управления, данных и вычислительных ресурсов, представляющая ветвящиеся и циклические вычисления, поддерживающая асинхронный параллелизм в пространстве, параллелизм во времени (сетевую конвейеризацию) и смешанный параллелизм. Разработана процедура перехода от последовательного алгоритма к сетевому параллельному и изменения уровня распараллеленности сети, оцениваемого множеством пар распараллеленных операций и пар распараллеленных переменных, путем трансформаций графа сети. Показано, что уровень распараллеленности алгоритма непосредственно влияет на временные и стоимостные параметры алгоритма. Предложены алгоритмы оптимизации уровня распараллеленности и синтеза потокового отношения сети, сокращающие время выполнения сетевого алгоритма и аппаратную стоимость реализации. Разработаны VHDL-модели конвейеризированных и неконвейеризированных сетевых алгоритмов, ориентированные на исследование сетей, использование их в процессе синтеза, проверку корректности поведенческих асинхронных описаний. Выполненные экспериментальные исследования полученных научных результатов показывают снижение времени выполнения синтезированных сетевых алгоритмов по сравнению с алгоритмами, синтезированными лучшими известными методами.

SUMMARY

Merdjani Mohamed Redouane

Parallelization of Computing Processes in a High-Level Synthesis System

Key words: high-level synthesis, behavioral description, asynchronous computations, hardware description language VHDL, concurrent algorithm, net algorithm, scheduling, parallelization, level of algorithm concurrency, execution time, hardware implementation cost, data flow, control flow.

In the PhD thesis the most important task of scheduling computations in high-level synthesis is investigated. The scheduling significantly influences the parameters of final register transfer level structure. The main objective of the work is the development of a model, algorithms, and software tools for automatic parallelization of asynchronous computing processes in a high-level synthesis system based on modern hardware description languages.

A graph model of net algorithm using the request/acknowledge mechanism, constructed of AND- and OR-nodes, representing the control, data, and resources flows is proposed. The model describes branch and iterative computations and accounts for concurrency in space, concurrency in time (pipelining), and mixed concurrency.

A technique of transition from a purely sequential algorithm to an appropriate net algorithm is developed. The level of net algorithm concurrency is estimated and modified using the set of pairs of concurrent operations and concurrent variables. It is found out in which manner the level of concurrency influences the algorithm execution time and implementation cost.

Optimizing algorithms for searching the concurrency level and generating the network flow relation are proposed. The algorithms minimize the network execution time and implementation cost. VHDL-models of non-pipelined and pipelined net algorithms for investigating the networks, checking their correctness, and supporting asynchronous high-level synthesis are developed.

Conducted experiments prove that the proposed techniques generate net algorithms the execution time of which is reduced compared to the parallel algorithms generated by the best known techniques.

Мерджани Мохамед Радуан

РАСПАРАЛЛЕЛИВАНИЕ ВЫЧИСЛИТЕЛЬНЫХ ПРОЦЕССОВ В
СИСТЕМЕ ВЫСОКОУРОВНЕВОГО СИНТЕЗА

Специальность 05.13.11 –
Математическое и программное обеспечение
вычислительных машин, комплексов и компьютерных сетей

Автореферат диссертации на соискание ученой степени
кандидата технических наук

Подписано в печать	16. 01. 2001.	Формат 60×84 1/16.
Бумага офсетная.	Печать ризографическая.	Усл. печ. л. 1,39.
Уч. - изд. л. 1,0.	Тираж 90 экз.	Заказ 20 .

Белорусский государственный университет информатики и
радиоэлектроники

Отпечатано в БГУИР. Лицензия ЛПІ N 156.

220013, Минск, П.Бровки, 6