

## ФИЗИЧЕСКАЯ ОРГАНИЗАЦИЯ SDRAM ЧИПОВ. ПЕРСПЕКТИВНОСТЬ В СРАВНЕНИИ С ДРУГИМИ ТИПАМИ DRAM

*Феденков К.К., студент гр.358303*

*Белорусский государственный университет информатики и радиоэлектроники  
г. Минск, Республика Беларусь*

*Григорьев А.А. – канд. физ.-мат. наук*

**Аннотация.** В данной статье изложен принцип физической организации SDRAM чипов, описаны структура и принцип работы отдельных компонентов SDRAM. Приведены основные преимущества и недостатки SDRAM (SDR SDRAM) чипов в сравнении с другими типами DRAM.

**Ключевые слова.** DRAM, SDRAM, конденсатор, банки памяти, ячейка памяти, регистр управления, буфер данных, управляющие линии.

Синхронная оперативная память SDRAM (Synchronuos Dynamic Random Access Memory)— это первая технология оперативной памяти со случайным доступом (DRAM) разработанная для синхронизации работы памяти с тактами работы центрального процессора с внешней шиной данных. Первоначально, SDRAM была предложена в качестве более дешевой по стоимости альтернативы для дорогой видеопамяти VRAM (Video RAM), используемой в графических подсистемах. Тем не менее, она быстро получила применение во многих приложениях. Принцип работы SDRAM основан на принципе работы DRAM, однако имеет ряд отличий (синхронное функционирование, чередование банков ячеек, возможность работы в пакетно-конвейерном режиме).

Носителем информации в динамической памяти является электрическая ёмкость или конденсатор. Ячейки памяти, в основе которых лежит конденсатор, объединяются в массив. Чтобы считать информацию из ячейки, подаётся адресный сигнал в соответствующую строку (по-английски Row). Данные считываются из соответствующей колонки (по-английски Column) массива. Для "перевода" аналогового сигнала электрической ёмкости используются специальные усилители. Кроме того, существуют специальные цепи для подзарядки конденсаторов и записи данных. Принцип работы SDRAM такой же, как и у DRAM — осуществляется доступ к строкам и колонкам ячеек данных. Только SDRAM объединяет свои специфичные свойства синхронного функционирования банков ячеек, и пакетной работы, для эффективного устранения состояний задержек-ожидания. Банки ячеек — это ячейки памяти внутри чипа SDRAM, которые разделяются на два или 4 независимых банка памяти. Поскольку оба банка могут быть задействованы одновременно, непрерывный поток данных может обеспечиваться простым переключением между ними. Этот метод называется чередованием, и он позволяет снизить общее количество циклов обращения к памяти и увеличить, в результате, скорость передачи данных. Пакетный режим ускорения — это техника быстрой передачи данных, при которой автоматически генерируется блок данных (серия последовательных адресов), в каждый момент, когда процессор запрашивает один адрес. Исходя из предположения о том, что адрес следующих данных, которые будут запрошенных процессором, будет следующим, по отношению к предыдущему запрошенному адресу, который обычно истинный (это такое же предсказание, которое используется в алгоритме работы кэш-памяти). Пакетный режим может применяться как при операциях чтения (из памяти), так и при операциях записи (в память). Когда процессору необходимо извлечь данные из оперативной памяти, он может получить их в требуемый момент. Таким образом, фактическое время обработки данных непосредственно не изменилось, в отличие от увеличения эффективности выборки и передачи данных (обработка запроса начинается в момент его получения).

**Структура SDRAM чипов включает в себя несколько основных компонентов:**

### **1. Ячейки памяти SDRAM:**

Ячейки представляют собой сочетание транзистора (ключа) и конденсатора (запоминающего элемента), образующих многомерную матрицу, каждая ячейка которой имеет уникальный адрес (строка и столбец). Информация в каждой ячейке представлена в виде 1 бита. Доступ к элементам матрицы осуществляется с помощью декодеров адреса строки и адреса столбца, которые управляются сигналами RAS# (сигнал выбора строки — Row Access Strobe) и CAS# (сигнал выбора столбца — Column Access Strobe). Ячейки памяти SDRAM могут быть организованы как однопортовые (одновременный доступ на чтение или запись) или двухпортовые (одновременный доступ на чтение и запись). Каждая ячейка памяти имеет свои характеристики задержки доступа (CAS latency), которые определяют время задержки между запросом на доступ к ячейке и фактическим получением данных.

Схема обращения к ячейке памяти в самом общем случае может быть представлена следующим образом:  
1. На адресные линии микросхемы памяти подается адрес строки. Наряду с этим подается сигнал RAS#, который помещает адрес в буфер (защелку) адреса строки.

2. После стабилизации сигнала RAS#, декодер адреса строки выбирает нужную строку, и ее содержимое перемещается в усилитель уровня (при этом логическое состояние строки массива инвертируется).
3. На адресные линии микросхемы памяти подается адрес столбца вместе с подачей сигнала CAS#, помещающего адрес в буфер (защелку) адреса столбца.
4. Поскольку сигнал CAS# также служит сигналом вывода данных, по мере его стабилизации усилитель уровня отправляет выбранные (соответствующие адресу столбца) данные в буфер вывода.
5. Сигналы CAS# и RAS# последовательно деактивируются, что позволяет возобновить цикл доступа (по прошествии промежутка времени, в течение которого данные из усилителя уровня возвращаются в массив ячеек строки, восстанавливая его прежнее логическое состояние).

С точки зрения элементной базы классическая ячейка DRAM (SDRAM) чипа представляет собой транзистор доступа и конденсатор. В ячейке DRAM чтение происходит следующим образом: битовая линия заряжается до половины питания, после чего замыкается ключ доступа. Если напряжение на запоминающем конденсаторе выше половины питания, напряжение на битовой линии медленно пойдет вверх в результате перетекания в нее заряда из конденсатора. Если на конденсаторе ничего нет, то наоборот, заряд из битовой линии потечет в ячейку памяти, и напряжение на битовой линии начнет падать. К битовой линии подключен специальный усилитель, способный определить, стало напряжение на битовой линии уменьшаться или увеличиваться. Такие усилители способны измерить маленькую разницу в напряжениях, так что не нужно дожидаться полной зарядки или разрядки конденсатора ячейки памяти.

## 2. Регистры управления SDRAM:

Регистры управления SDRAM предназначены для контроля операций чтения и записи данных в память, предварительной загрузки памяти, активации строк, а также для синхронизации работы чипа с системной шиной. В них содержится информация о текущем состоянии памяти, таймингах операций, режимах доступа, а также могут содержать информацию о режимах энергосбережения и самодиагностики памяти. Самодиагностика памяти необходима, так как конденсаторы со временем теряют свой заряд (независимо от операций чтения). Поэтому для предотвращения потери данных необходимо периодически обновлять содержимое ячеек. В современных типах памяти, которые поддерживают режимы автоматической регенерации (в «пробужденном» состоянии) и саморегенерации (в «спящем» состоянии), обычно это является задачей внутреннего контроллера регенерации, расположенного непосредственно в микросхеме памяти.

## 3. Буферы данных SDRAM:

Буферы данных SDRAM предназначены для временного хранения данных, которые передаются между ячейками памяти и системной шиной процессора. Они используются для управления потоком данных, согласования скоростей передачи данных между различными компонентами системы тем самым позволяя улучшить производительность памяти. С динамической матрицей памяти связан особый буфер статической природы, именуемый «усилителем уровня» (SenseAmp), размер которого равен размеру одной строки, необходимый для осуществления операций чтения и регенерации данных, содержащихся в ячейках памяти. Поскольку последние физически представляют собой конденсаторы, разряжающиеся при совершении каждой операции чтения, усилитель уровня обязан восстановить данные, хранящиеся в ячейке, после завершения цикла доступа.

## 4. Управляющие линии SDRAM:

Управляющие линии SDRAM предназначены для передачи сигналов управления между чипом памяти и другими компонентами системы. Они обеспечивают правильную работу чипа, согласование операций чтения/записи и синхронизацию с системной шиной.

Команды, управляющие модулем памяти SDR SDRAM, подаются на контакты модуля по 7 сигнальным линиям. По одной из них подается тактовый сигнал, передние (нарастающие) фронты которого задают моменты времени, в которые считываются команды управления с остальных 6 командных линий. Имена (в скобках — расшифровки имен) шести командных линий и описания команд приведены ниже:

- **CKE** (*clock enable*, разрешение тактового сигнала) — при низком уровне сигнала блокируется подача тактового сигнала на микросхему. Команды не обрабатываются, состояние других командных линий игнорируется.
- **CS** (*chip select*, выбор интегральной схемы) — при высоком уровне сигнала все прочие управляющие линии, кроме CKE, игнорируются. Действует как команда NOP (нет оператора).
- **DQM** (*data mask*, маска данных) — высокий уровень на этой линии запрещает чтение/запись данных. При одновременно поданной команде записи данные не записываются в DRAM. Присутствие этого сигнала в двух тактах, предшествующих циклу чтения, приводит к тому, что данные не считываются из памяти.
- **RAS** (*row address strobe*, строб адреса строки) — несмотря на название, это не строб, а всего лишь один командный бит. Вместе с /CAS и /WE кодирует одну из 8 команд.
- **CAS** (*column address strobe*, строб адреса столбца) — несмотря на название, это не строб, а всего лишь один командный бит. Вместе с /RAS и /WE кодирует одну из 8 команд.

- **WE** (*write enable*, разрешение записи) — вместе с /RAS и /CAS кодирует одну из 8 команд.

Устройства SDRAM внутренне разделены на 2 или 4 независимых банка памяти. Входы адреса первого и второго банка памяти (BA0 и BA1) определяют, какому банку предназначена текущая команда.

## **Сравнение SDRAM с другими типами DRAM**

### **1) FPM DRAM и EDO DRAM**

Основным отличием SDR SDRAM от EDO(BEDO) DRAM и FPM DRAM является использование тактового генератора для синхронизации всех сигналов и использование конвейерной обработки информации. Если для памяти FPM DRAM и EDO(BEDO) DRAM указывалось время чтения данных из первой ячейки в цепочке (время доступа), то для SDRAM указывалось время чтения данных из последующих ячеек. Цепочка — несколько ячеек, расположенных последовательно. На чтение данных из первой ячейки уходило 60—70 нс независимо от типа памяти, а время чтения последующих ячеек зависело от типа памяти. Рабочие частоты SDRAM могли быть равны 66, 100 или 133 МГц, время полного доступа — 40 и 30 нс, а время рабочего цикла — 10 и 7,5 нс.

Как следствие, SDRAM (SDR SDRAM) полностью заменил данные типы DRAM на большинстве устройств ввиду своей эффективности и быстродействию.

### **2) DDR SDRAM**

Не смотря на преимущества SDR SDRAM перед FPM DRAM и EDO DRAM, DDR SDRAM обладает лучшими характеристиками (тип DRAM, основанный на SDR SDRAM и отличающийся удвоенной скоростью передачи данных).

Фундаментальные различия между SDR и DDR лежат в организации логического слоя интерфейса данных. По интерфейсу данных памяти типа SDR SDRAM данные передаются только по положительному перепаду («фронту») синхросигнала. При этом внутренняя частота функционирования микросхем SDRAM совпадает с частотой внешней шины данных, а ширина внутренней шины данных SDR SDRAM (от непосредственно ячеек до буферов ввода-вывода) совпадает с шириной внешней шины данных. В то же время, по интерфейсу данных памяти типа DDR (а также DDR2) данные передаются дважды за один такт шины данных — как по положительному перепаду синхросигнала («фронту»), так и по отрицательному («срезу»). Для реализации данного функционала внутренняя ширина шины данных увеличена в 2 раза (по сравнению с шириной внешней шины. Такая архитектура, применяемая в DDR SDRAM, называется архитектурой «2n-предвыборки» (*2n-prefetch*). В этой архитектуре доступ к данным осуществляется «попарно» — каждая одиночная команда чтения данных приводит к отправке по внешней шине данных двух элементов (разрядность которых, как и в SDR SDRAM, равна разрядности внешней шины данных). Аналогично, каждая команда записи данных ожидает поступления двух элементов по внешней шине данных. Именно это обстоятельство объясняет, почему величина «длины пакета» (*Burst Length, BL*) при передаче данных в устройствах DDR SDRAM не может быть меньше 2.

Модули памяти DDR SDRAM можно отличить от обычной SDRAM по числу выводов (184 вывода у модулей DDR против 168 выводов у модулей с обычной SDRAM) и по ключу (вырезы в области контактных площадок) — у SDRAM два, у DDR — один. Согласно JEDEC, модули DDR400 работают при напряжении питания 2,6 В, а все более медленные — при напряжении 2,5 В. Некоторые скоростные модули для достижения высоких частот работают при больших напряжениях, до 2,9 В.

Большинство последних чипсетов с поддержкой DDR позволяли использовать модули DDR SDRAM в двухканальном, а некоторые чипсеты и в четырехканальном режиме. Данный метод позволяет увеличить в 2 или 4 раза соответственно теоретическую пропускную способность шины памяти. Для работы памяти в двухканальном режиме требуются 2 (или 4) модуля памяти. Рекомендуется использовать модули, работающие на одной частоте, имеющие одинаковый объем и временные задержки (латентность, тайминги). Ещё лучше использовать абсолютно одинаковые модули.

Сейчас модули DDR практически вытеснены модулями типов DDR2, DDR3, DDR4 и DDR5, которые в результате некоторых изменений в архитектуре позволяют получить большую пропускную способность подсистемы памяти. Ранее главным конкурентом DDR SDRAM являлась память типа RDRAM (*Rambus*), однако ввиду наличия некоторых недостатков со временем была практически вытеснена с рынка.

### **В заключение можно выделить следующие преимущества SDR SDRAM:**

1. SDR SDRAM имеет более простую архитектуру и меньше сложностей в реализации по сравнению с DDR SDRAM. Это может быть важным фактором при разработке устройств, особенно для более старых или бюджетных систем.

2. SDR SDRAM может быть совместим с более старыми системами и устройствами, которые не поддерживают DDR SDRAM. Это может быть полезно при апгрейде или замене памяти в старых компьютерах или устройствах.

3. Низкая цена: из-за более простой конструкции и меньшей сложности производства, SDR SDRAM может быть более доступной по цене по сравнению с DDR SDRAM.

### **Стоит также выделить недостатки SDR SDRAM**

1. SDR SDRAM работает на одном фронте тактового сигнала, что ограничивает скорость передачи данных. DDR SDRAM, с двойным тактовым сигналом, способен обеспечить более высокую скорость передачи данных.

2. SDR SDRAM требует больше энергии для работы из-за своей архитектуры и ограниченной эффективности. DDR SDRAM, благодаря более эффективной работе и более высокой скорости, может потреблять меньше энергии.

3. Из-за ограничений в скорости передачи данных SDR SDRAM имеет более низкую пропускную способность по сравнению с DDR SDRAM. Это может ограничить производительность системы при работе с большим объемом данных.

4. DDR SDRAM обычно имеет более широкие возможности для расширения и улучшения производительности путем увеличения тактовой частоты и объема памяти.

В целом, DDR SDRAM обладает более высокой производительностью и эффективностью по сравнению с SDR SDRAM, что делает его более предпочтительным выбором для современных систем и устройств.

**Список использованных источников:**

1. Смирнов А.Д. *Архитектура вычислительных систем: Учеб. пособие для вузов.* — М.: Наука, Физматлит, 1990. — 320 с.
2. Как работает память DDR/SDRAM [Электронный источник]. — Режим доступа: [https://microsin.net/adminstuff/hardware/general-ddr-sdram-functionality.html#google\\_vignette](https://microsin.net/adminstuff/hardware/general-ddr-sdram-functionality.html#google_vignette). — Дата доступа 09.04.2024.
3. Г. Майерс. *Архитектура современных ЭВМ (в 2-х книгах).* — Мир, 1985.
4. Synchronous DRAM [Электронный источник]. — Режим доступа: <https://www.ixbt.com/mainboard/sdram.html>. — Дата доступа 09.04.2024.

## PHYSICAL ORGANIZATION OF SDRAM CHIPS. PERSPECTIVE IN COMPARISON WITH OTHER TYPES OF DRAMS

*Fedziankou K.K.*

*Belarusian State University of Informatics and Radioelectronics<sup>1</sup>, Minsk, Republic of Belarus*

*Grigoryev A.A. – PhD in Physics and Mathematics*

**Annotation.** This article describes the principle of physical organization of SDRAM chips, describes the structure and principle of operation of individual components of SDRAM. The main advantages and disadvantages of SDRAM (SDR SDRAM) chips in comparison with other types of DRAM are given.

**Keywords.** DRAM, SDRAM, capacitor, memory banks, memory cell, control register, data buffer, control lines.