

Сердюков Владимир Владимирович, Коротков Константин Станиславович,
Голан Антон Васильевич, Маньшина Александра Тарасовна,
Каложная Софья Евгеньевна

ОПРЕДЕЛЕНИЕ РАЗНОСТИ ФАЗ В ОПТОЭЛЕКТРОННЫХ И СВЧ ИНТЕРФЕЙСНЫХ МОДУЛЯХ СИСТЕМ СВЯЗИ С МНОГОУРОВНЕВЫМИ ФОРМАТАМИ МОДУЛЯЦИИ

Важным элементом любого измерительного прибора оптического или СВЧ диапазона является векторный вольтметр, измеряющий сдвиг фаз и отношение амплитуд сигналов. Реализацией таких приборов практически не занимаются и это в основном является интеллектуальной собственностью крупных компаний, поэтому разработка такого доступного устройства необходима. Целью работы являются расчет и проектирование структурной и функциональной схемы устройства, измеряющего разности фаз сигналов, с возможностью приема команд управления и передачи результатов через высокоскоростной Ethernet интерфейс. В результате, рассмотрены основные методы построение векторных вольтметров с использованием микроконтроллеров и FPGA, произведено моделирование оптических каналов связи и создано устройство измерения сдвига фаз.

ПЛИС, смесители, сдвиг фаз, СВЧ, оптоэлектроника, векторный вольтметр.

Serdyukov Vladimir Vladimirovich, Korotkov Konstantin Stanislavovich, Golan Anton Vasilyevich, Manshina Alexandra Tarasovna,
Kalyuzhnaya Sofia Evgenyevna

**DETERMINATION OF THE PHASE DIFFERENCE IN
OPTOELECTRONIC AND MICROWAVE INTERFACE
MODULES OF COMMUNICATION SYSTEMS WITH
MULTILEVEL MODULATION FORMATS**

An important element of any optical or microwave measuring device is a vector voltmeter that measures the phase shift and the ratio of signal amplitudes. The implementation of such devices is practically not engaged in and it is mainly the intellectual property of large companies, therefore the development of such an affordable device is necessary. The purpose of the work is. calculation and design of the structural and functional circuit of a device that measures the phase differences of signals, with the ability to receive control commands and transmit the results via a high-speed Ethernet interface. As a result, the basic methods of constructing vector voltmeters using microcontrollers and FPGAs are considered, optical communication channels are modeled and a phase shift measurement device is created.

FPGA, mixers, phase shift, microwave, optoelectronics, vector voltmeter.

Введение

Экспоненциальный рост потребности современного общества в скорости и объеме получения информации повышает требования к помехоустойчивости, защищенности и высокой пропускной способности ВОЛС. Перед инфокоммуникационными компаниями стоит проблема увеличения пропускной способности в существующих магистральных и локальных сетях [1]. Особое внимание заслужили новые форматы модуляции, использование которых возможно при использовании современного стационарного оборудования. Однако внедрение новых форматов модуляции невозможно без разработки более совершенных интерфейсных модулей, реализующих эти форматы. Подобные модули способны измерять не только амплитуду, но и фазу сигналов. В оптических интерфейсах зачастую измерение разности фаз может производиться интерференционными методами на компонентах интерфейсов до использования АЦП. В радиосистемах, если они низкоскоростные, (обычно они реализуются с помощью FPGA), задача измерения фазового сдвига решается программным способом – формированием аппаратной части из вентилях. Однако при скоростях выше 1 Гб/с достичь

требуемых параметров измерения фазового сдвига возможно лишь с применением более сложных систем наподобие ASIC (интегральная схема целевого применения) и NPU (блок сетевой обработки).

Основная часть

На основе проведенного анализа методов модулирования несущей, используемых в современных системах связи, а также устройства интерфейсных модулей, непосредственно формирующих передаваемый сигнал, установлено, что:

- в интерфейсном модуле должны производиться измерение амплитуды и фазы сигнала;
- для увеличения скорости передачи данных интерфейсные модули, как правило, представляют собой либо специальные логические интегральные схемы (ASIC), либо программируемые пользователем вентильные матрицы (FPGA).

Задачами разрабатываемого устройства являются:

- оцифровка двух синхронизированных гармонических радиосигналов частотой 278 кГц;
- вычисление в реальном времени разности фаз и отношения амплитуд этих сигналов;
- передача обработанных данных на ПК по протоколу Ethernet.

Исходя из предъявляемых задач, можно сформировать требования к компонентам и схеме реализации разрабатываемого устройства, измеряющего фазу сигнала:

- наличие двух высокоскоростных АЦП большой разрядности;
- высокая скорость обработки данных;
- возможность проведения калибровок устройства, необходимых при изменении параметров измеряемых сигналов;
- наличие Ethernet модуля, поддерживающего работу со стандартами не ниже Fast Ethernet;
- устройство должно быть реализовано без использования навесного монтажа, для уменьшения влияния внешних помех.

Исходя из задач и требований программная обработка, реализованная на микроконтроллере, признана нецелесообразной из-за больших задержек при обработке и меньшей производительности микроконтроллеров по сравнению с аппаратными средствами. Так как для немассовых устройств применение ASIC является нецелесообразным по различным причинам, в

первую очередь из-за высокой сложности разработки. Поэтому был выбран СБИС с программируемой логикой Cyclone V от компании Intel [2].

Наиболее подходящей под требования является плата ADC-SoC от компании Terasic, где обозначены как элементы, подключенные к FPGA, так и к микропроцессору (обозначен как HPS) [3].

На основе проведенного анализа и с учетом выбранных компонентов были выбраны структурная и функциональная схемы. На рис. 1 приведена структурная схема.

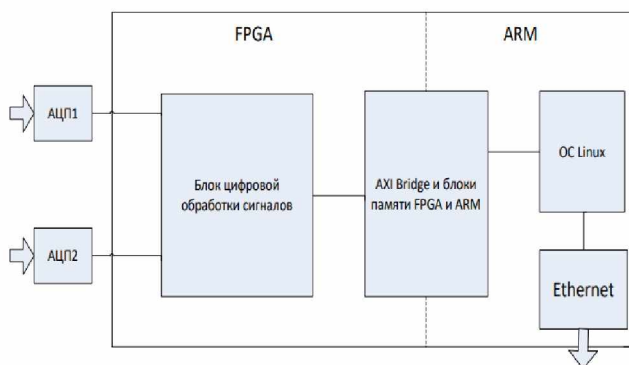


Рис. 1. Структурная схема разрабатываемого устройства, измеряющего разность фаз двух синхронизированных гармонических сигналов

Особенностью данного чипа является то, что на одном кристалле расположены и FPGA, и микропроцессор ARM Cortex A9, имеющие возможность обмена данными с помощью шины AXI, что позволит разделить процессы обработки данных и их передачи [4].

Как видно из рис. 5 оцифрованные сигналы подаются на цифровые смесители, где перемножаются с ортогональными колебаниями сгенерированными NCO. На выходах смесителей для каждого входного сигнала фактически будут наблюдаться действительная и мнимая компоненты.

Далее подключаются СИС-фильтры, пропускающие только сигнал с частотой равной разности частот входного сигнала и гетеродина. Вычисление фазы и амплитуды каждого сигнала выполняется с помощью алгоритма CORDIC. Вычисление фазы может проводиться с точностью до десятых и сотых долей градуса. После чего рассчитывается разность фаз двух гармонических сигналов и отношение их амплитуд.

Проведя анализ сигналов, FPGA записывает полученные данные в ячейки памяти, к которым посредством AXI Bridge имеет доступ микропроцессор ARM Cortex A9 [3]. Микропроцессор, с установленной операционной системой на базе Linux, проводит расчет отношения амплитуд сигналов, переводит значение в градусы, формирует кадры протокола Ethernet и передает их на физический уровень.

Разработка на языке Verilog блока обработки измеряемых сигналов

Задача блока NCO, используя в качестве входного сигнала только тактирующие импульсы, генерировать синус и косинус частотой 278 кГц. Чтобы получить нужную частоту сигнала на выходе, необходимо чтобы на входе конвейера CORDIC каждый такт частоты clk по определенному алгоритму изменялась фаза. Программный код составлен в Quartus Prime Lite версии 18.0, являющейся частью дистрибутива Intel FPGA.

Для работы реализуемого алгоритма необходим мультипликативный преобразователь частоты, работу которого можно описать следующей формулой.

$$\sin(\alpha) \cdot \sin(\varphi) = \frac{1}{2} \cos(\alpha - \varphi) - \frac{1}{2} \cos(\alpha + \varphi), \quad (3)$$

На рис. 1 показана структурная схема цифрового преобразователя частоты. Был отдельно произведен расчет и программная реализация CIC фильтра, а также был программно реализован алгоритм CORDIC, вычисляющий фазу и амплитуду сигналов.

Задачей модуля PHASE_METER является объединение описанных выше блоков и модулей в одну структуру.

На структурной схеме кроме описанных выше модулей также присутствуют дополнительные регистры. Они необходимы для корректной передачи сигналов между модулями – отсутствие этих связующих регистров приводит к полной невозможности передачи данных следующему модулю.

В разрабатываемой системе ведущими блоками являются IP-ядра Terasic_AD9254 (с подключенным IP-ядром PHASE_METER) и Artix V/Cyclone V Hard Processor System, ведомыми, соответственно, On-Chip Memory (RAM or ROM) Intel FPGA IP и PHASE_METER. Задачей блоков Terasic_AD9254 (исходный код IP-ядра открыт) является управление АЦП и прием оцифрованных сигналов для дальнейшей обработки (блок подключен к физическим входам/выходам чипа).

С помощью Lightweight HPS-to-FPGA в FPGA из микропроцессора передаются команды на начало измерений и информация о количестве отсчетов АЦП, которые нужно принять и обработать. Все интерфейсы Avalon Mapped-Memory данного блока являются ведущими.

Для работы системы, необходимо чтобы в блоки PHASE_METER и Terasic_AD9254 поступили команды на начало измерений. Источником команд является микропроцессор, передающий команды с помощью моста Lightweight HPS-to-FPGA. Работа микропроцессора при взаимодействиях с FPGA определяется приложением, скомпилированным под ОС Linux и запускаемым из файлового пространства операционной системы. Смонтированный образ ОС Linux записан на флэш-карту, входящую в комплект поставки платы Terasic ADC-SoC. Работа через операционную систему избавляет от необходимости написания программного кода, реализующего передачу информации по Ethernet интерфейсу, т.к. уже содержит все необходимые драйверы. Погрешности измерения разработанного устройства не превышают $\pm 0,02$ и $\pm 0,1$ дБ для разностей фаз и отношений амплитуд соответственно.

Заключение

В инженерном программном обеспечении OptiSystem проведено моделирование работы транспондеров DP-QPSK и DP-16QAM форматов модуляции. На основе моделирования проведён анализ полученных характеристик работы линии длиной 300 км на одной из несущих DWDM систем передачи при скорости передачи данных от каналообразующего оборудования до 100 Гбит/с, а также соотношении «сигнал-шум» канала передачи в пределах от 8 до 24 дБ. В результате анализа было определено, что требуемая полоса пропускания канала DWDM относительно формата NRZ при DP-QPSK модуляции уменьшается в 4 раза относительно потока каналообразующего оборудования, а при DP-16QAM модуляции – в 8 раз. Таким образом, для передачи потока в 100 Гбит/с DP-QPSK требует полосы пропускания канала 25 Гбит/с, а DP-16QAM – 12.5 Гбит/с.

Для применения в стенде по измерению фазовой задержки гетеродина преобразования частоты [4] были составлены структурная и функциональная схемы устройства, измеряющего разность фаз двух гармонических сигналов заданной частоты 278 кГц

На языке аппаратного программирования Verilog для процессов, обрабатываемых FPGA, составлена программа объемом 818 строк для реализации функциональной схемы устройства, измеряющего разность фаз двух

гармонических сигналов [5]. Также на языке программирования СИ мной составлена программа объемом 180 строк для микропроцессора ARM Cortex A9, входящего в состав СБИС Cyclone V. С помощью как готовых, так и самостоятельно созданных IP-ядер собрана логическая схема, для программирования FPGA.

На основании эксперимента определены относительные погрешности разработанного устройства, не превышающие $\pm 0,02$ и $\pm 0,1$ дБ при измерениях разности фаз сигналов и отношения их амплитуд соответственно.

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Наний О. Е.* Анализ форматов модуляции для систем DWDM со скоростью 40 Гбит/с / *О. Е. Наний, В. Н. Трещиков.* // Вестник связи. – 2012. – №1.
2. ADC-SoC User Manual. // Intel: official site. – 2016. – (Engl.). – URL: https://www.intel.com/content/dam/altera-www/global/en_US/portal/dsn/42/docus-dsnbk-42-2108361005542-adc-soc-user-manual-dsn.pdf (дата обращения 06.05.2024).
3. *Jaymin P.* Design between AXI Lite and AHB Bus Protocol / *Jaymin P., Yash S., Lili H.* // Journal of Physics: Conference Series – 2021 – V. 1993.
4. Патент № 2618046 Российская Федерация, МПК G 01 R 25/00. Способ измерения разности фаз и отношения уровней двух гармонических сигналов: № 2016109376: заявл. 15.03.2016; опубл. 10.05.2017, Бюл. №13 / *Бабенко А. А., Гноевой А. В., Коротков К. С., Левченко А. С., Фролов Д. Р.*; заявитель и патентообладатель Федеральное Государственное Бюджетное Образовательное Учреждение Высшего Образования "Кубанский Государственный Университет". – 12 с.
5. Свидетельство о государственной регистрации программы для ЭВМ №2022660602 Российская Федерация. Программа для определения комплексного коэффициента передачи и отражения СВЧ-смесителей методом суммы и разности: №2022619520: заявл. 26.05.2022; опубл. 07.06.2022, / *Коротков К. С., Большов А. В., Гайденок И. В., Пожидаев Р. Б., Сердюков В. В.*; правообладатель Федеральное государственное бюджетное образовательное учреждение высшего образования «Кубанский государственный университет» (ФГБОУ ВО «КубГУ») – Зарегистрировано в Реестре программ для ЭВМ.

Сердюков Владимир Владимирович, старший преподаватель кафедры радиопроизведения и нанотехнологий Кубанского государственного университета, Россия, город Краснодар, улица Ставропольская 149, 350040, телефон: +7 968 644 44 68.

Serdyukov Vladimir Vladimirovich, Senior Lecturer, Department of Radiophysics and Nanotechnology, Kuban State University, Krasnodar, Russia, 149 Stavropol Street, 350040, phone: +7 968 644 44 68.