

РАЗРАБОТКА АППАРАТНОГО МОДУЛЯ ВЫЧИСЛЕНИЯ ФУНКЦИИ ARGMAX НА БАЗЕ FPGA

Субботенко О.Р.¹, студентка гр. 250702

Белорусский государственный университет информатики и радиоэлектроники¹
г. Минск, Республика Беларусь

Вашкевич М.И. – докт. техн. наук, доцент

Целью работы является разработка устройства для поиска индекса максимального элемента среди значений, поданных на вход устройства. Разработанное устройство реализовано на FPGA, выполнен анализ аппаратных затрат при синтезе устройства на основе его структурного и поведенческого описания.

Устройство поиска индекса максимального элемента среди значений, поданных на вход, является универсальным и может быть использован как встраиваемый блок в различные системы. Одним из проектов, в котором разработанное устройство необходимо, является нейросеть, распознающая рукописные цифры [1,2]. Поиск индекса осуществляется, когда из полученных вероятностей совпадения с каждой цифрой от 0 до 9 необходимо выбрать цифру с наибольшей вероятностью. Индекс наибольшего значения вероятности и будет являться цифрой, которой она соответствует.

На вход устройства поступают десять восьмиразрядных двоичных чисел, на выход – индекс максимального числа и само число. Используя язык SystemVerilog, для устройства разработано два описания: структурное и поведенческое. Схема, построенная для первого способа, включает в себя компараторы для попарного сравнения чисел и мультиплексоры для выбора индекса очередного максимального числа. Функциональная схема устройства приведена на рисунке 1.

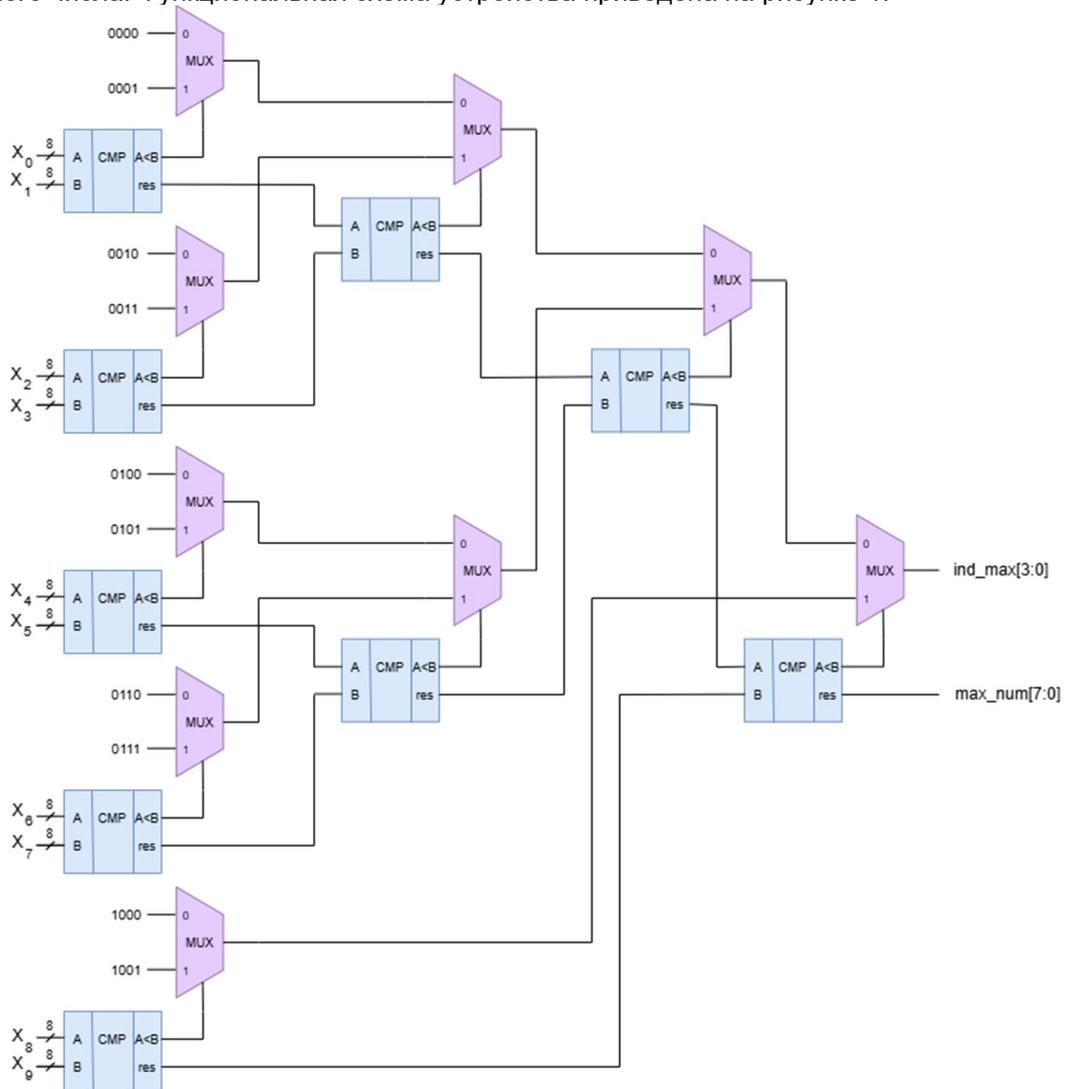


Рисунок 1– Функциональная схема устройства

Вне зависимости от выбранного способа реализации устройства, результат работы идентичен. В случае если на два различных входа подаются одинаковые числа, приоритет у значения с меньшим

индексом. Симуляция работы устройства была выполнена в САПР Vivado. Временная диаграмма работы устройства приведена на рисунке 2.

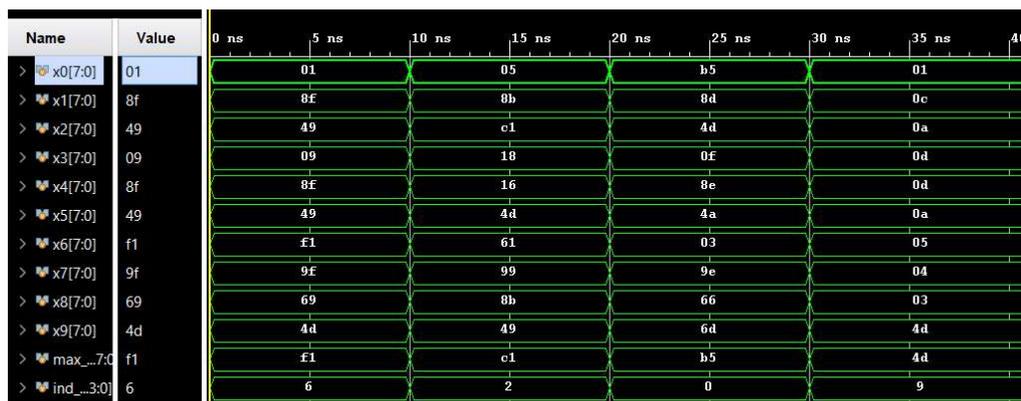


Рисунок 2 – Временная диаграмма работы устройства

Отличие поведенческого и структурного описания заключается в требуемых ресурсах Xilinx FPGA XC7Z010. Устройство, синтезированное на основе структурного описания, является более компактным и требует меньше аппаратных затрат. Сведения о требуемых ресурсах платы в обоих случаях приведены в таблице 1.

Таблица 1 – Результаты синтеза различных вариантов реализации модуля

Тип описания	LUTs	Slices
Поведенческое описание	138	LUTs
Структурное описание	112	LUTs

В данной работе рассмотрены различные способы описания устройства поиска индекса максимального элемента. Несмотря на то, что поведенческое описание является более компактным и более легким для понимания, предпочтительным будет структурное, которое требует меньшего количества ресурсов.

Список использованных источников:

1. Кривальцевич, Е. А. Исследование аппаратной реализации нейронной сети прямого распространения для распознавания рукописных цифр на базе FPGA / Е. А. Кривальцевич, М. И. Вашкевич // Доклады БГУИР. 2025. Т. 23, № 2. С. 101–108.
2. Westby I. FPGA acceleration on a multilayer perceptron neural network for digit recognition / I. Westby, X. Yang, T. Liu, H. Xu // The Journal of Supercomputing. – 2021 – vol. 77, no. 12, P. 14356–14373.