

УДК 621.396

ГРАФОВЫЕ И АЛГОРИТМИЧЕСКАЯ МОДЕЛИ ПРОЕКТИРОВАНИЯ ЭЛЕКТРОННОГО СРЕДСТВА

Малолеткин А.Б., магистрант

Белорусская государственная академия связи, г. Минск, Республика Беларусь

Скудняков Ю.А. – канд. техн. наук, доцент

Аннотация. В работе осуществлена разработка графовых и алгоритмической моделей проектирования электронных средств. Выполнены этапы функционального и схемотехнического проектирования, в ходе которых получена функционально-логическая база, разработана принципиальная электрическая схема электронного средства.

Ключевые слова. Графовая и алгоритмическая модели, функциональная и принципиальная электрическая схемы, размещение элементов, электронное средство, матрица связности.

Введение. При конструкторском проектировании электронных средств решаются задачи, связанные с поиском наилучшего варианта конструкции, удовлетворяющего требованиям технического задания и максимально учитывающего возможности технологической базы производства. Одной из основных задач синтеза конструкций является задача размещения элементов коммутационной схемы на заданном монтажном поле [1, 2]. Размещение элементов электрической схемы – это задача определения их местоположения на монтажном поле в конструктивном модуле такого, при котором создаются наилучшие условия для решения последующей задачи трассировки соединений с учетом конструктивно-технологических требований и ограничений. Среди существующих алгоритмов размещения группа последовательных алгоритмов в наибольшей степени имитирует действия инженера-проектировщика, рассчитывая при этом локальный критерий оптимальности. Нахождения критерия оптимальности осуществляется с помощью графов. Граф позволяет найти целевую функцию минимизации, которая удовлетворяет локальному критерию оптимальности. В данной работе для осуществления размещения элементов электронного средства на монтажной плоскости в качестве исходной информации используется спроектированная принципиальная электрическая схема электронного устройства.

Основная часть. Цель работы состоит в разработке и практическом применении графовых и алгоритмической моделей для эффективного размещения элементов электронного средства на печатной плате и нахождения целевой функции минимизации [1-6]. Для достижения указанной цели в работе решаются следующие задачи: 1) выбор функциональной схемы; 2) осуществление этапов функционального и схемотехнического проектирования, в ходе которых выбирается функционально-логическая база, разрабатывается принципиальная электрическая схема изделия электронной техники в целом и его составных частей, оптимизируются характеристики и параметры устройства; 3) проведение конструкторского проектирования, в рамках которого решаются задачи топологического синтеза конструкции создаваемого электронного изделия (разрабатываются графовые и алгоритмическая модели процессов компоновки, размещения элементов проектируемого электронного устройства. Задача сводится к отысканию для каждого размещаемого элемента таких позиций, при которых оптимизируется выбранный показатель качества L , и обеспечиваются наиболее благоприятные условия для последующего электрического монтажа. Универсальным критерием оптимизации как при размещении элементов, так и при трассировке соединений между элементами электрической схемы является минимум суммарной длины соединений:

$$L(P) = \frac{1}{2} \sum_{i=1}^n \sum_{j=1}^n r_{ij} \times dp(i)p(j) \rightarrow \min$$

В том случае, если в качестве критерия размещения множества элементов схемы $E=\{e_1, e_2, \dots, e_n\}$ в множество фиксированных позиций $P = \{P_1, P_2, \dots, P_n\}$ использовать минимум суммарной взвешенной длины соединений, необходимо сформировать матрицу связности $R = \| r_{ij} \|_{n \times n}$ и матрицу расстояний между элементами схемы $D = \| d_{ij} \|_{n \times n}$, где n – количество размещаемых элементов электронного модуля. В общем случае расстояние между элементами e_i и e_j схемы вычисляется по формуле: $d_{ij} = ((x_i - x_j)^k + (y_i - y_j)^k)^{1/k}$.

На первом этапе схемотехнического проектирования выбирается элементная база. Электронный модуль (см. рисунок 1) содержит 16 элементов 2И-НЕ и 16 элементов 3И-НЕ. Для реализации данного устройства будем использовать следующие микросхемы (выбираются по справочной литературе):

- К561ЛА7 – содержит 4 элемента 2И-НЕ в одном корпусе;
- К561ЛА9 – содержит 3 элемента 3И-НЕ в одном корпусе.

Для примера выберем функциональную схему следующего вида – рисунок 1.

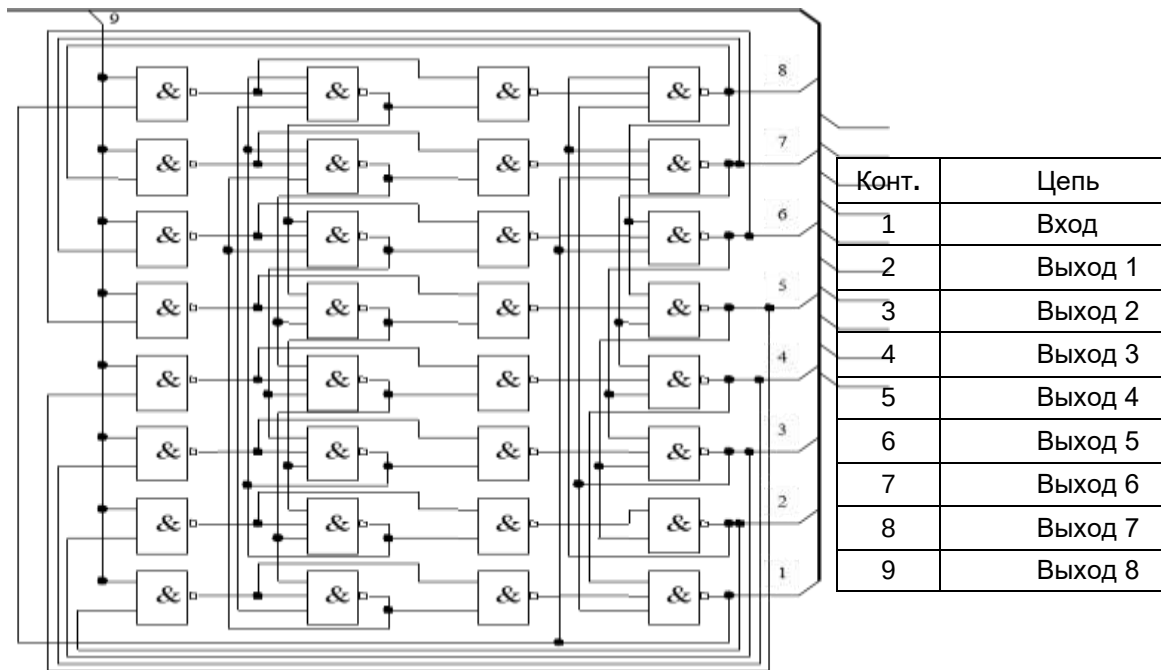


Рисунок 1 – Схема электрическая функциональная электронного модуля

В качестве примера для распределения восьми элементов ЗИ-НЕ по корпусам микросхем К561ЛА9 убираем часть схемы электрической функциональной электронного модуля, содержащую только группу элементов ЗИ-НЕ, и строим соответствующий ей граф (рисунок 2).

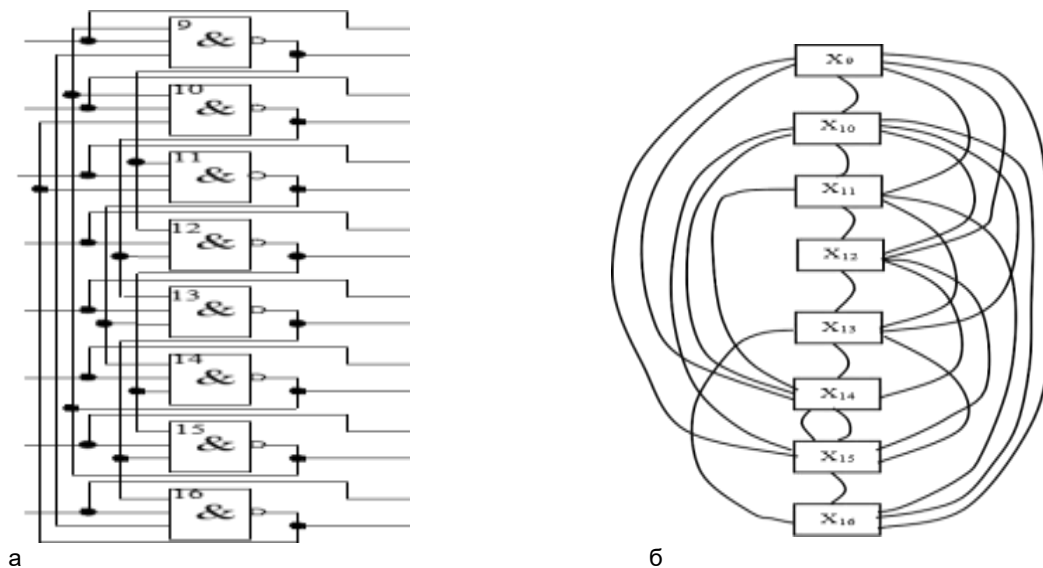


Рисунок 2 – Часть схемы электрической функциональной электронного модуля (а) и соответствующий ей граф (б)

Сначала рассмотрим этап схмотехнического проектирования электронного устройства. В качестве вершин графа X_i выбираются отдельные модули ЗИ-НЕ с соответствующими номерами. При составлении графа связности внешние связи не учитывались, так как они сопрягаются с блоками другого типа (2И-НЕ).

Распределим по корпусам элементы X_9 – X_{16} . Для этого определяем локальные степени вершин: $\rho(X_9) = 6$, $\rho(X_{10}) = 7$, $\rho(X_{11}) = 6$, $\rho(X_{12}) = 6$, $\rho(X_{13}) = 6$, $\rho(X_{14}) = 7$, $\rho(X_{15}) = 7$, $\rho(X_{16}) = 5$.

Принимаем за базовую вершину с большей локальной степенью. Для данного примера выбрали X_{14} . Вершина X_{14} и смежные с ней X_9 , X_{10} , X_{11} , X_{12} , X_{13} , X_{15} , X_{16} образуют подграф $G(X_{14}) = \{X_9, X_{10}, X_{11}, X_{12}, X_{13}, X_{15}, X_{16}\}$. Для каждой из этих вершин рассчитываем значение функционала:

$$L_i = a_i - \rho_i,$$

где a_i – общее число связей проверяемой вершины; ρ_i – число связей проверяемой вершины с базовой: $L_9 = 6 - 1 = 5$; $L_{10} = 7 - 1 = 6$; $L_{11} = 6 - 1 = 5$; $L_{12} = 6 - 1 = 5$; $L_{13} = 6 - 1 = 5$; $L_{15} = 7 - 2 = 5$; $L_{16} = 5 - 0 = 5$.

Выбираем вершину с минимальным значением функционала (для данного примера выбрали вершину с максимальным a_i – X_{15}) и производим факторизацию вершин X_{14} и X_{15} . В результате

получаем новый граф, приведенный на рисунке 3.

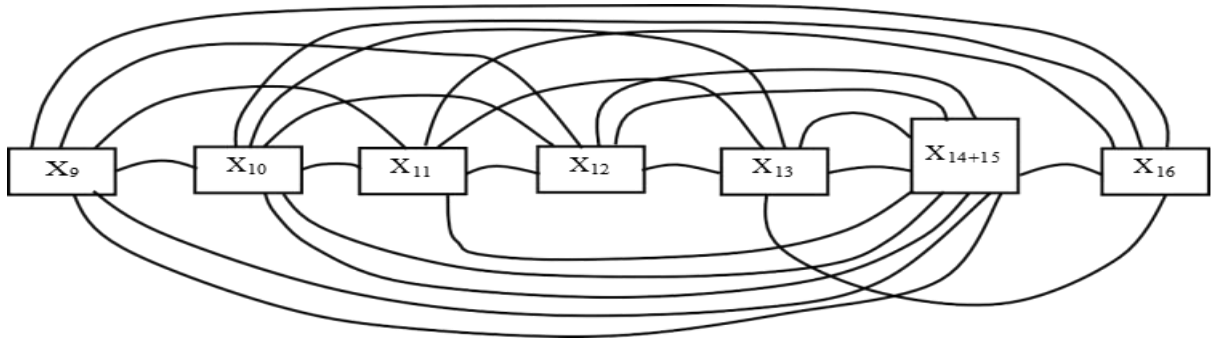


Рисунок 3 – Граф смежности части электронного модуля после первой итерации

Определяем локальные степени вершин:

$$\rho(X_9) = 6; \rho(X_{10}) = 7; \rho(X_{11}) = 6; \rho(X_{12}) = 6; \rho(X_{13}) = 6, \rho(X_{14+15}) = 10; \rho(X_{16}) = 5.$$

Принимаем за базовую вершину с большей локальной степенью X_{14+15} .

Вершина X_{14+15} и смежные с ней $X_9, X_{10}, X_{11}, X_{12}, X_{13}, X_{16}$ образуют подграф

$$G(X_{14+15}) = \{X_9, X_{10}, X_{11}, X_{12}, X_{13}, X_{16}\}.$$

Для каждой из этих вершин рассчитываем значение функционала: $L_9 = 6 - 2 = 4$; $L_{10} = 7 - 2 = 5$; $L_{11} = 6 - 2 = 4$; $L_{12} = 6 - 2 = 4$; $L_{13} = 6 - 2 = 4$; $L_{16} = 5 - 1 = 4$.

Выбираем вершину с минимальным значением функционала X_9 и производим факторизацию вершин X_{14}, X_{15} и X_9 . Так как в микросхему K561ЛА9 входит три секции 2И-НЕ, то элементы 9, 14 и 15 объединяем в один корпус и исключаем их из рассматриваемого графа (рисунок 4).

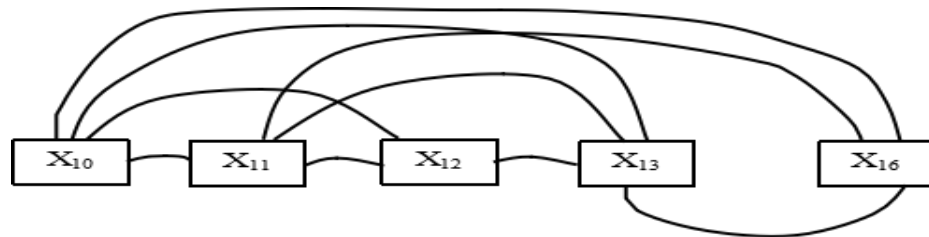


Рисунок 4 – Граф связности части электронного модуля после второй итерации

Определяем локальные степени вершин: $\rho(X_{10}) = 4$; $\rho(X_{11}) = 4$; $\rho(X_{12}) = 3$; $\rho(X_{13}) = 4$; $\rho(X_{16}) = 3$.

Принимаем за базовую вершину с большей локальной степенью (например, X_{13}). Вершина X_{13} и смежные с ней $X_{10}, X_{11}, X_{12}, X_{16}$ образуют подграф $G(X_{13}) = \{X_{10}, X_{11}, X_{12}, X_{16}\}$. Для каждой из этих вершин рассчитываем значение функционала: $L_{10} = 4 - 1 = 3$; $L_{11} = 4 - 1 = 3$; $L_{12} = 3 - 1 = 2$; $L_{16} = 3 - 1 = 2$. Выбираем вершину с минимальным значением функционала (например, X_{12}) и производим факторизацию вершин X_{12} и X_{13} . В результате получаем новый граф, приведенный на рисунке 5.

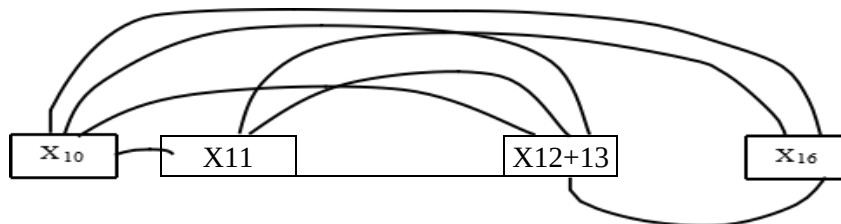


Рисунок 5 – Граф связности части электронного модуля после третьей итерации

Определяем локальные степени вершин: $\rho(X_{10}) = 4$; $\rho(X_{11}) = 4$; $\rho(X_{12+13}) = 5$; $\rho(X_{16}) = 3$.

Принимаем за базовую вершину с большей локальной степенью X_{12+13} . Вершина X_{12+13} и смежные с ней X_{10}, X_{11}, X_{16} образуют подграф $G(X_{12+13}) = \{X_{10}, X_{11}, X_{16}\}$.

Для каждой из этих вершин рассчитываем значение функционала: $L_{10} = 4 - 2 = 2$; $L_{11} = 4 - 2 = 2$; $L_{16} = 3 - 1 = 2$. Выбираем вершину с минимальным значением функционала (при равенстве функционалов выбираем вершину, например, X_{10}) и производим факторизацию вершин X_{10}, X_{12} и X_{13} . Элементы X_{10}, X_{12} и X_{13} объединяем в один корпус. Оставшиеся элементы X_{11} и X_{16} также объединяем в один корпус.

Аналогичным образом производится размещение остальных элементов по корпусам микросхем.

В результате получаем схему принципиальную электрическую электронного модуля (рисунок 6).

Для оформления схемы по действующим стандартам необходимо соответствующим образом перенумеровать позиционные обозначения элементов.

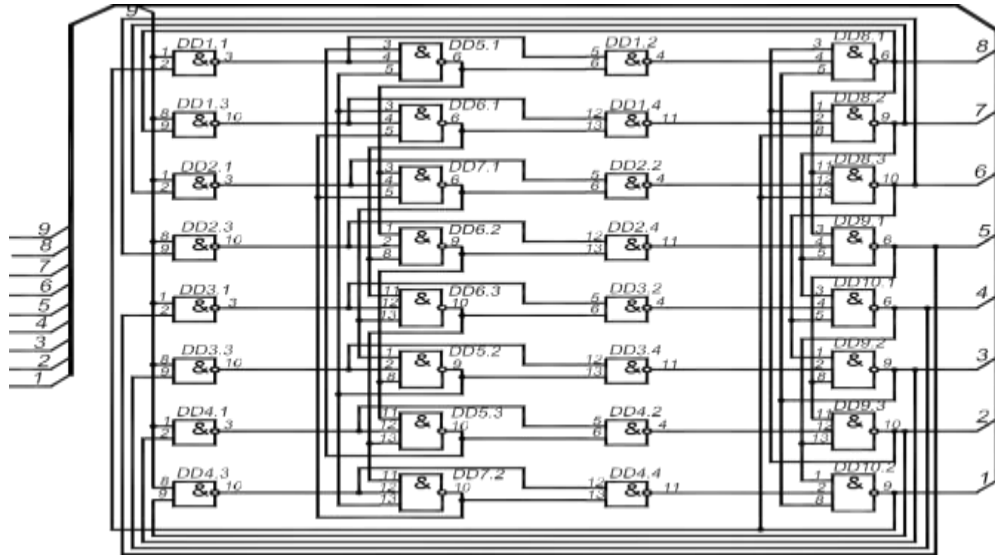


Рисунок 6 – Схема электрическая принципиальная электронного модуля

Решение задачи размещения. Для построения конструкции электронного модуля используется итерационный алгоритм размещения его элементов в монтажной плоскости с использованием графовой модели связности, в качестве вершин которой являются корпуса микросхем, а в качестве ребер – электрические связи между ними. На рисунке 7 представлена часть графовой модели, описывающей схему электронного модуля.

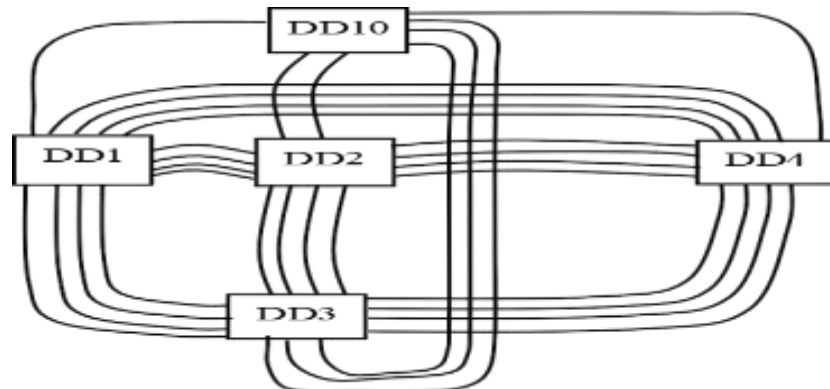


Рисунок 7 – Часть графа смежности электронного модуля

По построенному графу (см. рисунок 7) составляем матрицу связности R для электронного модуля:

	DD1	DD2	DD3	DD4	DD5	DD6	DD7	DD8	DD9	DD10	XS1	Σa_{ij}
DD1	0	4	4	4	3	5	0	6	1	1	4	32
DD2	4	0	4	4	3	3	2	3	3	2	4	32
DD3	4	4	0	4	3	3	2	0	5	3	4	32
DD4	4	4	4	0	3	1	3	0	3	1	4	27
DD5	3	3	3	3	0	2	4	0	0	0	0	18
DD6	5	3	3	1	2	0	3	0	0	0	0	15
DD7	0	2	2	3	4	3	0	0	0	0	0	14
DD8	6	3	0	0	0	0	0	0	5	3	4	21
DD9	1	3	5	3	0	0	0	5	0	4	7	28
DD10	1	2	3	1	0	0	0	3	4	0	5	19
XS1	4	4	4	4	0	0	0	4	7	5	0	32

Определяем суммарную величину связей каждого элемента конструкции с остальными, для чего в матрице связности R произведем построчное сложение ее элементов a_{ij} и вычислим соответственно суммы Σa_{ij} . Составляем модель монтажного пространства в виде печатной платы с 13 ячейками для размещения элементов электронного модуля (рисунок 8).

10	11	12	13
6	7	8	9
2	3	4	5
1			

Рисунок 8 – Модель монтажного пространства электронного модуля

В качестве элемента, который будет фиксировано устанавливаться в ячейку 1 монтажного поля печатной платы, выбираем розетку XS1 и рассчитываем коэффициенты относительно взвешенной связности для всех оставшихся элементов: $\Phi_i = \sum a_{ij} / V_i$, где a_{ij} – количество связей между проверяемым элементом и ранее установленными (из матрицы связности R); V_i – общее количество связей проверяемого элемента. На второй итерации размещаем элемент с максимальным значением Φ_i , т.е. элемент DD10. Рассчитываем приращение целевой функции для незанятых ячеек монтажной плоскости печатной платы:

$$\Delta Fi = a_{ij} \times r_{ij},$$

где r_{ij} – расстояние между ячейками.

Размещаем элемент DD10 во 2-ю ячейку. В результате выполнения третьей итерации размещаем элемент DD9 в 3-ю ячейку, далее элемент DD8 в ячейку 4, элемент DD1 в ячейку 5, так как он имеет максимальное количество связей с элементом DD8 и т.д. После размещения всех элементов модель монтажного поля печатной платы электронного блока будет выглядеть следующим образом (рисунок 9).

10	DD7 ₁₁	DD6 ₁₂	DD5 ₁₃
6	DD3 ₇	DD2 ₈	DD4 ₉
DD10 ₂	DD9 ₃	DD8 ₄	DD1 ₅
XS1 ₁			

Рисунок 9 – Схема размещения элементов электронного модуля на печатную плату

Таким образом, по заданной функциональной схеме (см. рисунок 1) спроектирована схема электрическая принципиальная электронного модуля (см. рисунок 6) и выполнено размещение элементов схемы на печатной плате электронного устройства.

Заключение. Для осуществления схемотехнического и конструкторского проектирования электронного средства в данной работе разработаны графовая и итерационная алгоритмическая модели, использование которых позволяет автоматизировать процесс создания современных электронных средств различного уровня сложности.

Список использованных источников:

1. Морозов, К.К. Автоматизированное проектирование конструкций радиоэлектронной аппаратуры: учеб. пособие для вузов / К.К. Морозов, В.Г. Одинокое, В.М. Курейчик. – М.: Радио и связь, 1983. – 280 с.
2. Зыков, А.Г. Алгоритмы конструкторского проектирования ЭВМ / А.Г. Зыков, В.И. Поляков. – СПб: Университет ИТМО, 2014. – 136 с.
3. Иванова, Н.Ю. Технология проектирования печатных плат в САПР P-CAD-2006 / Н.Ю. Иванова, А.С. Петров, В.И. Поляков, Е.Б. Романова. – СПб: СПбГУ ИТМО, 2009 - 168 с.
4. Омельченко, А. В. Теория графов / А.В. Омельченко. – М.: МЦНМО, 2018. – 416 с.
5. Емеличев, В. А. Лекции по теории графов. / В. А. Емеличев, О. И. Мельников, В. И. Сарванов, Р. И. Тышкевич. – М.: УРСС, 2009. -392 с.
6. Зыков, А.А. Основы теории графов / А.А. Зыков. – М.: Вузовская книга, 2004. - 664 с.

UDC 621.396

GRAPH AND ALGORITHMIC MODELS OF ELECTRONIC EQUIPMENT DESIGN

Maloletkin A.B., master's student

Belarusian State Academy of Communications, Minsk, Republic of Belarus

Skudnyakov Yu.A. – Candidate of Engineering Sciences, Associate Professor

Annotation. The paper develops graph and algorithmic models for designing electronic devices. The stages of functional and circuit design have been completed, during which a functional and logical base has been obtained, and a basic electrical circuit of an electronic device has been developed.

Keywords. Graph and algorithmic models, functional and schematic electrical circuits, placement of elements, electronic means, connectivity matrix.