

ПОСТРОЕНИЕ БИНАРНОГО СУММАТОРА НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Биюмен Е.А., студент, e-mail: yauheni_biyumen@internet.ru

Макареня Е.А., студент, e-mail: makarenaekaterina@gmail.com

2025

Белорусский государственный университет информатики и радиоэлектроники

Ключевые слова: биполярный транзистор, 4-битный сумматор, логический элемент, схемотехника, полупроводниковая физика.

Аннотация: в работе рассматривается реализация бинарного сумматора на биполярных транзисторах (BJT) и демонстрируется применение базовых логических элементов в схемотехнике. Описывается сборка вентилей в резисторно-транзисторной логике. Основное внимание уделено простоте сборки и наглядности физических процессов.

В современном мире транзисторы находят широкое применение в электронике – от простых усилителей до сложных микропроцессоров. Они являются ключевыми элементами цифровых устройств, поскольку позволяют управлять током через р-п переходы. В современных сложных интегральных микросхемах чаще используются полевые транзисторы, в частности с изолированным затвором (MOSFET), из-за их энергоэффективности и более простой реализации на кремниевой подложке. Однако в данной работе мы использовали биполярные транзисторы (BJT). Выбор такого типа транзистора обусловлен тремя факторами:

- более простая реализация (управление током базы не требует сложных схем стабилизации, в отличие от полевых транзисторов с изолированным затвором);
- наглядность (демонстрируют прямую зависимость между током базы и коллектора, что важно для понимания физики полупроводников);
- доступность (BJT дешевле и проще в использовании для построения макетов).

Для понимания работы биполярного транзистора необходимо рассмотреть его физическую структуру и режимы работы. Транзистор состоит из трёх слоёв полупроводника и бывает двух типов: n-p-n или p-n-p. Управление током осуществляется через эмиттерный и коллекторный переходы. В активном режиме на эмиттерный переход подаётся прямое напряжение, а на коллекторный – обратное. Это приводит к инжекции

носителей заряда: электроны в n-p-n структуре или дырки в p-n-p, которые попадают в область базы, частично рекомбинируют, а затем достигают коллектора, создавая основной ток транзистора. В режиме насыщения оба перехода смещены в прямом направлении, транзистор полностью открыт, и напряжение на коллекторе близко к нулю. В режиме отсечки, напротив, оба перехода находятся в обратном смещении, и ток через транзистор отсутствует [1].

В цифровых схемах транзисторы работают как электронные ключи, переключаясь между режимами отсечки и насыщения. В режиме отсечки транзистор закрыт, ток через него не течёт, и благодаря подтягивающему (коллекторному) резистору на выходе формируется логическая «1». В режиме насыщения транзистор полностью открыт, ток свободно проходит от коллектора к эмиттеру, и выходной уровень приближается к потенциалу земли, представляя логический «0».

Для построения бинарного сумматора мы использовали бинарные транзисторы n-p-n типа BC547C и резисторы с сопротивлением 680 Ом и 470 Ом, которые ограничивают ток базы для защиты транзисторов и задают уровень логической «1», соответственно. Собранный бинарный сумматор состоял из следующих элементов: «НЕ», «И», «ИЛИ».

Рассмотрим первый элемент – инвертор («НЕ»). Он преобразует логическое состояние путём переключения между насыщением и отсечкой транзистора. Для его реализации использовался один транзистор и два резистора, которые стабилизируют работу схемы. Базовый резистор ограничивает ток базы (680 Ом), предотвращая перегрузку транзистора, а коллекторный резистор (470 Ом) формирует выходное напряжение в режиме отсечки. Схема этого вентиля приведена на рисунке 1, а.

Далее рассмотрим конъюнктор. Логический элемент «И» был реализован через схему «И-НЕ» с последующим инвертированием, рисунок 1, б. Два транзистора соединены последовательно, и выход остаётся логической «1», пока они закрыты. При открытии обоих транзисторов ($A = B = 1$) выход становится логическим «0», затем инвертируется дополнительным каскадом (элемент «НЕ»), формируя окончательную логическую «1». Для реализации использованы три транзистора и пять резисторов [2].

Логический элемент «ИЛИ» (дизъюнктор), работает следующим образом. Транзисторы подключены параллельно, обеспечивая прохождение тока к земле при логической «1» хотя бы на одном входе. Элемент построен через инверсию – выходной транзистор включается только тогда, когда оба входных транзистора закрыты, то есть при логических «0» на обоих входах. Как только хотя бы один вход активен, соответствующий транзистор открывается, уводя ток с базы выходного транзистора, и он закрывается, рисунок 1, в. Таким образом, формируется высокий уровень на выходе, что соответствует логике элемента «ИЛИ».

Количество компонентов аналогично элементу «И». Эти элементы формируют основу полусумматора, который далее используется для построения полного сумматора [2].

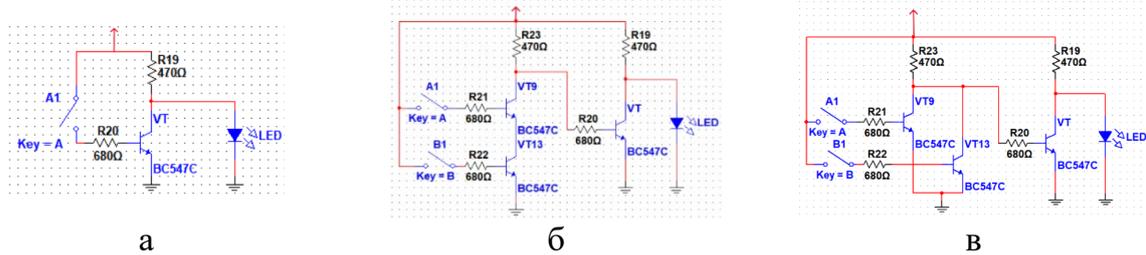


Рисунок 1 – Схемы использованных логических элементов

Перед тем как приступить к сборке полного 4-битного сумматора, необходимо понять его структуру. Основным элементом такой схемы является полусумматор, который выполняет сложение двух одноразрядных чисел. В ходе работы используются четыре полных сумматора, каждый из которых строится на базе двух полусумматоров и одного логического элемента «ИЛИ». Таким образом, для реализации всей схемы требуется восемь полусумматоров. На рисунке 2 изображено, как получить полный сумматор из полусумматоров (а) и как объединяются сумматоры для наращивания разрядности (б).

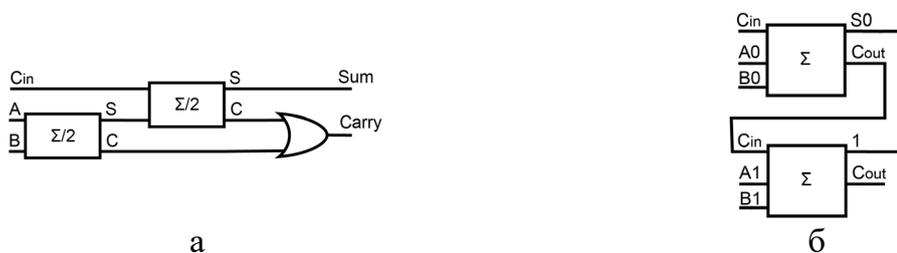


Рисунок 2 – Схемы соединения сумматоров и полусумматоров

Приступим к сборке половинного сумматора, который включает в себя два логических элемента: «И» и «XOR» (исключающее или). Он получает два входных сигнала А и В, после чего формирует выходную сумму S и сигнал переноса С (Carry). Работа устройства основана на следующих логических выражениях:

- сложение по модулю два, представлено формулой 1;
- операция логического «И», представлена выражением 2 [3].

$$S=A \oplus B \tag{1}$$

$$C=A \cdot B \quad (2)$$

Для проверки работоспособности схемы перед физической сборкой она была смоделирована в программе Multisim. Схема данного элемента представлена на рисунке 3. В ходе моделирования были подтверждены правильные логические зависимости.

После успешного тестирования в виртуальной среде мы приступили к физической сборке. Полученный полусумматор представлен на рисунке 4, а. Когда были собраны несколько полусумматоров, мы объединяли их в полные, пример результата приведён на рисунке 4, б. Демонстрация работы можно увидеть на рисунке 4, в. На нём видно, что DIP-переключатели 1 и 2 находятся в положении ON (замкнуты), это можно интерпретировать как $A=B=1$, в результате мы получаем горящий светодиод переноса (Carry) и выключенный светодиод суммы (Sum).

Практическая реализация 4-битного сумматора требует последовательного соединения четырёх полных сумматоров. Каждый сумматор получает на вход два числа и перенос из предыдущего разряда, затем формирует сумму перенос в следующий разряд. Сумматоры соединяются каскадным: выход переноса одного блока служит входом переноса для следующего (рисунок 2). После соединения всех полусумматоров элементов «ИЛИ» мы получили промежуточный вариант, который изображен на рисунке 5, а.

Далее для упрощения пользования сумматором его элементы мы собрали в корпусе, обеспечивающем удобное управление и наглядное представление результатов. Для ввода значений использованы DIP-переключатели, а визуализация суммы и переноса реализована через светодиоды. Корректную работу схемы поддерживает стабильное питание на 5 В, что гарантирует надёжное функционирование всех каскадов. Обработка каждого разряда происходит отдельно, а перенос передаётся последовательно, обеспечивая правильность вычислений. Итоговая модель собранного сумматора в корпусе представлена на рисунке 5, б.

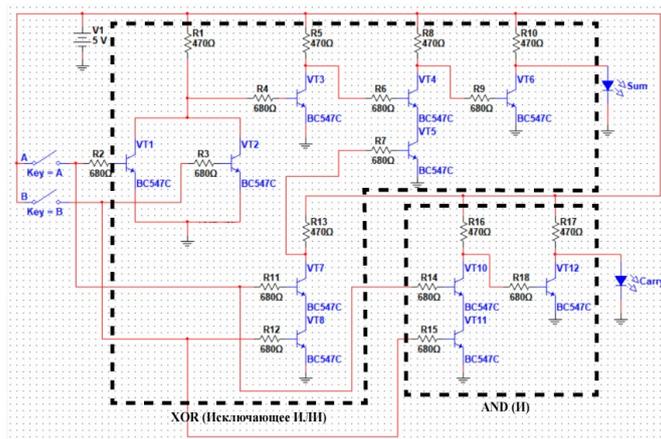
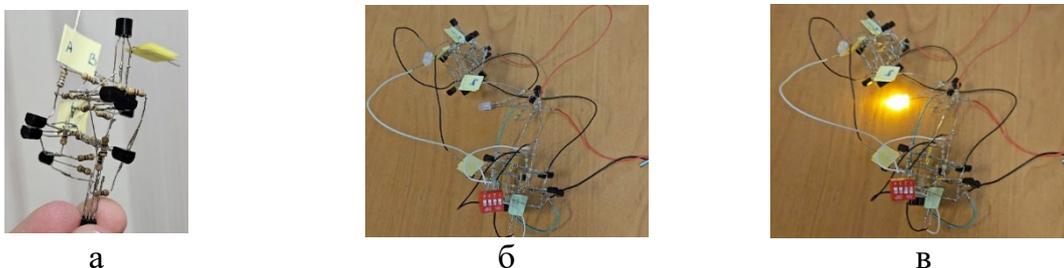
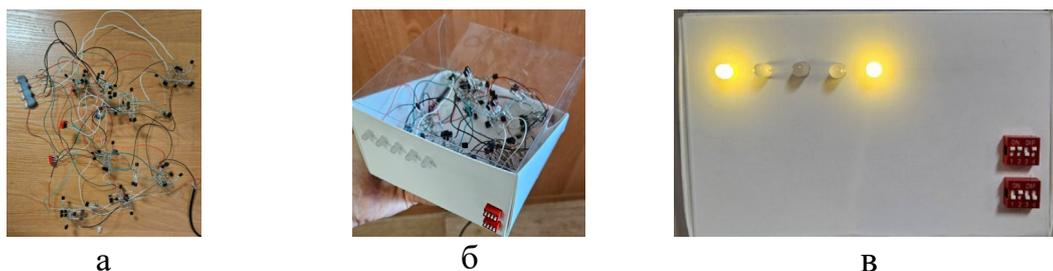


Рисунок 3 – Принципиальная схема полусумматора



а – пример собранного полусумматора; б – пример собранного полного сумматора;
в – демонстрация работы сумматора

Рисунок 4 – Примеры собранных полусумматоров и полного сумматора



а – промежуточная реализация сумматора на 4 бита; б – итоговая модель сумматора; в – демонстрация работы

Рисунок 5 – промежуточная модель 4-битного сумматора и собранная модель сумматора в корпусе

Работа демонстрирует, что биполярные транзисторы являются хорошим и наглядным инструментом для реализации цифровых схем. В

ходе эксперимента был собран 4-битный двоичный сумматор, который наглядно иллюстрирует связь между физическими свойствами полупроводников и их применением в логике. Такой подход позволяет глубже понять принципы работы электроники и даёт возможность расширить её использование в более сложных цифровых системах.

Список использованных источников:

1. Электронные приборы. [Электронный ресурс]. Режим доступа: https://www.bsuir.by/m/12_100229_1_112820.pdf Дата доступа: 20.03.2025.
2. Как собрать компьютер из транзисторов. Пошагово с пояснением. [Электронный ресурс]. Режим доступа: <https://www.youtube.com/watch?v=oAVubh-rnxE> Дата доступа: 20.03.2025.
3. Сумматор и полусумматор. [Электронный ресурс]. Режим доступа: <https://infl.info/adder> Дата доступа: 20.03.2025.