

УДК 681.325

ПРЕОБРАЗОВАНИЕ ИЕРАРХИЧЕСКИХ ТРАНЗИСТОРНЫХ ОПИСАНИЙ КОМБИНАЦИОННЫХ ЛОГИЧЕСКИХ СХЕМ В СИСТЕМЕ ЛОГИЧЕСКОГО ПРОЕКТИРОВАНИЯ



Н.А. Кириенко

Доцент кафедры
экономической информатики БГУИР,
кандидат технических наук, доцент
kirienkonaminsk@mail.ru

Н.А. Кириенко

Окончила Минский радиотехнический институт. Область научных интересов связана с автоматизацией процессов логического проектирования дискретных устройств, преобразованием и оптимизацией функциональных описаний логических схем.

Аннотация. Преобразование представлений исходных описаний проектируемых цифровых устройств имеет большое значение в процессе оптимизации и синтеза. Рассматриваются виды процедур оптимизации и преобразований в экспериментальной системе логического проектирования. Представлены метод и алгоритм преобразования многоуровневых транзисторных описаний логических схем в одноуровневые. Сделан вывод о применении преобразования в процессе перепроектирования схем.

Ключевые слова: логическая схема, функциональное описание комбинационной схемы, иерархическое транзисторное описание, процедура устранения иерархии, VHDL, КМОП элемент, система логического проектирования.

Введение. Синтез комбинационных логических схем в заданной библиотеке (базисе) проектирования всегда предваряется оптимизацией представлений тех систем булевых функций, которые требуется реализовать в схеме. В процессе оптимизации функциональных описаний будущей схемы выполняются процедуры минимизации, факторизации, декомпозиции, разбиения на подсистемы систем булевых функций, и многие другие преобразования. Набор процедур оптимизации присутствует в экспериментальной системе логического проектирования FLC-2 [1], разработанной и эксплуатирующейся в ОИПИ НАН РБ. Главное окно системы можно видеть на рисунке 1.

В качестве средств описания функционирования логического устройства в системе FLC-2 используются специализированные языки VHDL [2], SF [1]. Если VHDL является популярным языком систем проектирования, то язык SF (структурно-функционального описания) был разработан в лаборатории логического проектирования ОИПИ НАН РБ для поддержки ряда систем логического проектирования, в том числе FLC-2. Система предлагает различные процедуры преобразования исходных функциональных описаний с целью их оптимизации, моделирования, верификации, синтеза топологии, конвертации VHDL – SF и SF – VHDL.

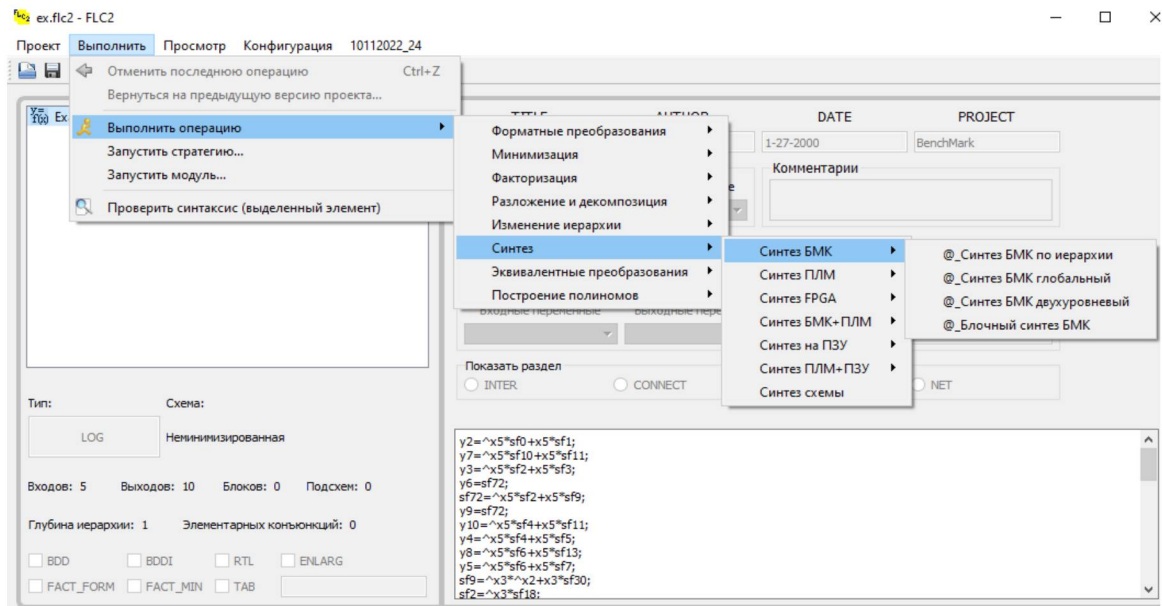


Рисунок 1. Главное окно системы FLC-2

В настоящей работе рассматривается постановка задачи и алгоритм устранения иерархии транзисторных описаний - преобразования многоуровневых описаний логических схем в одноуровневые транзисторные описания.

Постановка задачи. Среди процедур системы логического проектирования особое место занимает группа процедур изменения иерархии функциональных описаний, представленных на рисунке 2.

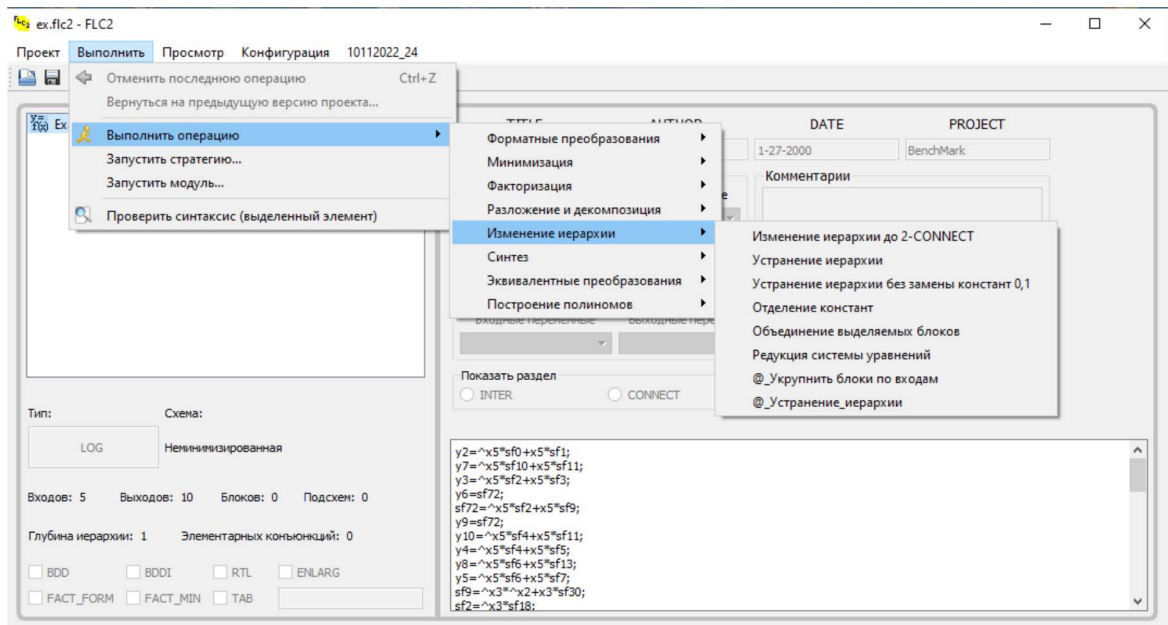


Рисунок 2. Набор процедур изменения иерархии описаний системы FLC-2

Различные процедуры системы логического проектирования требуют соответствующих форм представления функциональных описаний схем. SF-описание состоит из блоков и обладает иерархической структурой, т. е. каждый блок описания может быть самостоятельным иерархическим описанием. Листьевым SF-описанием может быть

система логических уравнений, пара матриц (булева и троичная), или транзисторное описание. Рассмотрим далее метод и алгоритм преобразования многоуровневого транзисторного описания в одноуровневое.

Представление функциональных описаний логических схем. Исходные описания, поступающие на вход САПР СБИС, имеют, как правило, иерархическую структуру. Проектировщик представляет задание на проектирование в виде схемы взаимосвязанных логических блоков, каждый из которых также может быть представлен совокупностью взаимосвязанных логических блоков, образуя многоуровневое структурное описание. В описании обязательно присутствуют листовые блоки в виде стандартных элементов заданной библиотеки проектирования, логика функционирования которых может описываться либо системой логических уравнений, либо системой дизъюнктивных нормальных форм в матричном виде, либо структурной схемой из транзисторов. В последнем случае мы имеем дело с транзисторными описаниями объектов проектирования.

Многоуровневое транзисторное описание логической схемы может быть получено в результате преобразования структурного описания устройства, реализованного в базе заданной библиотеки проектирования, в SPICE-формат (формат описания устройства для системы моделирования SPICE [3]). Структурное описание может быть результатом синтеза устройства по заданному исходному описанию поведения в одной из промышленных систем проектирования, например, LeonardoSpectrum фирмы Mentor Graphics [1]. Рассмотрим небольшой пример комбинационной схемы CIRCUIT1, функционирование которой задано уравнением (1).

$$f1=(x3 \wedge x1) \vee x2 \vee x3 \quad (1)$$

В листинге 1 представлено описание поведения логической схемы CIRCUIT1 на языке VHDL.

Листинг 1. Исходное описание поведения логической схемы CIRCUIT1 на языке VHDL.

```
library ieee;
use ieee.std_logic_1164.all;
entity CIRCUIT1 is
port(x1, x2, x3 : in std_logic;
f1:out std_logic
);
end CIRCUIT1;
architecture CIRCUIT1_arch of CIRCUIT1 is
begin
f1<=((NOT x3 AND NOT x1) OR x2 OR x3);
end CIRCUIT1_arch;
```

Описание синтезированной с помощью системы LeonardoSpectrum схемы представлено в листинге 2. Схема синтезирована в базе КМОП-элементов библиотеки проектирования s3lib [4]. В описании представлены определения входных (x1, x2, x3), выходных (f1) переменных, основных элементов схемы (ix5, ix66, ix68). Для каждого элемента определен его тип, входные и выходные сигналы. Типы элементов библиотеки s3lib представлены в таблице 1.

Таблица 1. Логические функции КМОП-элементов библиотеки s3lib.

N	y=A
NA3	y=ABC

Листинг 2. Синтезированная схема CIRCUIT1 в базе КМОП элементов.

```
library IEEE;
use IEEE.STD_LOGIC_1164.all;
entity CIRCUIT1 is
  port (
    x1 : IN std_logic ;
    x2 : IN std_logic ;
    x3 : IN std_logic ;
    f1 : OUT std_logic) ;
end CIRCUIT1 ;
architecture CIRCUIT1_arch of CIRCUIT1 is
  signal nx65, nx67: std_logic ;
begin
  ix5 : NA3 port map ( Y=>f1, A=>x1, B=>nx65, C=>nx67);
  ix66 : N port map ( Y=>nx65, A=>x2);
  ix68 : N port map ( Y=>nx67, A=>x3);
end CIRCUIT1_arch ;
```

Файл описания схемы CIRCUIT1 в формате SPICE для моделирования в системе схемотехнического моделирования AccuSimII (фирмы Mentor Graphics) [2] представлен в листинге 3. Описание каждого элемента схемы преобразовано в соответствии с требованиями AccuSimII. SPICE-формат двухуровневого описания схемы CIRCUIT1 удобен в дальнейшем для явного выделения подсхем.

Листинг 3. SPICE-формат двухуровневого описания схемы CIRCUIT1.

```
.include s3lib.cir
.include models_035.mod
RVCC VCC VCC3 1m
.subckt CIRCUIT1 f1 x1 x2 x3
X_ix5 f1 x1 nx65 nx67 NA3
X_ix66 nx65 x2 N
X_ix68 nx67 x3 N
.ends CIRCUIT1
X_CIRCUIT1 f1 x1 x2 x3 CIRCUIT1
.OPTIONS TNOM=27
.TEMP 27
.param VHI=3.3 VLO=0 TDELAY=0 TRISE=1n TFALL=1n TSAMPLE=100n
Vx1 x1 0 pattern VHI VLO TDELAY TRISE TFALL TSAMPLE 1001100101 R
Vx2 x2 0 pattern VHI VLO TDELAY TRISE TFALL TSAMPLE 0011110001 R
Vx3 x3 0 pattern VHI VLO TDELAY TRISE TFALL TSAMPLE 1011011000 R
.TRAN 1E-09 {TSAMPLE*10} 0
```

Алгоритм преобразования многоуровневого транзисторного описания в одноуровневое. Описание схемы в формате SPICE содержит три элемента библиотеки проектирования двух типов: NA3, N. Задача устранения иерархии (или компиляции) транзисторных описаний состоит в том, чтобы вместо каждой строки описания элемента встроить строки определения этого элемента на транзисторном уровне. Для выполнения этой задачи необходимо иметь описание библиотеки элементов на транзисторном уровне. Пример описания элемента типа N на транзисторном уровне представлен в листинге 4.

Листинг 4. Пример описания элемента типа N на транзисторном уровне

```
* Component: N
subckt N Y A
M2 Y A VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11 ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M1 Y A 0 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-06 pd=9.6e-06 nrs=0.92 nrd=0.92
.ends N
```

Описание каждой подсхемы состоит из раздела внешних имен, тела описания и раздела конца описания. Раздел внешних имен имеет следующий вид:

```
.SUBCKT <имя подсхемы> <имена внешних полюсов>.
```

Имена внешних полюсов схемы есть перечень формальных параметров, которые при компиляции должны быть заменены фактическими из строки обращения к подсхеме. Тело описания может содержать описания как подсхем (вложенные подсхемы), так и транзисторов. Строка описания вложенной подсхемы имеет следующий вид (смотри листинг 3):

```
<имя подсхемы> <имена полюсов> <имя типа подсхемы>.
```

Имя подсхемы состоит из схемного имени подсхемы, перед которым записывается префикс «X_». В разделе <имена полюсов> должны быть перечислены имена реальных (фактических) переменных, соответствующих формальным переменным подсхемы. Фактические переменные должны быть указаны в том порядке, который был использован в списке имен внешних полюсов (формальных переменных) в заголовке описания соответствующего типа подсхемы (разделе .SUBCKT). Строка описания транзистора имеет следующий вид:

```
<имя транзистора><номера узлов><физические характеристики>
```

Имя транзистора состоит из заглавной латинской буквы M и номера. Далее следуют четыре идентификатора, означающих имена узлов стока, затвора, истока, подложки транзистора, соответственно. Далее следуют тип модели транзистора (MODP или MODN) и его физические характеристики. Раздел конца описания:

```
.ENDS <имя типа подсхемы>
```

Задача компиляции решается путем поэтапного раскрытия подсхем в исходном описании и замене листовых подсхем их транзисторными описаниями. В описании более высокого уровня подсхема описывается обращением к ней - заголовком, в котором выписаны фактические параметры (имена переменных, подаваемых на входы и снимаемых с выходов схемы). В заголовке описания подсхемы перечислены формальные параметры. Соответствие имен формальных и фактических параметров задается порядком их перечисления. В процессе компиляции схемы обращение к схеме должно быть заменено описанием ее внутренней структуры, причем формальные параметры должны быть заменены на фактические во всем описании. Имена транзисторов и внутренние имена переменных подсхемы должны быть подвергнуты переименованию, так как в противном случае, при раскрытии одинаковых типов схем получится многократное использование одинаковых имен. В качестве новых имен транзисторов используется тот же символ “M” со сквозной последовательной нумерацией. Внутренние имена в транзисторных описаниях элементов заменяются на числовой порядковый номер. Имена 0 и VCC3 резервируются за узлами земли и питания.

Решение задачи компиляции заключается в поуровневом просмотре многоуровневого описания. По мере раскрытия очередной подсхемы, описания ее транзисторов с замененными именами узлов переписываются в результирующее описание, а о каждой подсхеме заполняются таблицы нераскрытых на данном уровне подсхем. Тип подсхемы запоминается в таблице имен типов, а список фактических параметров - в таблице фактических параметров. При выполнении компиляции на i-м уровне, составляются таблицы нераскрытых подсхем для (i+1)-го уровня. Если таблицы для (i+1)-го уровня пусты, то компиляция схемы закончена. Если таблицы для (i+1) уровня не пусты, то происходит обработка подсхем из этих таблиц. Пример скомпилированной подсхемы CIRCUIT1 представлен в листинге 5.

Листинг 5. Пример скомпилированной подсхемы CIRCUIT1.

```
.subckt CIRCUIT1 f1 x1 x2 x3
M12 N4 x1 0 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-06
pd=9.6e-06 nrs=0.92 nrd=0.92
M11 N3 nx65 N4 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-06
pd=9.6e-06 nrs=0.92 nrd=0.92
M8 f1 nx67 N3 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-06
pd=9.6e-06 nrs=0.92 nrd=0.92
```

```
M9 f1 nx67 VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11
ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M2 f1 nx65 VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11
ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M1 f1 x1 VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11
ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M13 nx65 x2 VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11
ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M14 nx65 x2 0 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-
06 pd=9.6e-06 nrs=0.92 nrd=0.92
M15 nx67 x3 VCC3 VCC3 MODP L=3.5e-07 W=4.5e-06 as=1.04e-11 ad=1.04e-11
ps=1.36e-05 pd=1.36e-05 nrs=0.511111 nrd=0.511111
M16 nx67 x3 0 0 MODN L=3.5e-07 W=2.5e-06 as=5.75e-12 ad=5.75e-12 ps=9.6e-
06 pd=9.6e-06 nrs=0.92 nrd=0.92
.ends CIRCUIT1
```

Заключение. Рассмотренный алгоритм положен в основу процедуры преобразования иерархических транзисторных описаний комбинационных логических схем, функционирующей в экспериментальной системе логического проектирования FLC-2. Реализованная процедура может быть полезной для выполнения перепроектирования схемы в базе других КМОП элементов. Также процедура полезна для тестирования результатов проектирования, которое позволяет установить, соответствует ли описание проекта на уровне транзисторов спецификации проектируемого устройства.

Список литературы

- [1] Бибило П.Н., Романов В.И. Система логической оптимизации функционально-структурных описаний цифровых устройств на основе продукционно-фреймовой модели представления знаний // Проблемы разработки перспективных микро- и нанoeлектронных систем. – 2020. Сб. трудов / под общ. ред. акад. РАН А.Л. Стемповского. М.: ИППМ РАН. 2020. N 4. С. 9–16.
- [2] Бибило, П. Н. Системы проектирования интегральных схем на основе языка VHDL. StateCAD, ModelSim, LeonardoSpectrum / П. Н. Бибило. – М.: СОЛОН-Пресс, 2005. – 384 с.
- [3] SPICE Simulation Models – Mode of access: <https://www.ni.com/en/shop/electronic-test-instrumentation/application-software-for-electronic-test-and-instrumentation-category/what-is-multisim/spice-simulation-fundamentals/spice-simulation-models.html>– Date of access: 04.01.2026.
- [4] Бибило, П.Н. Система логического проектирования функциональных блоков заказных КМОП СБИС с пониженным энергопотреблением/ П.Н. Бибило, Н.А. Авдеев, С.Н. Кардаш, Н.А. Кириенко, Ю.Ю. Ланкевич, И.П. Логинова, Д.И. Черемисинов, Л.Д. Черемисинова / Микроэлектроника, 2018г., №1 – С. 72–88.

TRANSFORMATION OF HIERARCHICAL TRANSISTOR DESCRIPTIONS OF COMBINATIONAL LOGIC CIRCUITS IN THE SYSTEM FOR LOGIC DESIGN

N.A. Kirienko

Associate Professor,

Department of economic informatics

PhD of Technical sciences, Associate Professor

Abstract. Transformation of representations of initial descriptions of designed digital devices is of great importance in the process of optimization and synthesis. The types of optimization and transformations procedures in the experimental system of logical design are considered. A method and algorithm for transforming multi-level transistor descriptions of logic circuits into single-level ones are presented. A conclusion is made about the application of the transformation in the process of circuit redesign.

Key words: logic circuit, functional description of the combinational circuit, hierarchical transistor description, hierarchy elimination procedure, VHDL, CMOS element, system of logical design.