

УДК 621.396.62:004.3

РЕАЛИЗАЦИЯ АЛГОРИТМА ЦИФРОВОЙ АМПЛИТУДНОЙ ДЕМОДУЛЯЦИИ В КВ SDR-ПРИЕМНИКЕ С ИСПОЛЬЗОВАНИЕМ АППАРАТНОГО СОПРОЦЕССОРА CORDIC

П.П. АХРАМЧУК

Белорусский государственный университет информатики и радиоэлектроники
(г. Минск, Беларусь)

E-mail: palina.akhramchuk@gmail.com

Аннотация. В работе рассматриваются вопросы оптимизации цифрового тракта обработки сигналов узкополосного КВ-приемника промежуточной частоты. Показана структура каскадного снижения частоты дискретизации (децимации) в цифровом конвертере DDC AD6636 для выделения полосы сигнала 6K0A3E. Предложена схема программно-аппаратной реализации амплитудного демодулятора на базе микроконтроллера STM32H7 с привлечением встроенного математического сопроцессора CORDIC. Оценен вычислительный выигрыш предложенного подхода для систем реального времени.

Abstract. The paper addresses the optimization of the digital signal processing chain for a narrowband HF intermediate frequency receiver. The architecture of cascaded sampling rate reduction (decimation) within the AD6636 digital downconverter is demonstrated to isolate the 6K0A3E signal bandwidth. A hardware-software implementation of an amplitude demodulator based on the STM32H7 microcontroller, utilizing the integrated CORDIC hardware coprocessor, is proposed. The computational efficiency and performance gains of the presented approach for real-time systems are evaluated.

Введение

Современное развитие радиоприемных устройств идет по пути концепции программно-определяемого радио (SDR), где основные операции фильтрации, селекции и демодуляции переносятся в цифровой домен [3, с. 412]. При проектировании высокочувствительных КВ-приемников возникает противоречие между необходимостью высокой частоты дискретизации высокоскоростных АЦП для исключения наложения спектров и ограниченной вычислительной мощностью управляющих микроконтроллеров [2, с. 25; 5, с. 108]. Для решения этой задачи требуется комплексная оптимизация как этапа предварительного прореживания данных (децимации), так и финальных алгоритмов извлечения информационной огибающей [1, с. 1; 2, с. 540].

Этап предварительной децимации сигнала

Взаимодействие узлов цифрового тракта в составе разработанного устройства КВ SDR-приемника приведено на рисунке 1.

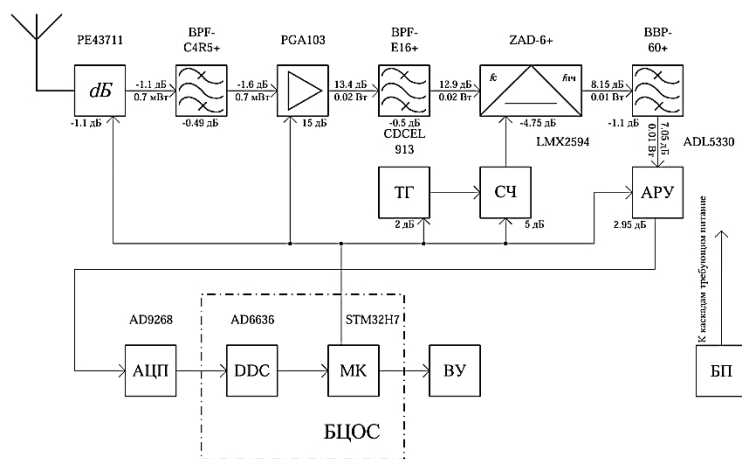


Рис. 1. Функциональная схема радиоприемного устройства КВ-диапазона

Секция 3 «Цифровая обработка сигналов и машинное обучение»

Для выделения узкополосного сигнала 6K0A3E с полосой $B = 6$ кГц из группового спектра АЦП AD9268 ($f_s = 80$ МГц) используется каскадное прореживание в DDC AD6636 (рис.1). Выходная частота дискретизации квадратурных составляющих I/Q выбирается равной $f_{s_out} = 16$ кГц. Полный коэффициент децимации равен

$$D_{\text{общ}} = \frac{f_s}{f_{s_out}} = \frac{80 \cdot 10^6}{16 \cdot 10^3} = 5000, \quad (1)$$

где f_s – частота дискретизации аналого-цифрового преобразователя, Гц; f_{s_out} – выходная частота дискретизации квадратурных составляющих, Гц.

Внутренняя архитектура специализированного цифрового конвертера верхнего уровня DDC AD6636 представлена на рис. 2.

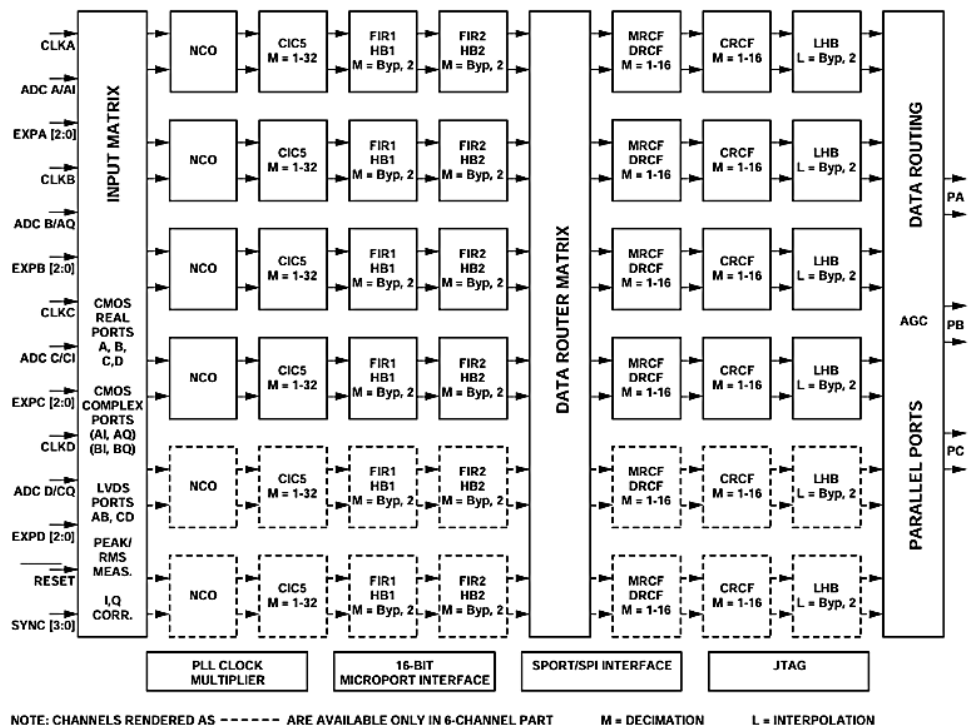


Рис. 2. Функциональная схема внутренней архитектуры DDC AD6636

Процесс многоскоростной фильтрации (децимации) распределяется между последовательными каскадами каждого независимого канала обработки (рис.2). С целью минимизации вычислительных затрат этот процесс жестко разделен на следующие этапы:

- пятикаскадный CIC-фильтр (CIC5) осуществляет грубое снижение частоты в $D_{\text{cic}} = 625$ раз без выполнения ресурсоемких операций умножения, частота потока снижается до 128 кГц;
- корректирующий КИХ-фильтр (FIR1) компенсирует спад амплитудно-частотной характеристики (АЧХ) децимирующего CIC-фильтра и производит прореживание в $D_{\text{fir1}} = 4$ раза, частота снижается до 32 кГц;
- формирующий КИХ-фильтр (FIR2) окончательно формирует избирательность по соседнему каналу под полосу пропускания 6 кГц и выполняет децимацию в $D_{\text{fir2}} = 2$ раза до целевых 16 кГц.

Эффективный выигрыш от цифровой обработки (Processing Gain) за счет децимации потока рассчитывается по формуле

$$\Delta \text{SNR} = 10 \log_{10}(D_{\text{общ}}) = 10 \log_{10}(5000) \approx 36,99 \text{ дБ}. \quad (2)$$

Данный прирост динамического диапазона снижает уровень шума квантования, что позволяет уверенно регистрировать слабые КВ-сигналы на уровне заданной реальной чувствительности приемника 5,8 мкВ.

Амплитудная демодуляция с применением сопроцессора CORDIC

Сформированные низкочастотные I/Q отсчеты с частотой 16 кГц передаются по интерфейсу SPI в микроконтроллер STM32H7. Традиционный программный расчет огибающей АМ-сигнала выполняется по формуле: $A(n) = \sqrt{I^2(n) + Q^2(n)}$

Данный метод требует выполнения двух операций умножения и одной трудоемкой операции извлечения квадратного корня, что создает существенную нагрузку на ядро Cortex-M7 при непрерывной потоковой обработке.

Для оптимизации вычислений в работе задействован встроенный аппаратный сопроцессор CORDIC, входящий в состав периферии микроконтроллеров семейства STM32H7. Он реализует итерационный алгоритм Волдера (сдвигов и сложений) для быстрого перевода декартовых координат в полярные. В режиме CORDIC_FUNCTION_MODULUS сопроцессор всего за 4–8 тактов внутренней шины вычисляет значение модуля вектора $A(n)$ по входной паре (I, Q) .

Потоковые данные передаются в регистры сопроцессора через контроллер прямого доступа к памяти (DMA) без участия центрального процессора по схеме на рисунке 3.

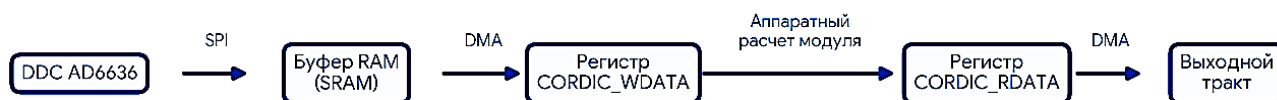


Рис. 3. Схема конвейеризации потока данных при аппаратной демодуляции

Использование аппаратного CORDIC-модуля позволяет снизить вычислительную нагрузку основного ядра микроконтроллера на этапе амплитудного детектирования более чем на 85% по сравнению с программным вызовом библиотечной функции вычисления корня.

Заключение

Предложенная программно-аппаратная архитектура цифрового тракта SDR-приемника обеспечивает эффективное выделение КВ-сигнала 6К0А3Е. Каскадная децимация с коэффициентом 5000 обеспечивает теоретический энергетический выигрыш 37 дБ, необходимый для регистрации сигналов уровнем 5.8 мкВ. Использование периферийного сопроцессора CORDIC в микроконтроллере STM32H7 разгружает ресурсы основного вычислительного ядра Cortex-M7 более чем на 85 % на этапе амплитудной демодуляции, освобождая их для задач адаптивной фильтрации и реализации интерфейсов управления в режиме реального времени.

Высвобождение значительной части ресурсов процессора открывает перспективы для интеграции методов машинного обучения непосредственно на уровне окончательного устройства (концепция Edge AI). Доступный резерв производительности позволяет развернуть компактные искусственные нейронные сети на базе оптимизированной библиотеки CMSIS-NN непосредственно на кристалле STM32H7. Это делает возможным автоматическое распознавание видов модуляции, интеллектуальную фильтрацию импульсных помех и классификацию радиосигналов в режиме реального времени без привлечения внешних вычислительных платформ.

Список использованных источников

1. AD6636: 12-Bit, Wideband Digital Downconverter. Data Sheet. – Norwood : Analog Devices, Inc., 2005. – 88 p.
2. RM0433 Reference manual: STM32H742xI/G and STM32H743xI/G advanced Arm®-based 32-bit MCUs. STMicroelectronics, 2018. – 3274 p.
3. Сергиенко, А. Б. Цифровая обработка сигналов : учебник для вузов / А. Б. Сергиенко. – СПб. : Питер, 2011. – 477 с.
4. радиоприёмные устройства и схемотехника: Руководство по проектированию / А. В. Смольский [и др.]. – М. : Радио и связь, 2000. – 656 с.
5. Основы проектирования радиоприёмных устройств и систем обработки сигнала / В. Н. Кузнецов [и др.]. – Минск : БГУИР, 1990. – 256 с.