

ТЕХНОЛОГИЯ СНИЖЕНИЯ ТОКОВ УТЕЧКИ ВЫСОКОВОЛЬТНЫХ $AlGaN/GaN$ ТРАНЗИСТОРОВ МЕТОДОМ КОМБИНИРОВАННОЙ LPCVD-ПАССИВАЦИИ И ТОПОЛОГИЧЕСКОЙ ИЗОЛЯЦИИ

Жук Е.В.

Белорусский государственный университет информатики и радиоэлектроники,
г. Минск, Республика Беларусь

Научный руководитель: Соловьев Я.А. – д-р техн. наук, доцент, профессор кафедры ЭТТ

Аннотация. Представлен метод изготовления мощных полевых транзисторов с гетеропереходом на основе нитрида алюминия-галлия и нитрида галлия на подложке из кремния. Ключевой особенностью является применение высокотемпературной пассивации нитридом кремния, полученным методом химического осаждения из газовой фазы при пониженном давлении, под затворным диэлектриком и использование топологии с полной изоляцией областей стока и истока металлом затвора. Экспериментально подтверждено, что данная комбинация эффективно подавляет поверхностные утечки, обеспечивая минимальный ток в закрытом состоянии при высоком напряжении стока.

Ключевые слова: полевой транзистор с гетеропереходом; нитрид алюминия-галлия; нитрид галлия; силовая электроника; ток утечки; пассивация; нитрид кремния; химическое осаждение из газовой фазы; топология затвора; изоляция стока; структура металл-диэлектрик-полупроводник; высоковольтный транзистор.

Введение. Мощные полевые транзисторы на основе гетероструктур нитрид алюминия-галлия с нитридом галлия *AlGaN/GaN Heterostructure Field-Effect Transistor (HFET)* являются перспективной элементной базой для силовой электроники и СВЧ-применений благодаря высоким значениям пробивных напряжений, рабочей температуры и частоты переключений. Особый интерес представляет реализация таких структур на кремниевых подложках, что существенно снижает стоимость производства по сравнению с подложками из карбида кремния или сапфира. Однако ключевой проблемой, ограничивающей надежность и эффективность высоковольтных GaN-транзисторов, остается высокий и нестабильный ток утечки в закрытом состоянии. Основными путями протекания токов утечки являются поверхность гетероструктуры и меза-изоляция. Традиционные методы пассивации (например, *Plasma-Enhanced Chemical Vapor Deposition (PECVD)* химическое осаждение из газовой фазы, стимулированное плазмой) часто не обеспечивают достаточного подавления поверхностных состояний. В данной работе исследуется эффективность применения химического осаждения из газовой фазы при пониженном давлении нитрида кремния (*Low Pressure Chemical Vapor Deposition (LPCVD) SiN*) в качестве первого слоя пассивации, расположенного непосредственно под затворным диэлектриком, в сочетании с топологическим решением по полной изоляции контактных площадок стока и истока металлом затвора. Целью работы является демонстрация того, что комбинация качественной межфазной границы, обеспеченной LPCVD-процессом, и «окольцовывающей» топологии затвора позволяет снизить токи утечки до уровня наноампер при напряжении стока до 600–700 В.

Основная часть. Экспериментальные образцы изготавливались на основе эпитаксиальных структур *AlGaN/GaN*, выращенных методом осаждение металлоорганических соединений из газовой фазы (*Metal Organic Chemical Vapor Deposition (MOCVD)*) на подложке Si(111). Структура включала буферный слой, нелегированный канал *GaN* и барьерный слой *AlGaN*. Ключевой особенностью технологического маршрута являлось нанесение слоя пассивации *SiNx* методом осаждения из газовой фазы при пониженном давлении (LPCVD) толщиной 100 нм при температуре 800°C до формирования омических контактов и затвора. Высокая температура осаждения способствует улучшению качества интерфейса и защите поверхности *AlGaN* от повреждений на последующих этапах обработки.

Важным конструктивным отличием разработанных транзисторов является формирование затворной структуры типа металл-оксид-полупроводник (*Metal-Oxide-Semiconductor HFET MOS-HFET*). В слое LPCVD *SiNx* вытравливалась канавка с наклонными

стенками, после чего методом атомно-слоевого осаждения (*Atomic Layer Deposition (ALD)*) наносился подзатворный диэлектрик Al_2O_3 толщиной 10 нм. Таким образом, диэлектрик затвора формируется не просто на поверхности полупроводника, а перекрывает слой высококачественного *LPCVD SiNx*, который выполняет роль маски и дополнительной пассивации. Металлизация затвора формировалась с полевым электродом (*Field Plate*), выступающим на слой *SiNx* в сторону стока для снижения пиковых полей. Для исследования влияния топологии на токи утечки были реализованы и сравнены несколько вариантов конфигурации затворной шины. Наилучшие результаты показала топология, в которой металл затвора полностью «окольцовывает» (изолирует) не только область истока, но и область стока. Это создает потенциальный барьер, эффективно подавляющий поверхностные утечки через боковые стенки меза-изоляции (рисунок 1):

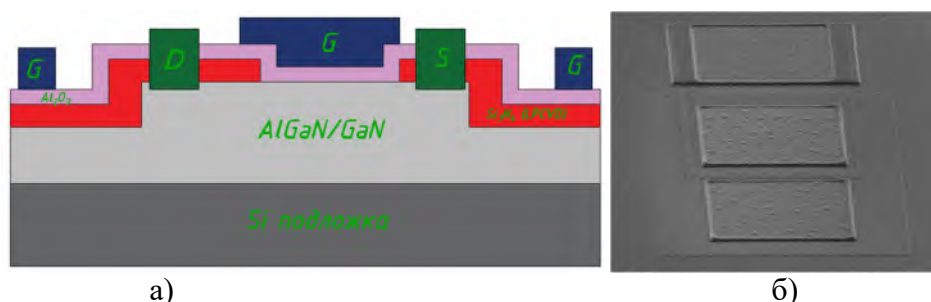


Рисунок 1 – Схематическое изображение: а – поперечное сечения структуры *MOS-HFET* с пассивацией *LPCVD SiNx*; б – топология с полной изоляцией стока затворной шиной (изображение получено при помощи растрового электронного микроскопа)

Измерения электрических характеристик показали, что наличие слоя *LPCVD SiNx* критически важно для снижения поверхностных состояний. Однако именно топологическое решение с полной изоляцией площадок стока и истока позволило достичь экстремально низких значений токов утечки.

На вольтамперных характеристиках в закрытом состоянии (при $V_{GS} = -10$ В) наблюдается существенная разница между топологиями. В структурах без полной изоляции ток утечки возрастает с увеличением напряжения стока. В то же время, разработанная структура с полной изоляцией демонстрирует стабильный ток утечки менее 20 нА/мм при напряжении на стоке $V_{DS} = 600$ В. Это подтверждает, что металл затвора, окружающий контактные площадки, эффективно перекрывает пути утечки по поверхности меза-структуры, которые не могут быть устранены одной лишь пассивацией. Также было отмечено, что применение *LPCVD SiNx* под слоем Al_2O_3 обеспечивает высокую однородность характеристик по пластине и снижает гистерезис, что свидетельствует о высоком качестве границы раздела диэлектрик/полупроводник (рисунок 2):

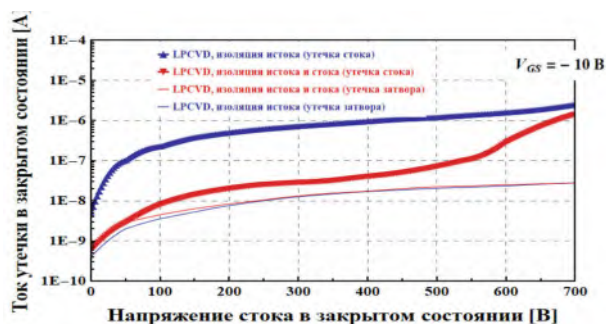


Рисунок 2 – Сравнение токов утечки в закрытом состоянии для различных топологий: существенное снижение тока и его стабилизация наблюдаются для структуры с полной изоляцией стока и истока (нижняя кривая)

Данный подход был масштабирован на мощные многопальцевые транзисторы с общей шириной затвора 80 мм. Топология с полной изоляцией активных областей металлом затвора в сочетании с качественной подзатворной пассивацией позволила достичь высоких выходных токов (более 20 А) при сохранении низкого сопротивления в открытом состоянии ($R_{on} \approx 0,22$ Ом). При этом блокирующая способность транзистора сохранялась вплоть до

напряжений 700 В, где ток утечки не превышал 1 мкА/мм. Важно отметить, что механизм подавления утечки в данной конструкции основан на электростатическом экранировании: потенциальный барьер, создаваемый затворной шиной вокруг стока, разрывает каналы проводимости, возникающие из-за дефектов травления мезы или поверхностных загрязнений. Это делает технологию применимой для приборов, работающих в режиме обогащения (D-mode), и каскодных схем.

Заключение. В работе представлен надежный технологический подход к созданию высоковольтных транзисторов *GaN-on-Si* с улучшенными характеристиками утечки. Показано, что применение высокотемпературного *LPCVD SiN_x* в качестве первичной пассивации, поверх которой формируется *MOS*-структура с диэлектриком *Al₂O₃*, позволяет минимизировать плотность поверхностных состояний. Ключевым результатом является экспериментальное подтверждение эффективности топологии с полной изоляцией областей стока и истока металлом затвора. Данное конструктивное решение в сочетании с предложенным маршрутом пассивации обеспечивает снижение токов утечки в закрытом состоянии до значений менее 1 мкА/мм (типично < 20 нА/мм) при напряжении 600 В, что значительно превосходит характеристики стандартных структур. Разработанная технология перспективна для производства высокоэффективных силовых преобразователей.

Список литературы

1. Deng L., Zhou L., Lu H., Yang L., Yu Q., Zhang M., Wu M., Hou B., Ma X., Hao Y. Comprehensive Comparison of MOCVD- and LPCVD-*SiN_x* Surface Passivation for AlGaIn/GaN HEMTs for 5G RF Applications. *Micromachines* (Basel), 2023; 14(11):2104.
2. Wang X., Huang S., Zheng Y., Wei K., Chen X., Liu G., Yuan T., Luo W., Pang L., Jiang H., Li J., Zhao C., Zhang H., Liu X. Robust *SiN_x/AlGaIn* Interface in GaN HEMTs Passivated by Thick LPCVD-Grown *SiN_x* Layer. *IEEE Electron Device Letters*, 2015; 36(7):666–668.
3. Lu X., Jiang H., Liu C., Zou X., Lau K.M. Off-state Leakage Current Reduction in AlGaIn/GaN High Electron Mobility Transistors by Combining Surface Treatment and Post-gate Annealing. *Semiconductor Science and Technology*, 2016; 31:055019.
4. Ye P.D., Yang B., Ng K.K., Bude J., Wilk G.D., Halder S., Hwang J.C.M. GaN MOS-HEMT Using Atomic Layer Deposition *Al₂O₃* as Gate Dielectric and Surface Passivation. *International Journal of High-Speed Electronics and Systems*, 2004; 14(3):791–796.

UDC 621.382.323:621.314

LEAKAGE CURRENT REDUCTION TECHNOLOGY FOR HIGH-VOLTAGE AlGaIn/GaN TRANSISTORS USING COMBINED LPCVD PASSIVATION AND TOPOLOGICAL ISOLATION

Zhuk Y.V.

Belarusian State University of Informatics and Radioelectronics, Minsk, Republic of Belarus

Solovjov J.A. – Dr. of Sci., associate professor, Professor of the Department of ETT

Annotation. A fabrication method for high-power aluminum gallium nitride/gallium nitride heterojunction field-effect transistors on silicon substrates is presented. The key feature is the application of high-temperature silicon nitride passivation deposited by low pressure chemical vapor deposition under the gate dielectric combined with a topology providing complete isolation of source and drain regions by the gate metal. Experiments confirmed that this combination effectively suppresses surface leakage, achieving minimum off-state current at high drain voltage.

Keywords: aluminum gallium nitride; gallium nitride; heterojunction field-effect transistor; power electronics; leakage current; passivation; silicon nitride; low pressure chemical vapor deposition; gate topology; drain isolation; metal-oxide-semiconductor structure; high-voltage transistor.