УДК 621.382.322

ПОДХОДЫ К МНОГОУРОВНЕВОМУ КОМПЬЮТЕРНОМУ ПРОЕКТИРОВАНИЮ ТРАНЗИСТОРОВ С КРУГОВЫМ ЗАТВОРОМ С HIGH-K ДИЭЛЕКТРИКАМИ

Корсак К.В., Новиков Ф.П.

Белорусский государственный университет информатики и радиоэлектроники, Минск, Республика Беларусь, k.korsak@bsuir.by

Аннотация: рассмотрены подходы к многоуровневому компьютерному проектированию транзисторов с круговым затвором, содержащих подзатворный диэлектрик с высокой относительной диэлектрической проницаемостью (high-k). Описаны задачи технологического, приборного и схемотехнического уровней моделирования. Определены особенности, обусловленные геометрией канала, свойствами high-k и паразитными параметрами структуры.

Ключевые слова: транзистор с круговым затвором, high-k диэлектрик, компьютерное проектирование, приборное моделирование, технологическое моделирование, схемотехническое проектирование.

I. ВВЕДЕНИЕ

Транзисторы с круговым затвором (архитектура Gate-All-Around, GAA) рассматриваются как базовая структура транзисторного элемента в кремниевой КМОП-технологии ближайших поколений [1]. Канал в таких приборах формируется в виде одного или нескольких горизонтальных кремниевых слоев, полностью окруженных затворным электродом, что обеспечивает электростатический контроль канала по всей его поверхности. Подзатворный диэлектрик выполняется из материалов с высокой относительной диэлектрической проницаемостью (high-k): оксидов гафния, циркония, их твердых растворов и силицидов, что позволяет снизить ток утечки через затвор при сохранении управляющей емкости [2].

Проектирование указанных приборов требует последовательного компьютерного моделирования на нескольких уровнях: от воспроизведения технологического процесса формирования структуры до расчета электрических характеристик транзистора и проектирования схем на его основе. Блок-схема многоуровневого компьютерного проектирования приведена на рис. 1. Каждый уровень предъявляет собственные требования к физическим моделям, граничным условиям и вычислительным ресурсам.

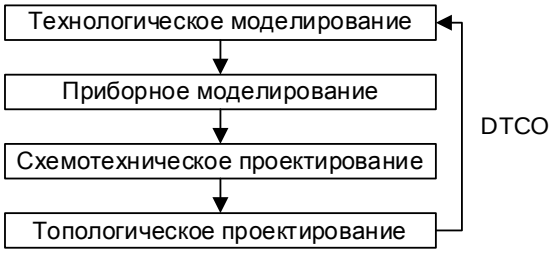


Рисунок 1. Блок-схема многоуровневого компьютерного проектирования

Цель настоящей работы – систематизация подходов к многоуровневому компьютерному проектированию транзисторов с круговым затвором с high-k диэлектриками и определение особенностей, учитываемых на каждом уровне моделирования, при совместной оптимизации проектирования и технологии производства (англ. Design-Technology Co-Optimization, DTCO).

II. ТЕХНОЛОГИЧЕСКИЙ УРОВЕНЬ МОДЕЛИРОВАНИЯ

На технологическом уровне воспроизводится последовательность операций формирования транзисторной структуры: эпитаксиальное выращивание чередующихся слоев кремния и кремний-германиевых соединений, селективное удаление последних для образования каналов, формирование изолирующих областей, осаждение диэлектрической структуры и затворного электрода [3].

Специфика моделирования для GAA-структур состоит в необходимости корректного описания процессов осаждения на трехмерные поверхности с высоким соотношением сторон. При формировании high-k диэлектрика методом атомно-слоевого осаждения критичным является учет конформности покрытия на боковых гранях канала: толщина пленки на вертикальных поверхностях может отличаться от толщины на горизонтальных на 10–20 %, что приводит к неоднородности электрических параметров [2]. Моделирование данного процесса требует задания зависимостей

скорости роста от локальной геометрии, температуры и давления прекурсоров. Указанные задачи решаются средствами технологического моделирования, позволяющими оперировать последовательностями операций и отслеживать эволюцию профиля структуры (табл. 1).

Таблица 1. Задачи, решаемые задачи и инструментальные средства по уровням проектирования

Уровень моделирования	Решаемые задачи	Инструменты
Технологический	Профиль структуры, легирование, конформность	Silvaco Athena, Victory Process; Synopsys Centaurus
Приборный	ВАХ, пороговое напряжение, подпороговый наклон, емкости, токи утечки	Silvaco Atlas, Victory Device; Synopsys Centaurus Device; Ansys
Схемотехнический	Компактные модели, параметры ячеек, задержки, энергопотребление	Cadence Virtuoso
Топологический	Размещение, трассировка, верификация, RC-экстракция	Cadence Genus, Cadence Innovus

III. ПРИБОРНЫЙ УРОВЕНЬ МОДЕЛИРОВАНИЯ

Приборное моделирование направлено на расчет вольт-амперных характеристик, порогового напряжения, подпорогового наклона и емкостных параметров. Для GAA-транзисторов при толщинах канала менее 10 нм необходимо учитывать квантовое ограничение носителей заряда в поперечном сечении, что требует совместного решения уравнений Шредингера и Пуассона [1]. Существенное влияние оказывает поверхностное рассеяние носителей на границе кремний–диэлектрик, а также наличие фиксированного заряда и интерфейсных состояний в high-k структуре.

При задании затворной диэлектрической структуры эквивалентная оксидная толщина вычисляется по соотношению

$$EOT = t_{IL} + (\varepsilon_{SiO_2} / \varepsilon_k) t_k, \quad (1)$$

где t_{IL} – толщина межфазного слоя SiO_2; ε_k, t_k – диэлектрическая проницаемость и физическая толщина high-k слоя. Поправка к ширине запрещенной зоны, обусловленная квантовым ограничением, оценивается как

$$\Delta E_g \approx (h^2/(8 \cdot t_{si}^2)) \cdot (1/m_e^* + 1/m_h^*), \quad (2)$$

где h – постоянная Планка; m_e^*, m_h^* – эффективные массы электронов и дырок; t_{si} – толщина канала. При t_{si} = 4–7 нм поправка достигает 0,1–0,2 эВ и должна учитываться при расчете порогового напряжения и плотности инверсионного заряда [1].

При моделировании high-k диэлектрика необходимо задавать значение относительной проницаемости, параметры зонной диаграммы (ширина запрещенной зоны, сродство к электрону, высоты барьеров для электронов и дырок), а также модели токов утечки через диэлектрик. Указанные параметры принимаются из опубликованных экспериментальных и расчетных данных для конкретных материалов [2]. Решатели, реализующие метод конечных элементов на неструктурированных сетках, позволяют задавать многообластные структуры с различными материалами и извлекать выходные параметры; тепловые и механические аспекты исследуются средствами конечно-элементного анализа (табл. 1).

IV. СХЕМОТЕХНИЧЕСКИЙ И ТОПОЛОГИЧЕСКИЙ УРОВНИ

На схемотехническом уровне результаты приборного моделирования используются для формирования компактных моделей транзистора, пригодных для моделирования логических и аналоговых схем. Особенности GAA-структуры (вертикальная структура из нескольких каналов, наличие внутренних изолирующих элементов, увеличенная высота активной области) влияют на паразитные емкости и сопротивления, которые должны быть корректно отражены в компактной модели [3].

Топологическое проектирование включает размещение транзисторов в пределах стандартной ячейки, трассировку межсоединений и верификацию. Корректная экстракция паразитных параметров из

топологии и их обратная связь на уровне компактной модели являются необходимым условием достоверного прогнозирования характеристик схемы и замыкают поток проектирования в контур DTCO (рис. 1). Сводное соответствие задач, физических моделей и инструментальных средств по уровням приведено в табл. 1.

Обязательным элементом методологии является калибровка и верификация моделей на каждом уровне (табл. 2), обеспечивающая предсказательную способность комплекса моделирования при отсутствии собственных экспериментальных образцов.

Таблица 2. Этапы калибровки и верификации комплексов моделирования

Уровень моделирования	Объект калибровки	Критерий верификации
Технологический	Скорости осаждения и травления пленок, форма профиля	Отклонение профиля структуры ≤ 5 %
Приборный	Подвижность, плотность интерфейсных состояний, последовательные сопротивления	Отклонение ВАХ ≤ 10 %
Схемотехнический	Параметры компактной модели	Отклонение от расчета ≤ 5 %
Топологический	Паразитные сопротивления и емкости межсоединений	Согласование с полевым расчетом в пределах ±5 %

V. ЗАКЛЮЧЕНИЕ

Компьютерное проектирование транзисторов с круговым затвором с high-k диэлектриками представляет собой многоуровневую задачу, охватывающую технологическое, приборное и схемотехническое моделирование, замкнутую обратной связью DTCO. Систематизация подходов на каждом уровне и установление связей между ними являются необходимым условием для разработки сквозной методологии проектирования.

ЛИТЕРАТУРА

[1] Colinge, J.-P. FinFETs and Other Multi-Gate Transistors / J.-P. Colinge. – New York : Springer, 2008. – 380 p.

[2] Robertson, J. High Dielectric Constant Oxides / J. Robertson // The European Physical Journal: Applied Physics. – 2004. – Vol. 28, № 3. – P. 265–291.

[3] Loubet, N. Stacked Nanosheet Gate-All-Around Transistor to Enable Scaling beyond FinFET / N. Loubet [et al.] // IEEE Symp. on VLSI Technology. – 2017. – P. T230–T231.

[4] Silvaco TCAD Software [Electronic resource]. – Mode of access: https://silvaco.com/products/tcad/. – Date of access: 24.09.2026.

APPROACHES TO MULTI-LEVEL COMPUTER-AIDED DESIGN OF GATE-ALL-AROUND TRANSISTORS WITH HIGH-K DIELECTRICS

K. Korsak, F. Novikau

Belarusian State University of Informatics and Radioelectronics, Minsk, Republic of Belarus,
k.korsak@bsuir.by

Abstract: approaches to multi-level computer-aided design of gate-all-around transistors with high-permittivity (high-k) gate dielectric are considered. Process-level, device-level, and circuit-level modeling tasks are described. Features related to channel geometry, high-k stack properties, and parasitic parameters are identified. The design flow is closed by a DTCO feedback loop.

Keywords: gate-all-around transistor, high-k dielectric, computer-aided design, device modeling, process modeling, circuit design.