Министерство образования Республики Беларусь
Учреждение образования
Белорусский государственный университет
информатики и радиоэлектроники

УДК 004.274

Босько
Надежда Витальевна

Микропроцессорное ядро с функцией частичной реконфигурации на ПЛИС

АВТОРЕФЕРАТ
на соискание степени магистра технических наук
по специальности 7-06-0611-05 Компьютерная инженерия. Хранение и обработка данных

Научный руководитель
Луцик Юрий Александрович
кандидат технических наук, доцент

Минск 2026

ВВЕДЕНИЕ

Синтезируемые микропроцессорные ядра широко применяются при разработке на ПЛИС. В зависимости от сферы применения они могут использоваться для решения большого круга разнородных задач, некоторые из которых могут требовать определенных особенностей архитектуры микропроцессорного ядра для наиболее эффективного их решения. Однако, в большинстве случаев используются микропроцессорные ядра общего назначения, не специализированные под конкретную сферу применения.

Большинство современных микросхем ПЛИС поддерживают функцию, называемую частичной реконфигурацией. Частичная реконфигурация позволяет изменить отдельную часть реализуемой на ПЛИС логической схемы во время работы, при этом не затрагивая другие, статические части. В диссертации изучается возможность использования данной функции для разработки синтезируемого микропроцессорного ядра, способного анализировать предстоящий к исполнению код и динамически изменять отдельные части своей архитектуры для обеспечения наиболее благоприятных условий для решения конкретной задачи и, тем самым, увеличения производительности.

Основной целью работы является разработка вышеуказанного устройства, именуемого микропроцессорным ядром с функцией частичной реконфигурации на ПЛИС, и выявление преимуществ и недостатков использования динамической архитектуры микропроцессорного ядра по сравнению со статическим аналогом. Для достижения поставленной цели было разработано статическое микропроцессорное ядро, которое служило основой разработки, были определены доступные к реконфигурации блоки, разработаны варианты их реализации и выделены факторы, влияющие на процесс реконфигурации. На основе этого был разработан модуль управления частичной реконфигурацией. На основе статического микропроцессорного ядра было разработано динамически реконфигурируемое микропроцессорное ядро. В завершение было проведено сравнение основных параметров статического и динамически реконфигурируемого микропроцессорных ядер, таких как производительность при решении одной и той же задачи (исполнении одного и того же кода) и использование ресурсов, после чего были сделаны выводы о преимуществах и недостатках использования микропроцессорного ядра с динамически изменяемой архитектурой.

ОБЩАЯ ХАРАКТЕРИСТИКА РАБОТЫ

Целью данной работы является разработка микропроцессорного ядра на ПЛИС, использующего функцию частичной реконфигурации для изменения отдельных частей своей архитектуры в процессе работы в соответствии с текущей задачей. Таким образом предполагается повысить производительность ядра и обеспечить возможность его использования для решения широкого круга задач, в том числе узкоспециализированных, без значительного увеличения количества занимаемых ресурсов ПЛИС.

Для достижения поставленной цели было разработано базовое (статическое) микропроцессорное ядро, определены параметры реконфигурации (доступные для реконфигурации блоки, факторы, от которых зависит текущая конфигурация и т.д.), разработан модуль, осуществляющий управление процессом реконфигурации и принимающий связанные с реконфигурацией решения. По окончанию разработки было произведено сравнение характеристик ядра, использующего частичную реконфигурацию, и базового (статического) ядра, после чего были сделаны выводы о преимуществах и недостатках разработанного реконфигурируемого ядра.

Актуальность данной работы заключается в исследовании подхода к разработке микропроцессорных ядер на ПЛИС, который может обеспечить прирост производительности без значительного увеличения затрачиваемых ресурсов, а также расширить сферу применения разработки и обеспечить возможность использования одного и того же ядра для решения разнородных задач, в том числе узкоспециализированных. Производительность микропроцессорного ядра является одной из наиболее важных его характеристик, так как именно производительность ядра определяет, для решения каких задач может быть применено ядро, и с какой скоростью данные задачи будут решаться.

По результатам работы над диссертацией были опубликованы статья и тезис в сборнике материалов научной конференции аспирантов, магистрантов и студентов БГУИР и сборнике материалов международной научной конференции «Информационные технологии и системы» соответственно. В опубликованных материалах были представлены общая структура и принцип работы разработанного динамически реконфигурируемого микропроцессорного ядра, а также было приведено исследование времени выполнения частичной реконфигурации ПЛИС и влияющих на него факторов.

КРАТКОЕ СОДЕРЖАНИЕ РАБОТЫ

Магистерская диссертация состоит из общей характеристики работы, введения, шести глав основной части, заключения, библиографического списка, содержащего 30 использованных источников и 2 публикации соискателя, графического материала, представляющего собой электронную презентацию, и четырех приложений. Общий объем диссертации составляет 83 страницы, в работе присутствуют 25 иллюстраций.

Во введении и общей характеристике работы сформулированы цели и задачи исследования, раскрыта актуальность темы магистерской диссертации, кратко описаны основные этапы работы. Также приведена краткая информация о публикациях соискателя.

Первая глава «Теоретические сведения» содержит обзор основной информации по теме работы. Приведены основные сведения об особенностях синтезируемых микропроцессорных ядер на ПЛИС, рассмотрены общие принципы построения микропроцессорных ядер и подходы к их разработке. Приведена основная информация о функции частичной реконфигурации ПЛИС. Также приведены основные сведения о сфере реконфигурируемых вычислителей, к которым относится разработка, в том числе подробно рассмотрены некоторые из наиболее близких к разрабатываемому ядру аналогов.

Вторая глава «Разработка базового микропроцессорного ядра» посвящена разработке статического микропроцессорного ядра, которое служит основной для разработки реконфигурируемого микропроцессорного ядра. Приведена функциональная схема статического ядра, описан принцип работы отдельных функциональный блоков и ядра в целом. Описан метод верификации разработанного ядра, приведены демонстрирующие некоторые из его функций временные диаграммы, полученные путем симуляции.

Третья глава «Параметры частичной реконфигурации» содержит результаты исследования времени, затрачиваемого на частичную реконфигурацию в используемой ПЛИС, а также описывает подход к использованию функции частичной реконфигурации в разрабатываемом устройстве. Приведены сведения о функциональных блоках, которые подвергаются реконфигурации, а также о факторах, на основе которых принимаются связанные с реконфигурацией решения.

Четвертая глава «Управление частичной реконфигурацией» содержит описание модуля управления частичной реконфигурацией, который отвечает за анализ предстоящего к исполнению кода, принятие решений о проведении реконфигурации и требуемых изменениях, и инициирует реконфигурацию при необходимости. Приведена функциональная схема данного модуля, описан принцип его работы. Описан метод верификации разработанного модуля,

приведены демонстрирующие некоторые из его функций временные диаграммы, полученные путем симуляции.

Пятая глава «Микропроцессорное ядро с функцией частичной реконфигурации» посвящена разработке собственно реконфигурируемого микропроцессорного ядра путем добавления соответствующих функций в разработанное ранее статическое ядро и интеграции его с модулем управления частичной реконфигурацией и реконфигурируемыми слотами. Приведены сведения о разработанных для демонстрации работы ядра реконфигурируемых модулях, представлена функциональная схема реконфигурируемого ядра, приведено описание процесса его тестирования и его результаты в виде временных диаграмм. Тестирование разработки проводилось и путем симуляции, и путем запуска устройства на ПЛИС.

Шестая глава «Сравнение статического и реконфигурируемого ядра» содержит описание метода, используемого для сравнения производительности статического и реконфигурируемого ядер. Приведены результаты сравнения производительности данных ядер, по итогам сравнения сделаны выводы. Также приведены сведения о ресурсах ПЛИС, используемых самими ядрами и полными дизайнами, в составе которых проводилось тестирование их функционала и сравнение производительности.

В заключении подведены итоги выполненной работы, сформулированы основные ее результаты и следующие из них выводы. Перечислены основные преимущества и недостатки разработанного реконфигурируемого микропроцессорного ядра.

В приложениях представлен исходный HDL-код основных разработанных модулей (статического ядра, модуля управления частичной реконфигурацией и реконфигурируемого ядра), а также исходный код на языке ассемблера, который был использован для тестирования разработки.

ЗАКЛЮЧЕНИЕ

Основной целью работы была разработка микропроцессорного ядра с функцией частичной реконфигурации на ПЛИС, и выявление преимуществ и недостатков использования динамической архитектуры процессорного ядра по сравнению со статическим аналогом.

По итогам работы вышеуказанное устройство было реализовано, корректность его работы была верифицирована путем симуляции и запуска устройства на ПЛИС. В главе 6 приведено сравнение производительности и количества используемых ресурсов статического микропроцессорного ядра и реконфигурируемого ядра.

Был сделан вывод, что реконфигурируемое ядро обеспечивает более высокую производительность по сравнению со статическим аналогом, однако требует определенных условий для полноценной реализации своих функций.

Таким образом, использование микропроцессорного ядра с динамически изменяемой архитектурой на ПЛИС имеет следующие преимущества:

1. Увеличение производительности по сравнению со статическим аналогом, выполняющим все действия программным путем. При этом прирост производительности может быть достаточно значительным в зависимости от используемых модулей, операндов выполняемых действий и других условий;
2. Экономия ресурсов по сравнению с аналогичным процессором, содержащим все доступные реконфигурируемые модули в статическом варианте;
3. Возможность подстройки ядра под текущую задачу путем использования специализированных реконфигурируемых модулей и соответствующих паттернов в коде;
4. Отсутствие необходимости использования специализированного ассемблера.

При этом недостатки заключаются в следующем:

1. Для обеспечения увеличения производительности по сравнению со статическим аналогом необходимо соблюдение ряда условий при написании кода, что может вызывать трудности при практическом применении ядра;
2. Ядро требует наличия определенной обвязки и ресурсов для работы. Оно может быть использовано только при наличии ряда вспомогательных IP-ядер в дизайне, требует наличия паттернов в соответствующих модулях памяти, частичных битстримов во внешней памяти и т.д.

СПИСОК ОПУБЛИКОВАННЫХ РАБОТ

[1 – А.] Босько, Н. В. Микропроцессорное ядро с функцией частичной реконфигурации на FPGA = Partially reconfigurable microprocessor core on FPGA / Н. В. Босько // Компьютерные системы и сети : сборник статей 60-й научной конференции аспирантов, магистрантов и студентов, Минск, 22–26 апреля 2024 г. / Белорусский государственный университет информатики и радиоэлектроники. – Минск, 2024. – С. 23–27.

[2 – А.] Босько, Н. В., Луцик Ю. А. Исследование времени выполнения частичной реконфигурации FPGA Xilinx // Информационные технологии и системы 2025 (ИТС 2025) : материалы междунар. науч. конф., Минск, 19 нояб. / редкол. : Л. Ю. Шилин [и др.]. – Минск : БГУИР, 2025. – С. 141–142.