

# АЛГОРИТМЫ ЦИФРОВОЙ ОБРАБОТКИ ФАЗОМАНИПУЛИРОВАННЫХ СИГНАЛОВ

Белорусский государственный университет информатики и радиоэлектроники  
г. Минск, Республика Беларусь

Крупский П.И.

Малевиц И. Ю. – д-р. техн. наук, проф.

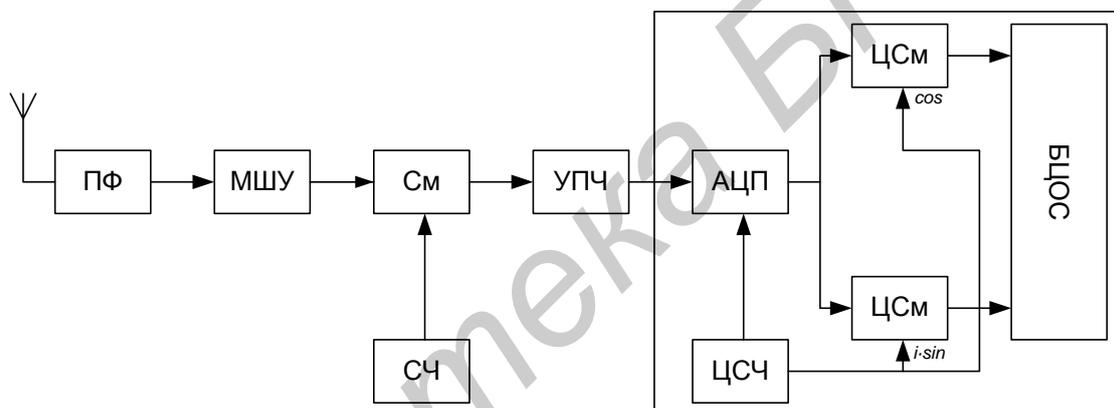
В статье рассмотрена структура цифрового приемника на базе микросхемы K1879XK1Я и возможные структурные реализации цифрового приемника для систем связи с фазоманипулированными сигналами.

## Введение

Развитие техники и технологии цифровых интегральных схем привело к тому, что заключительное смешивание и фильтрация, осуществляемые в каскадах ПЧ, могут производиться уже в цифровой области. В приемниках с цифровой промежуточной частотой (Digital IF receiver) происходит аналого-цифровое преобразование непосредственно сигнала ПЧ. В качестве ПЧ гетеродина используется прямой цифровой синтезатор частот DDS (Direct Digital frequency Synthesizer). Это устройство реализовано полностью с использованием цифровой техники и рядом фирм выполняется в виде специализированной ИС. Генератор формирует цифровые выборки двух синусоид с точным сдвигом по фазе на 90 градусов.

## Основная часть

Обобщенная структурная схема приемника с цифровой ПЧ показана на рис 1.

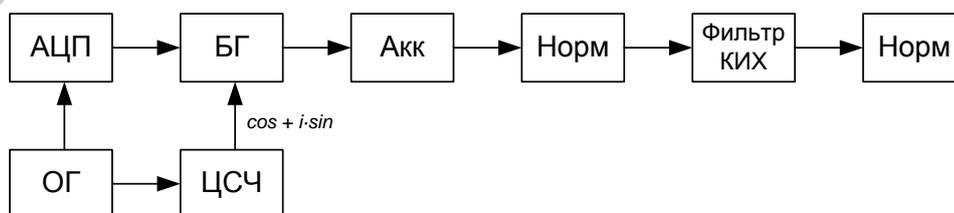


ПФ – полосовой фильтр, МШУ – малошумящий усилитель, См – смеситель,  
СЧ – синтезатор частот, УПЧ – усилитель промежуточной частоты,  
АЦП – аналого-цифровой преобразователь, ЦСЧ – цифровой синтезатор частот, ЦСм – цифровой смеситель, БЦОС – блок цифровой обработки сигналов

Рис 1. Обобщенная структурная схема приемника с цифровой ПЧ

Как видно из структурной схемы входные цепи приемника, состоящие из полосового фильтра, малошумящего усилителя, смесителя аналогичны цепям приемника с двумя преобразованиями. В схему также включен тракт промежуточной частоты (усилитель и полосовой фильтр). Основные узлы тракта промежуточной частоты, выполненные в цифровом виде, заключены в прямоугольник.

Рассмотрим предложенную выше структуру на примере одного из реализуемых трактов ПЧ блока предварительной обработки сигнала микросхемы цифрового приемника K1879XK1Я фирмы “Модуль”. Структурная схема реализуемого тракта представлена на рис 2.



АЦП – аналого-цифровой преобразователь, ОГ – опорный генератор,  
БГ – блок гетеродина, ЦСЧ – цифровой синтезатор частот,  
Акк – аккумулятор, Норм – нормализатор

Рис 2. Канал обработки данных на базе БПОС микросхемы K1879XK1Я

Из структурной схемы видно, что БПОС микросхемы содержит в себе узлы, позволяющие вести обработку сигналов, в том числе и используемых в системах связи фазоманипулированных.

Аналого-цифровое преобразование осуществляется на частоте 81,92 МГц, разрядность данных на выходе преобразователя 12 бит.

Следующим важным компонентом является блок гетеродина (цифровой смеситель), фактически состоящий из двух цифровых умножителей. Цифровые выборки входного сигнала от АЦП математически умножаются с цифровыми выборками синуса и косинуса. В аппаратной реализации гетеродина значения синусов и косинусов выбираются по таблицам, при этом значения синусов и косинусов являются масштабированными целочисленными значениями. В отличие от аналоговых смесителей, которые создают много нежелательных компонент, цифровые смесители являются практически идеальными устройствами и производят только два выходных сигнала суммарной и разностной частот.

Данные после гетеродинирования становятся комплексными величинами, и впоследствии их обработка может вестись раздельно:

$$C_n = S_n * scale * (\cos\theta + i * \sin\theta) \quad (1)$$

Использование цифровой ПЧ кроме всего прочего позволяет избежать проявления разбаланса каналов I и Q, что приводит к хорошему подавлению зеркального канала.

Далее отсчеты поступают в блок накопления. В блоке накопления частота отсчетов должна быть уменьшена минимум в 4 раза за счёт накопления, или прореживания данных. Уменьшение частоты отсчетов необходимо ввиду того, что последующие блоки работают на частоте в четыре раза меньшей, чем блоки АЦП и гетеродина. После прореживания отсчетов следует их нормализация, где они переводятся в 8-ми разрядную сетку.

Следующим этапом является фильтрация. Фильтрация осуществляется 8-ми битным ФНЧ КИХ фильтром 64-го порядка. Структура ФНЧ выбрана таким образом, что бы подавить суммарную частоту сигнала и гетеродина, и оставить разностную (видеоэквивалент сигнала). Отфильтрованный сигнал, после нормализации сохраняется в памяти. В фазе полученного видеоэквивалента сигнала будет содержаться принятая информация.

### Моделирование

Программное обеспечение отладочной платы микросхемы K1879ХК1Я не позволяет отобразить промежуточные результаты обработки сигнала, поэтому расчеты велись в среде MatLab с учетом параметров узлов БПОС (в частности принималась во внимание разрядность обрабатываемых данных). Все описанные выше этапы обработки показаны на графиках.

На рисунке 3 показан спектр широкополосного фазоманипулированного сигнала на выходе блока АЦП. Промежуточная частота равна 10,24 МГц, скорость модулирующего сообщения 1024 кбит/сек. Модулирующее сообщение получено путем расширения последовательность Баркера длиной 13 информационного слова [1 -1 1 1 1 1 -1 -1 -1].

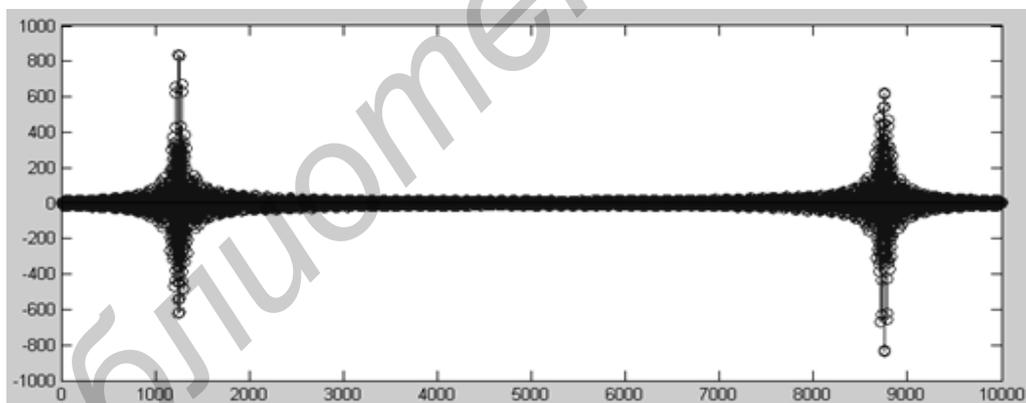


Рис 3. Спектр сигнала на выходе блока АЦП

Как было сказано выше, цифровой квадратурный смеситель переносит спектр входного сигнала в область низких частот и раскладывает их на квадратурные составляющие (рис 4).

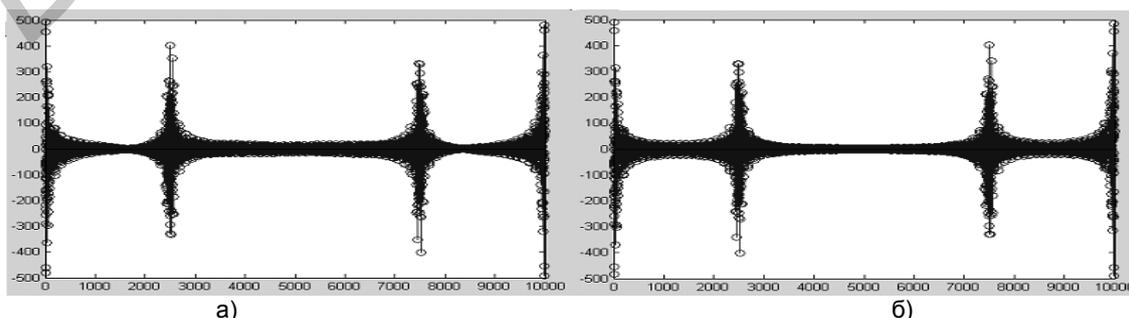


Рисунок 4. Спектр видеоэквивалентов после цифрового смесителя: а – I-канал, б – Q-канал

Во временной области, полученные видеозэквиваленты выглядят следующим образом:

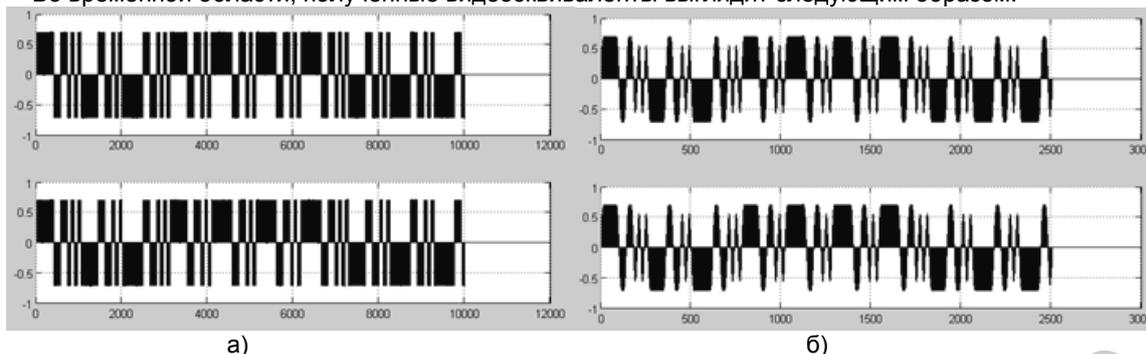


Рис. 5. Видеозэквиваленты сигнала: а – до фильтрации, б – после фильтрации и прореживания

Следующим этапом является прореживание отсчетов и фильтрация полученных видеозэквивалентов. Как отмечалось выше спектр сигнала на выходе цифрового смесителя содержит только две составляющие – суммарную и разностную. КИХ фильтром низких частот осуществляется подавление суммарной частоты.

Исходя из того что модулирующий сигнал был получен путем расширения информационной последовательности кодом Баркера длины 13, следующим этапом необходимо произвести его свертку с тем же кодом. После свертки квадратурные составляющие во временной области примут вид, показанный на рис. 7.

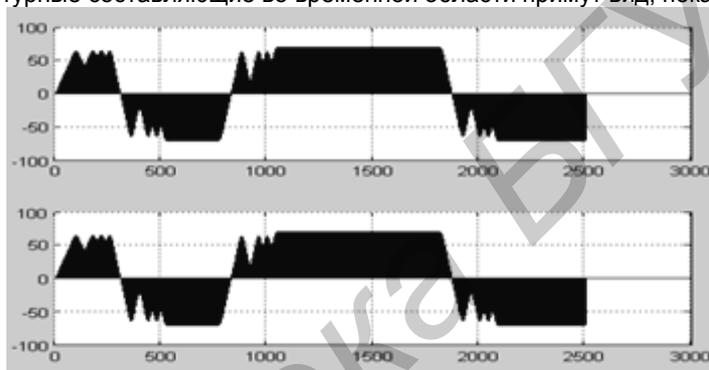


Рис 7. Реальная и мнимая части информационного сигнала

### Заключение

Анализ структуры цифрового приемника показал особенности построения современных радиоприемных трактов, а проведенное моделирование цифрового приемника реальные возможности обработки сложных фазоманипулированных сигналов в системах передачи информации.

Список использованных источников:

1. Манасевич, В. Синтезаторы частот (Теория и проектирование. – М: Связь, 1979. – 384 с.
2. ЗАО НТЦ "Модуль". Микросхема интегральная К1879ХК1Я. Руководство по эксплуатации.
3. Малевич И. Ю. Радиоприёмные устройства. – Мозырь: Белый ветер, 2000. – 204 с.